



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO
ACADEMIA DE SISTEMAS DIGITALES



DISEÑO DE SISTEMAS DIGITALES

Práctica de Laboratorio No. 4

“Mensaje multiplexado”

Profesores:

VICTOR HUGO GARCIA ORTEGA
JULIO CESAR SOSA SAVEDRA

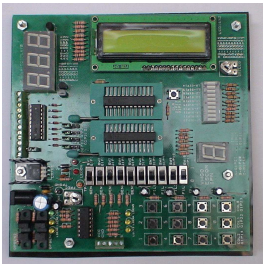
OBJETIVO: Realizar un programa que permita desplegar un mensaje en un módulo de 3 displays multiplexados mediante un lenguaje de descripción de hardware (HDL) usando un PLD 22V10.

MATERIAL Y EQUIPO:

Mesa de instrumentación del laboratorio de sistemas digitales

2 PLD 22v10

Además de lo anterior, se puede optar por alguna de estas dos opciones:

1 Fuente de 5V 1 Generador de funciones 1 Interruptor de presión 4 Resistencias de $1K\Omega$ 7 Resistencias de 330Ω 1 Módulo de 3 displays multiplexados de ánodo común. 3 Transistores BC557 1 Protoboard Pinzas y cable para alambrear	1 TEDDi (Tarjeta Educativa para Diseño Digital). 
--	--

INTRODUCCIÓN TEÓRICA

Autómatas Finitos Deterministas (AFD) [1]

Dentro de la teoría de autómatas, se estudian a los autómatas finitos deterministas (AFD). El término “determinista” hace referencia al hecho de que, para cada entrada, existe un único estado al que el autómata puede llegar partiendo del estado actual.

Un AFD consta de:

1. Un conjunto de estados, que llamaremos Q
2. Un conjunto finito de símbolos de entrada, que llamaremos Σ .
3. Una función de transición que recibe como argumentos un estado y una entrada y devuelve un estado. La función de transición se llamará δ .
4. Un estado inicial (uno de los estados de Q), denotado comúnmente como q_0 .
5. Un conjunto F de estados finales o de aceptación. El conjunto F es un subconjunto de Q .

Con esto podemos definir un AFD con la notación de la quintupla:

$$AFD = (Q, \Sigma, \delta, q_0, F)$$

Autómatas Finitos con salida

Una limitación del AFD, consiste en que su salida solo es binaria: “aceptada”/“no aceptada”. Se han propuesto modelos en los que la salida se escoge de algún otro alfabeto. Existen 2 planteamientos distintos: la salida puede estar asociada con el estado o con la transición.

Máquinas de Moore

Una máquina de Moore es un conjunto de 6 parámetros, $M = (Q, \Sigma, \Delta, \delta, \lambda, q_0)$, en el que $Q, \Sigma, \Delta, \delta$ y q_0 se definen igual que en una máquina de Mealy y λ es una transformación de Q a Δ que da la salida asociada con cada estado.

Mensajes multiplexados.

En muchas aplicaciones se necesitan manejar varios displays de 7 segmentos usando un solo dispositivo, ya sea un SPLD, CPLD, microcontrolador, DSP, etc. Estos dispositivos suelen tener la limitación en el número reducido de terminales de salida, por lo que si queremos manejar tres displays de 7 segmentos simultáneamente se necesitan 21 terminales disponibles en el dispositivo. Una forma de manejar una menor cantidad de terminales consiste en multiplexar los displays usando las señales comunes de ánodo o cátodo.

Para el caso de tres displays de ánodo común, se conectan los segmentos A, B, C, D, E, F y G de forma común en los tres displays, reduciendo de 21 terminales a solo 7. Posteriormente, se manejan las señales de ánodo común de cada display mediante un transistor PNP funcionando como interruptor. Con estos transistores se selecciona el display a activar en un tiempo determinado. El control de selección de cada display se puede realizar mediante una máquina de Moore.

PROCEDIMIENTO.

Antes de asistir al laboratorio:

1. Aplicar toda la metodología de diseño para circuitos secuenciales y diseñar un circuito que muestre el mensaje de 3 letras: "IPn". Observe la máquina de Moore que se muestra en la ilustración 1.
2. Realizar un programa en HDL que permita implementar las ecuaciones obtenidas del diseño y la microarquitectura que se muestra en la ilustración 2.

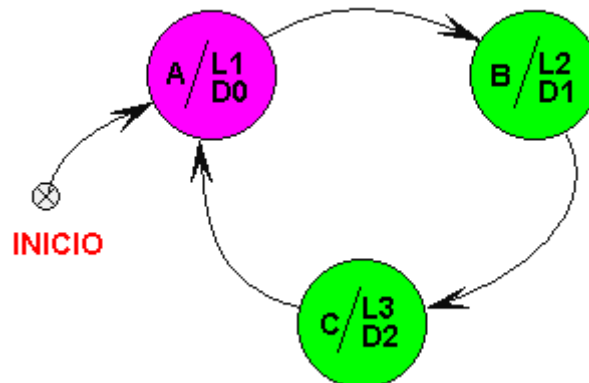


Ilustración 1 Máquina de Moore para mostrar un mensaje de 3 letras.

El PLD2 contiene el diseño de la máquina de Moore de la ilustración 1. No existe una señal de entrada como tal, en lugar de eso, la transición entre los estados de la máquina de Moore se hace cada vez que llega el flanco de la señal de reloj.

El mensaje a desplegar puede ser cualquiera que contenga 3 letras. Por ejemplo: "IPn", "OLA", "FEO", "PAn", "OSO", "dIA", etc. Si elegimos el mensaje "IPn" las letras se dibujarán como se muestra en la ilustración 3.

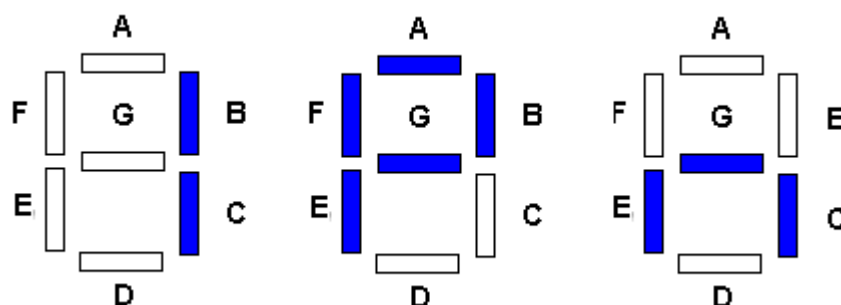
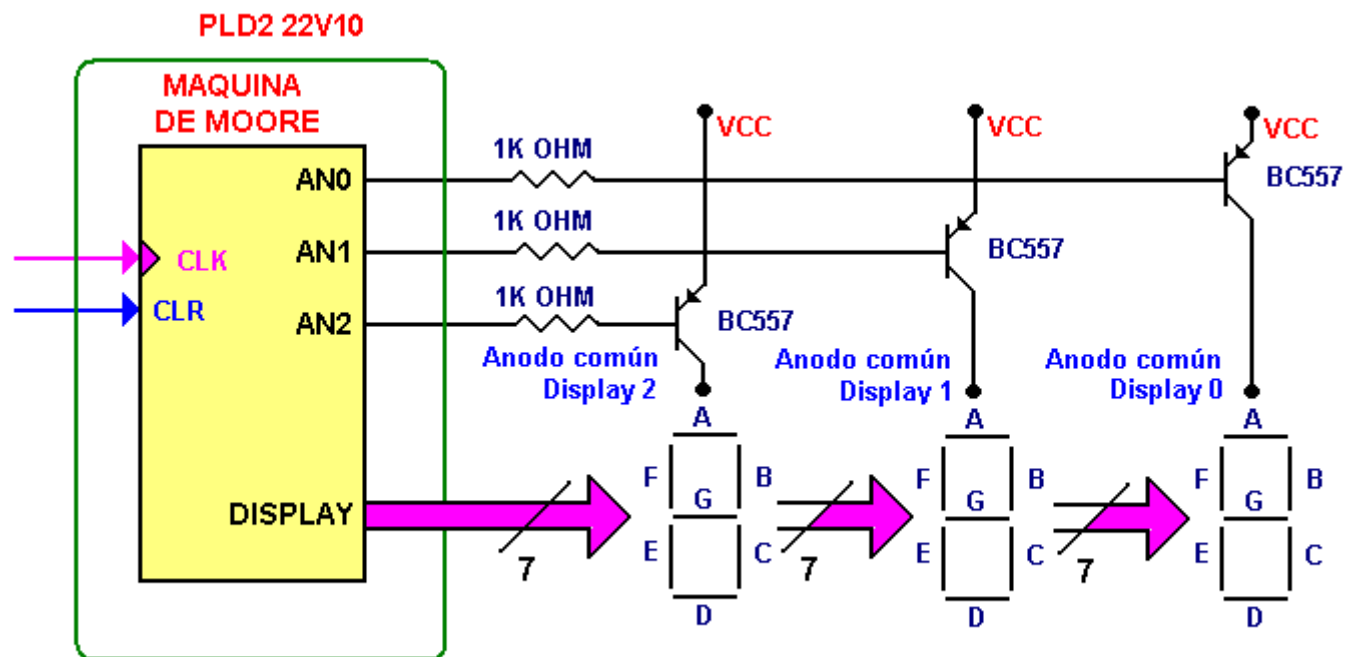


Ilustración 3 Letras I, P y n.

Si el display es de ánodo común, los códigos que tenemos que asignar se muestran en la tabla 1.



Letra	Símbolo	A	B	C	D	E	F	G
L1	I	1	0	0	1	1	1	1
L2	P	0	0	1	1	0	0	0
L3	n	1	1	0	1	0	1	0

Tabla 1. Códigos de los símbolos I, P y n.

Las señales de salida AN2, AN1 y AN0 controlan las bases de los transistores PNP que funcionan como interruptores para permitir el paso del voltaje VCC a las terminales comunes de los displays. Para poder seleccionar cada uno de los displays debemos colocar en las señales AN, los valores mostrados en la tabla 2.

Display	AN2	AN1	AN0
D0	1	1	0
D1	1	0	1
D2	0	1	1

Tabla 2. Códigos para seleccionar los displays.

3. Simular el diseño en el ambiente de desarrollo.

4. Una vez simulado el sistema construir el circuito mostrado en la ilustración 4 para probarlo en el laboratorio. **En caso de usar la TEDDi este paso no es necesario.**

En el laboratorio:

1. Programar el PLD 22V10 usando el programador disponible del laboratorio.
2. Verificar el correcto funcionamiento del sistema de la siguiente forma:
 - Considerando que con una frecuencia de 30 cuadros por segundo la vista humana puede ver una secuencia de imágenes continua (video), para el módulo de 3 displays multiplexados se necesita usar una frecuencia de 30 Hz por cada display. La frecuencia de la señal de reloj a usar debe de ser mayor a 90 Hz.
 - Verificar el funcionamiento del diseño.

CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
3. ¿Cuántos pines de entrada/salida de los PLD 22V10 se usan en el diseño?
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total de los PLD 22V10?
5. ¿A partir de que frecuencia se observa el mensaje nítido y sin parpadeo?



6. ¿Cuántos FF's se ocupan en el PLD para implementar la máquina Moore?
7. ¿Cuántas terminales de salida se usan en PLD2?
8. ¿Qué puedes concluir de esta práctica?

REFERENCIAS

[1] John E. Hopcroft, Jeffrey D. Ullman. "Introducción a la teoría de autómatas, lenguajes y computación", CECSA, 1997.

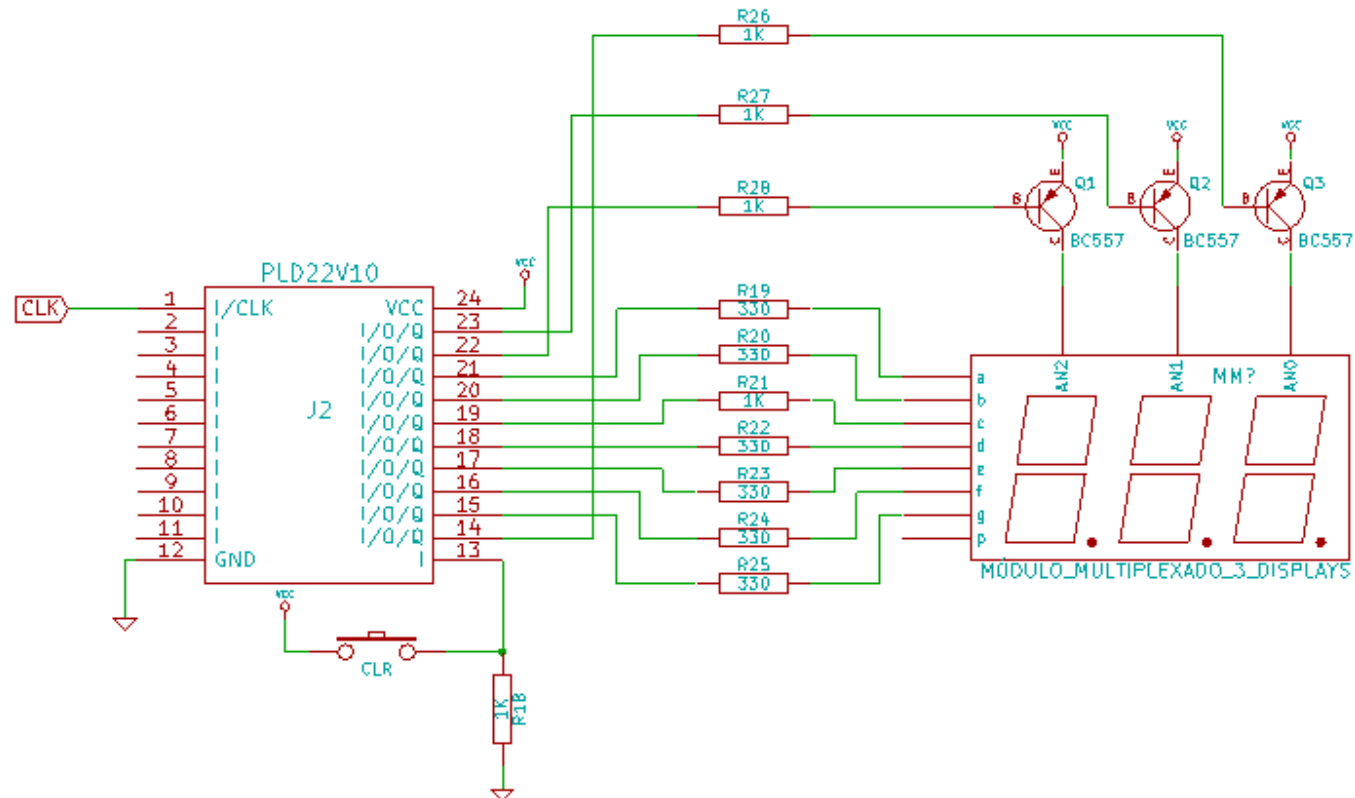


Ilustración 4 Diagrama esquemático.