



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO
Dpto. de Ing. en Sistemas Computacionales
Academia de Sistemas Digitales
Diseño de Sistemas Digitales



Práctica de Laboratorio No. 6 – Aplicaciones con contadores.

OBJETIVO: Realizar diversos programas que implemente el funcionamiento de distintas aplicaciones usando contadores mediante un lenguaje de descripción de hardware (HDL) en un PLD 22V10.

MATERIAL Y EQUIPO:

Mesa de instrumentación del laboratorio de sistemas digitales

1 PLD 22v10

Además de lo anterior, se puede optar por alguna de estas dos opciones:

1 Fuente de 5V 1 DIP switch de 8 1 DIP switch de 4 12 Resistencias de 1KΩ 7 Resistencias de 330Ω 8 LEDS 1 Protoboard Pinzas y cable para alambrear	1 TEDDi (Tarjeta Educativa para Diseño Digital).
---	--

INTRODUCCIÓN TEÓRICA

Para diseñar un circuito secuencial con componentes físicos, es necesario asignar valores binarios codificados a los estados. En el caso de un circuito con m estados, los códigos deben contener n bits, donde $2^n \geq m$. Por ejemplo con 3 bits es posible asignar códigos a ocho estados denotados por los números binarios de 000 a 111.

Para hacer la asignación de códigos podemos usar diversos criterios, algunos son:

- Asignación secuencial
- Asignación con código Gray
- Asignación con un solo uno (one hot)
- Asignación con código definido por el usuario

La forma más sencilla de codificar es usar la asignación secuencial. En la asignación con código Gray solo un bit del grupo de código cambia al pasar de un número al siguiente. Este código facilita la colocación de las funciones booleanas en el mapa para simplificarlas.

La codificación one-hot utiliza tantos bits como estados hay en el circuito. En cualquier momento solo un bit es 1, todos los demás son 0. Este tipo de asignación utiliza un FF activo por estado.

En cualquier tipo de codificación los **“CÓDIGOS DEBEN SER DIFERENTES PARA CADA ESTADO”**.

En cualquier forma de asignación se trata de encontrar al circuito óptimo en términos ya sea del número de compuertas o del retardo de propagación, esto es actualmente un problema de optimización abierto a investigación.

PROCEDIMIENTO.

Antes de asistir al laboratorio:

1A. Aplicar la metodología para diseño de circuitos secuenciales y obtener las ecuaciones usando FF-D y FF-JK que permitan implementar el diseño del contador que muestre los dígitos del 1 al 6 en un display de siete segmentos para implementar un dado digital, tomando en cuenta el autómata mostrado en la ilustración 1

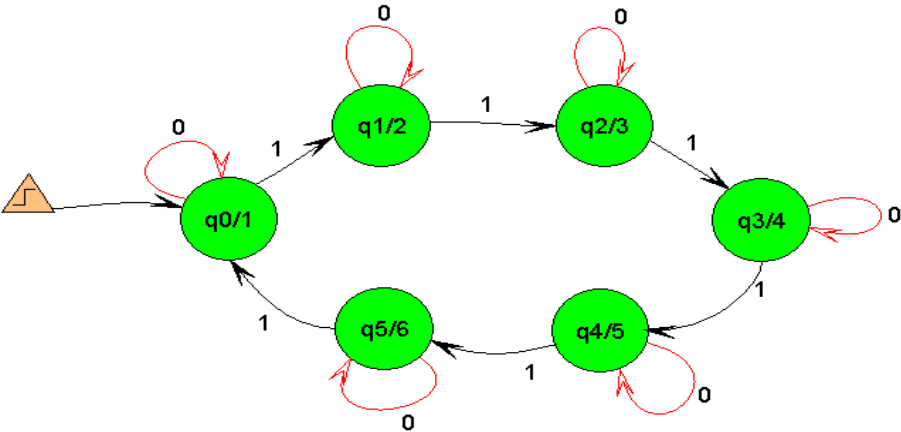


Ilustración 1 Autómata del dado digital

Para implementar el contador deben considerarse las opciones mostradas en la tabla 1.

EN	OPERACIÓN
0	Retención
1	Conteo ascendente

Tabla 1 Funcionamiento del contador

Para diseñar el autómata de la ilustración 1 se pueden considerar los códigos mostrados en la tabla 2.

Estado	Salida	Secuencial	Gray	One-hot	Definido por usuario
q_0	1	000	000	000001	1001111
q_1	2	001	001	000010	0010010
q_2	3	010	011	000100	0000110
q_3	4	011	010	001000	1001100
q_4	5	100	110	010000	0100100
q_5	6	101	111	100000	0100000

Tabla 2 Códigos de asignación a estados

Programar las ecuaciones obtenidas usando código GRAY en HDL. Realice la implementación del mismo diseño en HDL usando el código definido por el usuario.

1B. Aplicar la metodología para diseño de circuitos secuenciales y obtener las ecuaciones usando FF-D y FF-JK que permitan implementar el diseño de un contador que muestre el
AUTOR: VICTOR HUGO GARCIA ORTEGA

código hexadecimal en un display de siete segmentos, tomando en cuenta el autómata mostrado en la ilustración 2.

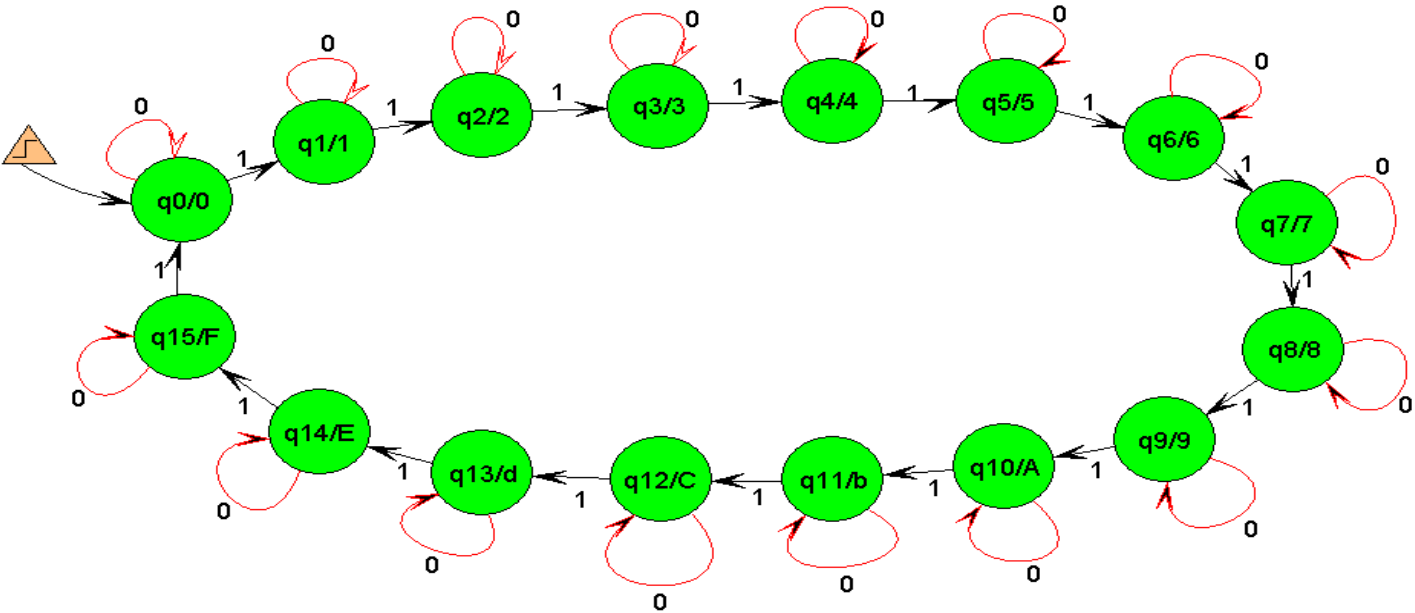


Ilustración 2 Autómata del contador hexadecimal.

Para implementar el contador deben considerarse las opciones mostradas en la tabla 1.

Para diseñar el autómata de la ilustración 2 se pueden considerar los códigos mostrados en la tabla 3.

Estado	Salida	Secuencial	Gray	One-hot	Definido por usuario
q_0	0	0000	0000	0000000000000001	0000001
q_1	1	0001	0001	0000000000000010	1001111
q_2	2	0010	0011	0000000000000100	0010010
q_3	3	0011	0010	0000000000001000	0000110
q_4	4	0100	0110	0000000000010000	1001100
q_5	5	0101	0111	0000000000100000	0100100
q_6	6	0110	0101	0000000001000000	0100000
q_7	7	0111	0100	0000000010000000	0001111
q_8	8	1000	1100	0000000100000000	0000000
q_9	9	1001	1101	0000001000000000	0000100
q_{10}	A	1010	1111	0000010000000000	0001000
q_{11}	b	1011	1110	0000100000000000	1100000
q_{12}	C	1100	1010	0001000000000000	0110001
q_{13}	d	1101	1011	0010000000000000	1000010
q_{14}	E	1110	1001	0100000000000000	0110000
q_{15}	F	1111	1000	1000000000000000	0111000

Tabla 3 Códigos de asignación a estados

Obtener las ecuaciones usando código GRAY. Realice la implementación del diseño en HDL usando el código definido por el usuario.

1C. Aplicar la metodología para diseño de circuitos secuenciales y obtener las ecuaciones usando FF-D y FF-JK que permitan implementar el diseño de un contador que **debe mostrar el nombre de un integrante del equipo**. Este nombre debe tener más de 8 letras y menos de 16 letras. Por ejemplo, si se quiere mostrar el mensaje “dISEÑO dIglItAL” en un display de siete segmentos, se diseña el autómata mostrado en la ilustración 3.

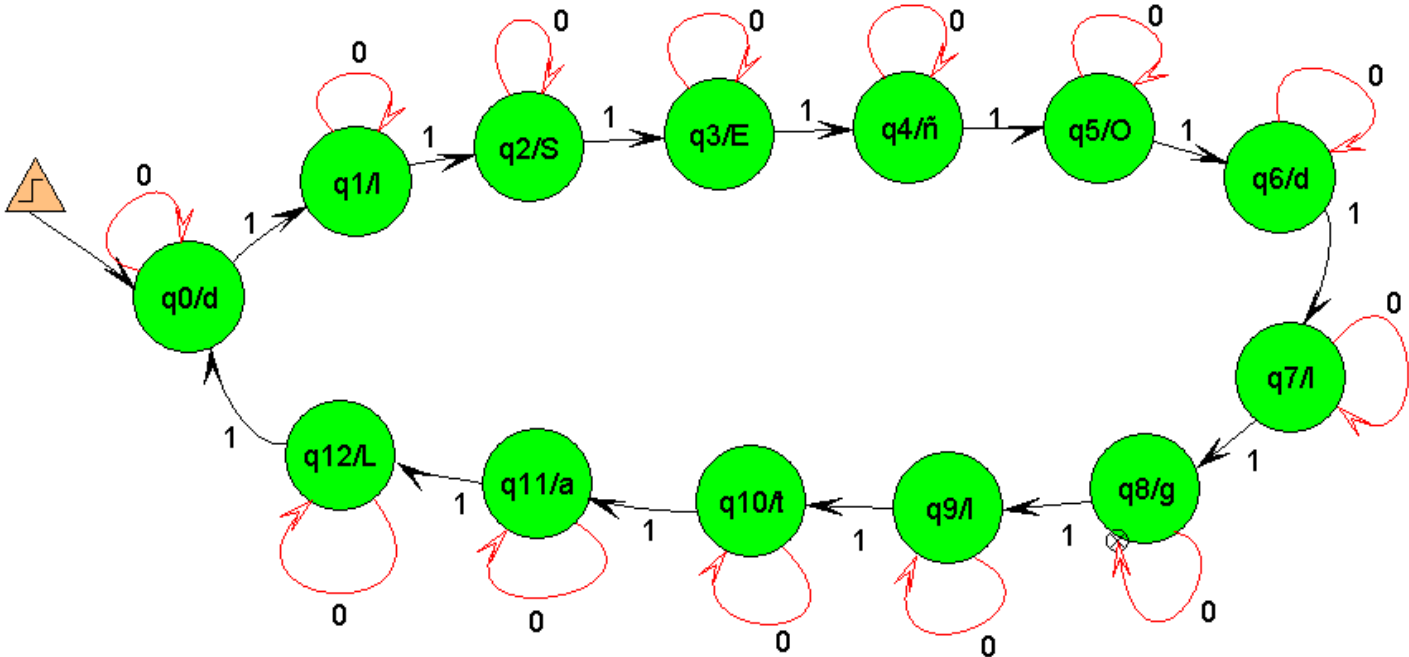


Ilustración 3 Autómata del contador.

Para implementar el contador deben considerarse las opciones mostradas en la tabla 1.

Para diseñar el autómata de la ilustración 3 se pueden considerar los códigos mostrados en la tabla 4.

Estado	Salida	Secuencial	Gray	One-hot	Etiquetas	Definido por usuario
q_0	d	0000	0000	00000000000001	00	1000010
q_1	l	0001	0001	00000000000010	00	1001111
q_2	S	0010	0011	00000000000100	00	0100100
q_3	E	0011	0010	00000000000100	00	0110000
q_4	ñ	0100	0110	00000000010000	00	0101010
q_5	O	0101	0111	00000000100000	00	0000001
q_6	d	0110	0101	00000001000000	01	1000010
q_7	l	0111	0100	00000010000000	01	1001111
q_8	g	1000	1100	00001000000000	00	0000100
q_9	l	1001	1101	00010000000000	10	1001111
q_{10}	t	1010	1111	00100000000000	00	1110000
q_{11}	A	1011	1110	01000000000000	00	0001000
q_{12}	L	1100	1010	10000000000000	00	1110001

Tabla 4 Códigos de asignación a estados

Obtener las ecuaciones usando código GRAY. Realice la implementación del diseño en HDL usando el código definido por el usuario **con bits de etiqueta** para que todos los códigos sean diferentes.

1D. Aplicar la metodología para diseño de circuitos secuenciales y obtener las ecuaciones usando FF-D y FF-JK que permitan implementar el diseño contador que **debe mostrar el número de boleta de un estudiante del equipo**. Por ejemplo: “2010630132” en un display de siete segmentos, tomando en cuenta el autómata mostrado en la ilustración 4.

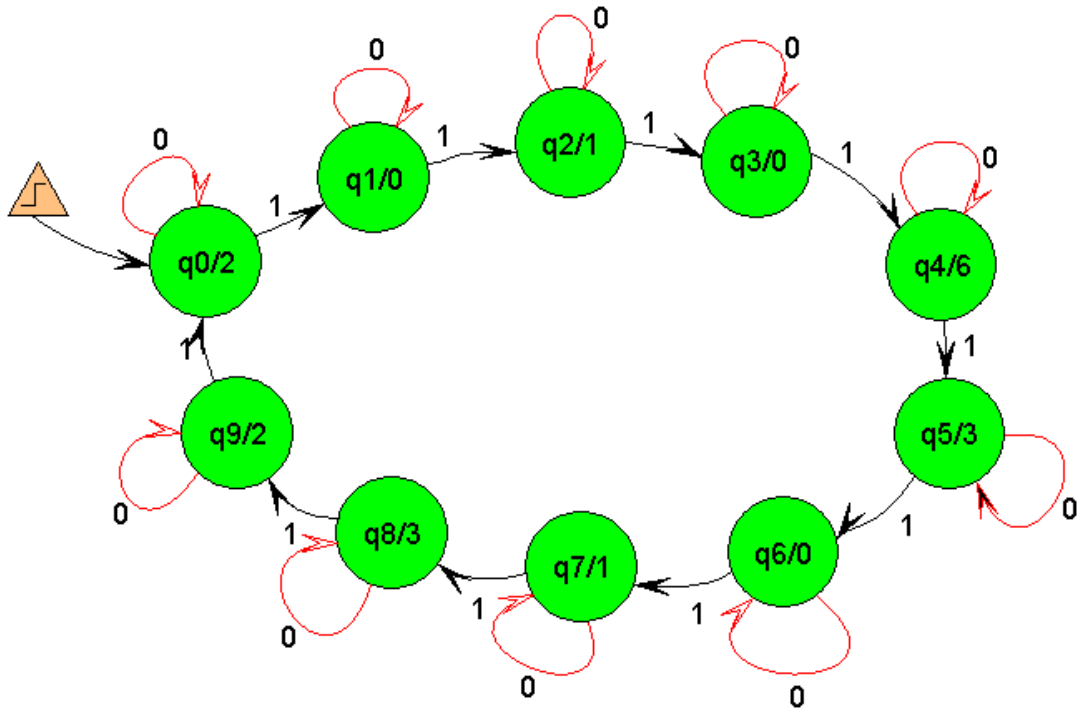


Ilustración 4 Autómata del contador.

Para implementar el contador deben considerarse las opciones mostradas en la tabla 1.

Para diseñar el autómata de la ilustración 4 se pueden considerar los códigos mostrados en la tabla 5.

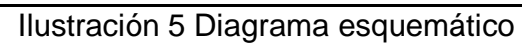
Estado	Salida	Secuencial	Gray	One-hot	Bits Etiqueta	Definido por usuario
q_0	2	0000	0000	0000000001	00	0010010
q_1	0	0001	0001	0000000010	00	0000001
q_2	1	0010	0011	0000000100	00	1001111
q_3	0	0011	0010	0000001000	01	0000001
q_4	6	0100	0110	0000010000	00	0100000
q_5	3	0101	0111	0000100000	00	0000110
q_6	0	0110	0101	0001000000	10	0000001
q_7	1	0111	0100	0010000000	01	1001111
q_8	3	1000	1100	0100000000	01	0000110
q_9	2	1001	1101	1000000000	01	0010010

Tabla 5 Códigos de asignación a estados

Obtener las ecuaciones usando código GRAY. Realice la implementación del diseño en HDL usando el código definido por el usuario **con bits de etiqueta** para que todos los códigos sean diferentes.

2.- Simular los diseños en el ambiente de desarrollo.

3.- Una vez simulados los diseños construir el circuito mostrado en la ilustración 3 para probarlo en el laboratorio. **En caso de usar la TEDDI este paso no es necesario.**



En el laboratorio:

1. Programar el PLD 22V10 usando el programador disponible del laboratorio.
2. Colocar la frecuencia de la señal de reloj a 100 HZ para la aplicación 1A.
3. Colocar la frecuencia de la señal de reloj a 1 HZ para la aplicación 1B, 1C, y 1D.
4. Verificar el correcto funcionamiento de los diseños.

CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
3. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en los diseños?
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10 en cada aplicación?
5. ¿Es posible implementar los diseños usando cualquier tipo de codificación en el PLD22V10?
6. ¿Cuáles son las señales que funcionan de manera síncrona y cuales de manera asíncrona?
7. ¿Qué puedes concluir de esta práctica?