



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO
ACADEMIA DE SISTEMAS DIGITALES



DISEÑO DE SISTEMAS DIGITALES

Práctica de Laboratorio No. 3

“Detector de secuencia”

Profesores:

VICTOR HUGO GARCIA ORTEGA
JULIO CESAR SOSA SAVEDRA

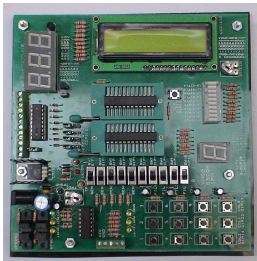
OBJETIVO: Realizar un programa que permita detectar una secuencia de 4 bits sin traslape mediante un lenguaje de descripción de hardware (HDL) en un PLD 22V10.

MATERIAL Y EQUIPO:

Mesa de instrumentación del laboratorio de sistemas digitales

2 PLD 22v10

Además de lo anterior, se puede optar por alguna de estas dos opciones:

1 Fuente de 5V 1 Generador de funciones 1 Interruptor de presión 1 DIP switch de 10 14 Resistencias de 1K Ω 14 Resistencias de 330 Ω 7 LEDS 1 Módulo de 3 displays multiplexados de ánodo común. 3 Transistores PNP BC557. 1 Protoboard Pinzas y cable para alambrar	1 TEDDi (Tarjeta Educativa para Diseño Digital). 
--	--

INTRODUCCIÓN TEÓRICA

Autómatas Finitos Deterministas (AFD) [1]

Dentro de la teoría de autómatas, se estudian a los autómatas finitos deterministas (AFD). El término “determinista” hace referencia al hecho de que, para cada entrada, existe un único estado al que el autómata puede llegar partiendo del estado actual.

Un AFD consta de:

1. Un conjunto de estados, que llamaremos Q
2. Un conjunto finito de símbolos de entrada, que llamaremos Σ .
3. Una función de transición que recibe como argumentos un estado y una entrada y devuelve un estado. La función de transición se llamará δ .
4. Un estado inicial (uno de los estados de Q), denotado comúnmente como q_0 .
5. Un conjunto F de estados finales o de aceptación. El conjunto F es un subconjunto de Q .

Con esto podemos definir un AFD con la notación de la quintupla:
 $AFD = (Q, \Sigma, \delta, q_0, F)$



Autómatas Finitos con salida

Una limitación del AFD, consiste en que su salida solo es binaria: “aceptada”/“no aceptada”. Se han propuesto modelos en los que la salida se escoge de algún otro alfabeto. Existen 2 planteamientos distintos: la salida puede estar asociada con el estado o con la transición.

Máquinas de Mealy

Una máquina de Mealy es un conjunto de 6 parámetros, $M = (Q, \Sigma, \Delta, \delta, \lambda, q_0)$, en el que Q, Σ, δ y q_0 se definen igual que en un AFD. Δ es el alfabeto de salida y λ que transforma de $Q \times \Sigma$ a Δ , esto es, $\lambda(q, a)$ da la salida asociada con la transición del estado q sobre la entrada a .

Detectores de secuencia

Los detectores de secuencia son circuitos secuenciales síncronos que producen una respuesta dada en sus salidas al detectar secuencias de valores de entrada de un tamaño de “n” bits dentro de secuencias de un tamaño de “m” bits; donde $n \leq m$.

La secuencia de “m” bits, se va introduciendo un bit a la vez al detector de secuencia de modo que los bits de la secuencia llegan durante periodos consecutivos del reloj. Estos detectores de secuencia se pueden diseñar para considerar o no el traslape de las secuencias de “n” bits, desde 1 hasta “n” - 1 bits.

El detector de secuencia de esta práctica se diseña utilizando el modelo de Mealy.



PROCEDIMIENTO.

Antes de asistir al laboratorio:

1. Aplicar toda la metodología de diseño para circuitos secuenciales y diseñar un circuito que detecte la secuencia 1101. Observe la máquina de Mealy que se muestra en la ilustración 1.

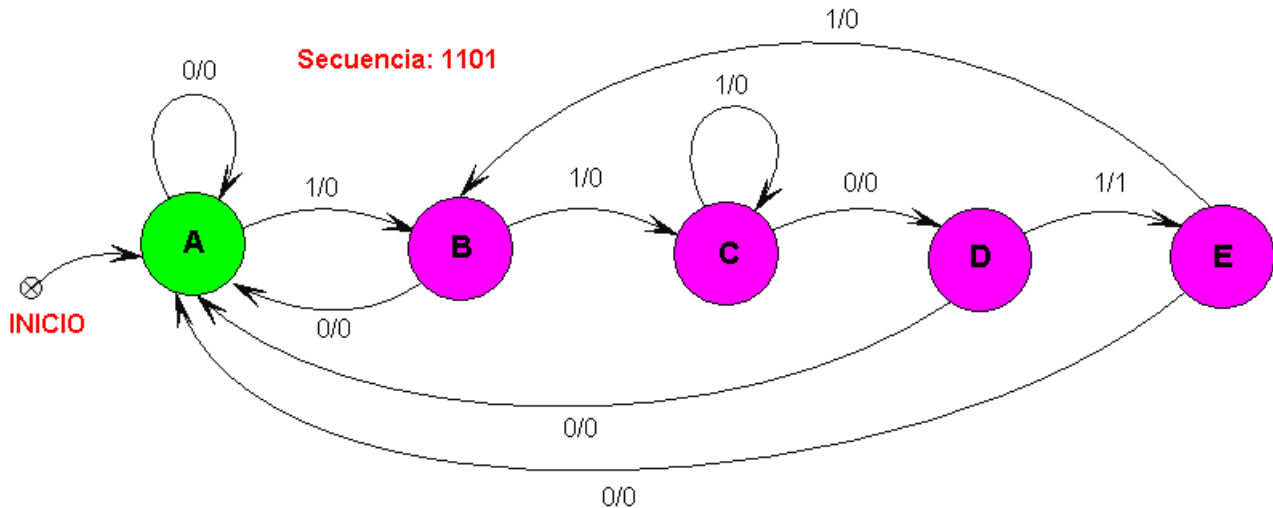


Ilustración 1 Máquina de Mealy que detecta la secuencia 1101.

Descripción de la máquina de Mealy por la séxtupla

$M = (Q, \Sigma, \Delta, \delta, \lambda, q_0)$	$\delta(A,0) = A, \delta(A,1) = B$	$\lambda(A,0) = 0, \lambda(A,1) = 0$
$Q = \{A, B, C, D, E\}$	$\delta(B,0) = A, \delta(B,1) = C$	$\lambda(B,0) = 0, \lambda(B,1) = 0$
$\Sigma = \{0,1\}$	$\delta(C,0) = D, \delta(C,1) = C$	$\lambda(C,0) = 0, \lambda(C,1) = 0$
$\Delta = \{0,1\}$	$\delta(D,0) = A, \delta(D,1) = E$	$\lambda(D,0) = 0, \lambda(D,1) = 1$
$Edo_inicial = \{A\}$	$\delta(E,0) = A, \delta(E,1) = B$	$\lambda(E,0) = 0, \lambda(E,1) = 0$

2. Realizar un programa en HDL que permita implementar las ecuaciones obtenidas del diseño y el diagrama a bloques que se muestra en la ilustración 2

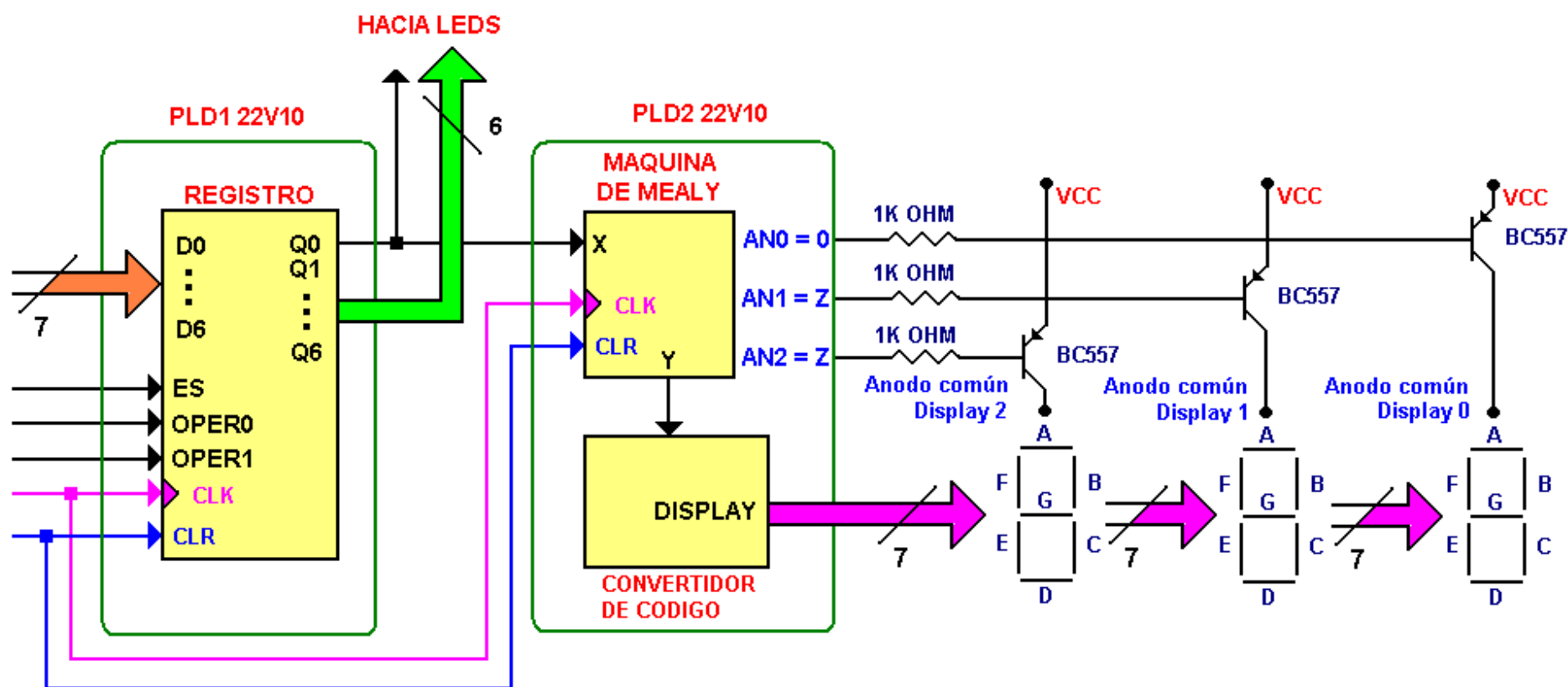


Ilustración 2 Microarquitectura del diseño a realizar.

En el PLD1 debe de estar implementado el registro genérico de la práctica 2. En el registro deben considerarse las opciones mostradas en la tabla 1.

OPER1	OPER0	OPERACIÓN
0	0	RETENCIÓN
0	1	CARGA
1	0	CORRIMIENTO A LA IZQUIERDA
1	1	CORRIMIENTO A LA DERECHA

Tabla 1 Funcionamiento del registro.

Los bits de salida (Q6, Q5, ..., Q0) del registro genérico deben colocarse en LEDs para observar el valor que contiene el registro.

El PLD2 contiene el bloque de la máquina de Mealy de la ilustración 1 y un convertidor de código. La señal de entrada X toma los bits del registro genérico a través del bit Q0 que esta implementado en el PLD1.

El convertidor de código convierte el valor de salida 0 ó 1 de la máquina de estados en un valor de siete bits para mostrar en un display de siete segmentos de ánodo común. En el display se deben mostrar las letras A (Acierto) y E (Error). La letra A, debe mostrarse cuando se detecte la secuencia deseada y la letra E cuando no se haya detectado la secuencia Las letras se dibujarán como se muestra en la ilustración 3.

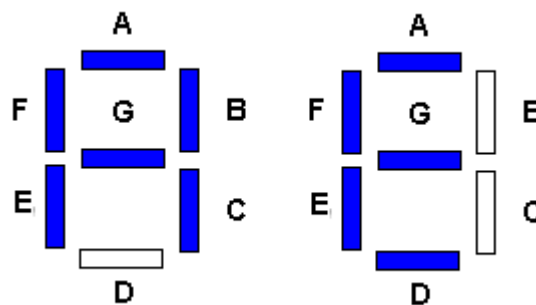


Ilustración 3 Letras A y E.

El funcionamiento del convertidor de código se muestra en la tabla 2.

Y	Símbolo	A	B	C	D	E	F	G
0	A	0	0	0	1	0	0	0
1	E	0	1	1	0	0	0	0

Tabla 2 Códigos de los símbolos A y E.

Las señales de salida AN2, AN1 y AN0 controlan las bases de los transistores PNP que funcionan como interruptores para permitir el paso del voltaje VCC a las terminales comunes de los displays. **Para esta práctica solo se debe declarar AN0 en la entidad como salida de tipo std_logic. Dentro de la arquitectura colocar AN0 <= '0'.** Con esta señal se habilita el display 0. AN1 y AN2 se colocan en alta impedancia. Esto se logra al utilizar los FF's de esas macroceldas como señales internas.



2. Simular el diseño en el ambiente de desarrollo.

3. Una vez simulado el sistema construir el circuito mostrado en la ilustración 4 para probarlo en el laboratorio. **En caso de usar la TEDDi este paso no es necesario.**

En el laboratorio:

1. Programar el PLD 22V10 usando el programador disponible del laboratorio.
2. Colocar la frecuencia de la señal de reloj a 1 HZ. En caso de usar TEDDi ajustar la frecuencia con el potenciómetro "FREC". En caso de haber armado el circuito en protoboard, usar el generador de funciones.
3. Verificar el correcto funcionamiento del sistema de la siguiente forma:
 - Cargar un número de siete bits en el registro genérico. El valor de siete bits debe contener la secuencia 1101. Por ejemplo: 00**1101**0, **11101**10, 10**1101**1, etc
 - Colocar la operación de corrimiento a la derecha en el registro genérico. Con esta operación empezarán a introducirse los bits de forma serial a la máquina Mealy para que comience a detectar la secuencia.
 - Verificar la detección de la secuencia en el display.

CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
3. ¿Cuántos pines de entrada/salida de los PLD 22V10 se usan en el diseño?
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y qué porcentaje se usa en total de los PLD 22V10?
5. ¿Cuántos FF's se ocupan en el PLD para implementar la máquina Mealy del detector de secuencia?
6. ¿Cuántas terminales de salida se usan en PLD2?
7. ¿Por qué se habilita el módulo de 3 displays multiplexados, a pesar de no declarar las señales AN en el programa?
8. ¿Qué puedes concluir de esta práctica?

REFERENCIAS

[1] John E. Hopcroft, Jeffrey D. Ullman. "Introducción a la teoría de autómatas, lenguajes y computación", CECSA, 1997.

