

Universidad Autónoma de Querétaro

Facultad de Ingeniería
Ingeniería en Automatización

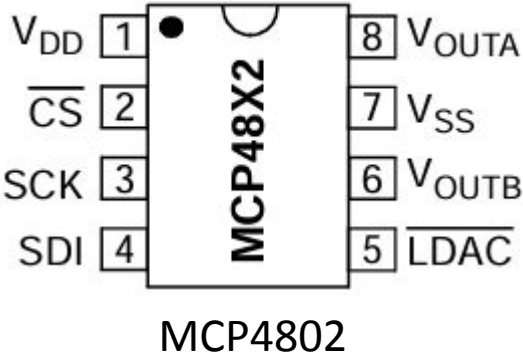


SDLR – DAC

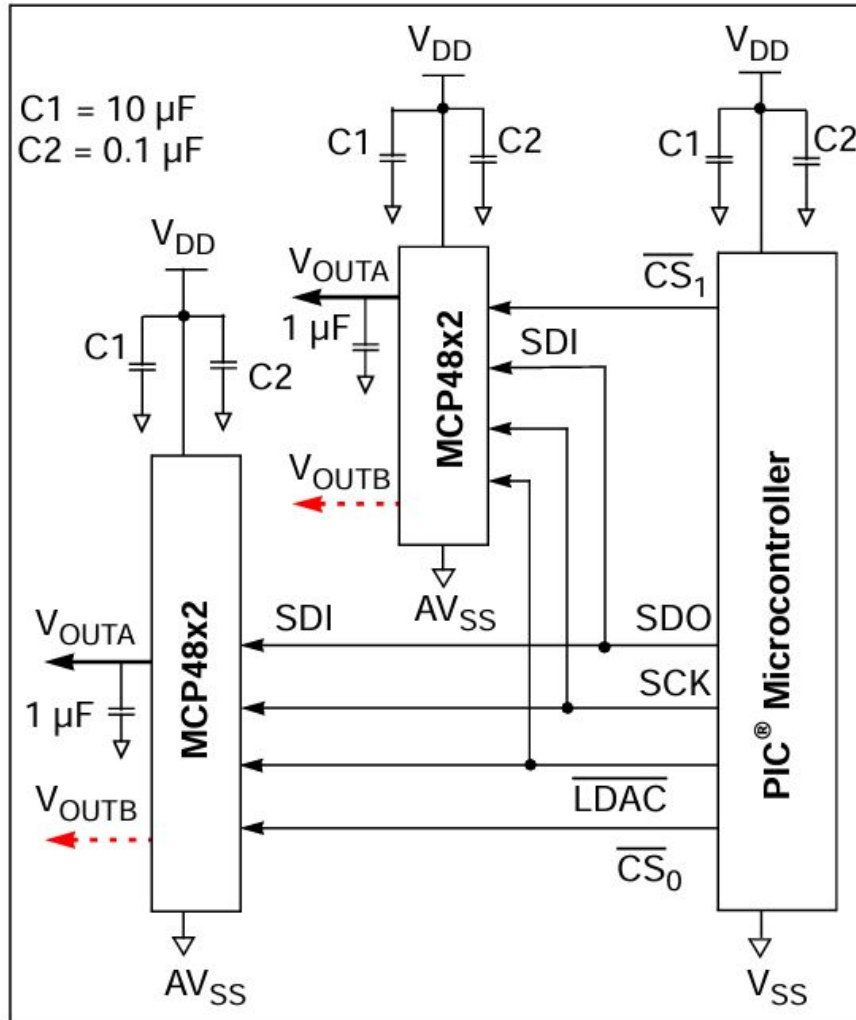
M en C. Marcos Romo Avilés

Practica 10: DAC

Pin	Nombre	Descripción
1		Entrada de voltaje de suministro (2.7 V a 5.5 V)
2		Entrada de selección de chip
3		Entrada de reloj serie
4	SDI	Entrada de datos en serie
5		Entrada de sincronización. Este pin se utiliza para transferir la configuración del DAC (registros de entrada) a los registros de salida (VOUT)
6		Salida B
7		Punto de referencia a tierra para todos los circuitos del dispositivo
8		Salida A



Practica 10: DAC



- La fuente de alimentación en el pin VDD debe estar lo más limpia posible para un buen rendimiento del DAC.
- Se recomienda utilizar un condensador de derivación adecuado de aproximadamente 0.1 μF (cerámico) a tierra. También se recomienda un condensador adicional de 10 μF (tántalo) en paralelo para atenuar aún más el ruido de alta frecuencia presente en las placas de aplicación.
- El usuario debe conectar el pin VSS a un plano de tierra a través de una conexión de baja impedancia.

$$V_{OUT} = \frac{(2.048V \times D_n)}{2^n} \times G$$

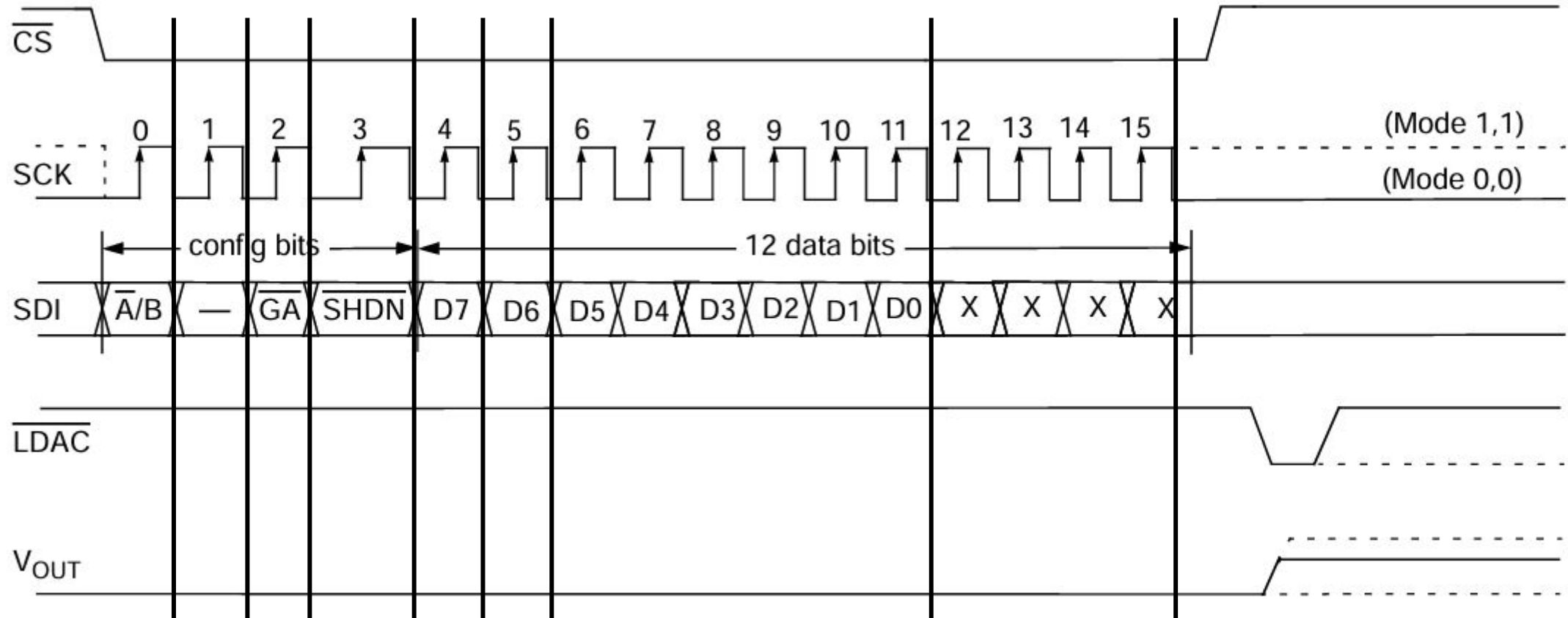
Where:

2.048V	=	Internal voltage reference
D_n	=	DAC input code
G	=	Gain selection
	=	2 for \overline{GA} bit = 0
	=	1 for \overline{GA} bit = 1
n	=	DAC Resolution
	=	8 for MCP4802
	=	10 for MCP4812
	=	12 for MCP4822

- El pin LDAC se utiliza para transferir los registros de la entrada a sus registros DAC correspondientes (VOUT). Cuando este pin está bajo, tanto VOUTA como VOUTB se actualizan al mismo tiempo con el contenido de su registro de entrada.
- Si se transfieren nuevos datos al registro de desplazamiento mientras LDAC está BAJO, el voltaje de salida del DAC cambiará a medida que se ingresa cada nuevo bit.
- Para evitar esto, LD debe devolverse a ALTO antes de cambiar nuevos datos en serie.
- VOUTA es el pin de salida del DAC A y VOUTB es el pin de salida del DAC B. Cada salida tiene su propio amplificador de salida.

- El pin CS debe mantenerse bajo mientras dure un comando de escritura.
- El comando de escritura consta de 16 bits y se utiliza para configurar los registros de control y datos del DAC.
- El comando de escritura se inicia colocando el pin CS en nivel bajo, seguido de sincronizar los cuatro bits de configuración y los 12 bits de datos en el pin SDI en el flanco ascendente de SCK.
- Luego se levanta el pin CS, lo que hace que los datos se bloqueen en los registros de entrada del DAC seleccionado.
- El dispositivo utiliza una estructura de doble búfer para permitir que las salidas de DACA y DACB se sincronicen con el LDAC si se desea.
- Al bajar el pin LDAC a un estado bajo, el contenido almacenado en los registros de entrada del DAC se transfiere a los registros de salida del DAC (VOUT), y tanto VOUTA como VOUTB se actualizan al mismo tiempo.
- La transferencia de datos sólo se realizará si se han transferido 16 relojes al dispositivo. Si el flanco ascendente de CS ocurre antes, se cancelará el cambio de datos a los registros de entrada.

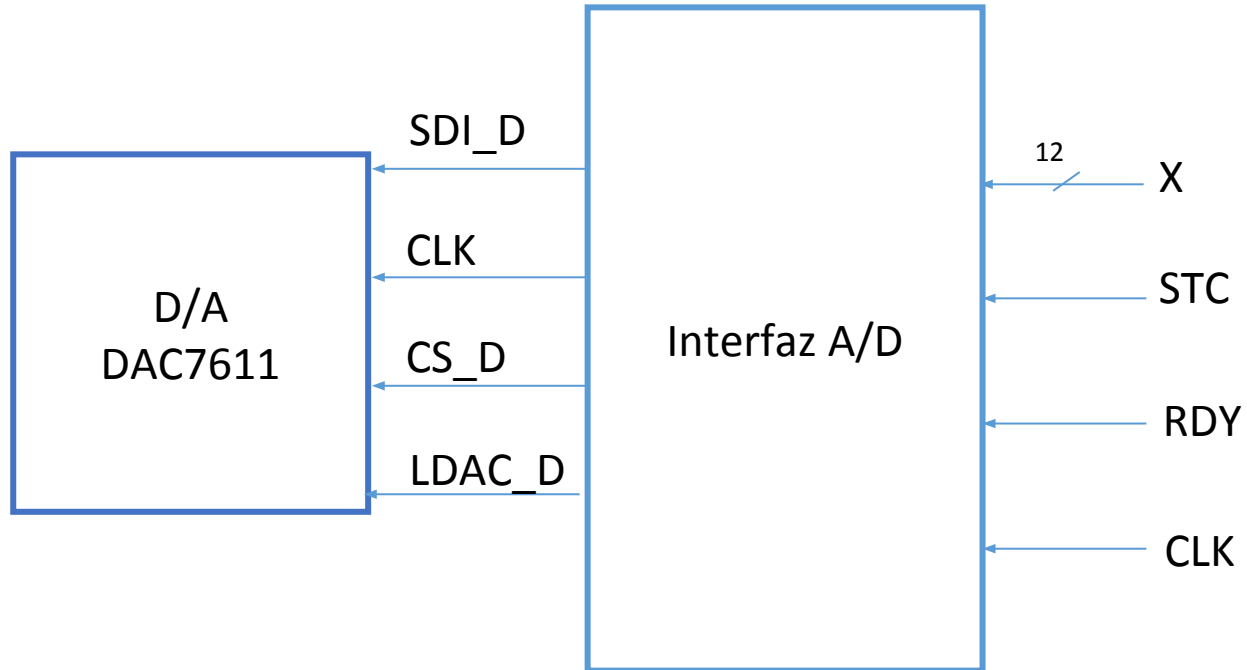
Practica 10: DAC



Note: X = "don't care" bits.

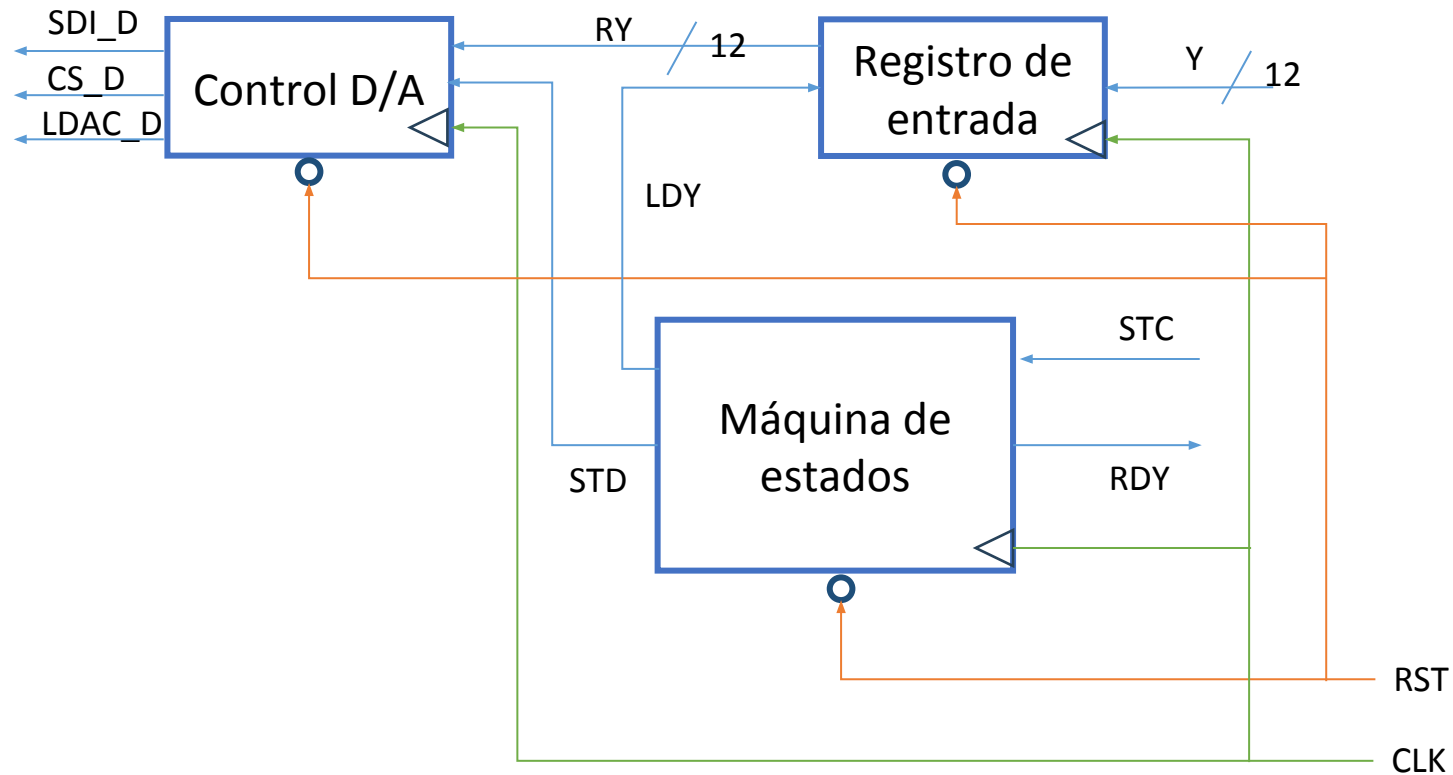
- bit 15 **$\overline{A/B}$** : DAC_A or DAC_B Selection bit
1 = Write to DAC_B
0 = Write to DAC_A
- bit 14 — Don't Care
- bit 13 **\overline{GA}** : Output Gain Selection bit
1 = 1x ($V_{OUT} = V_{REF} * D/4096$)
0 = 2x ($V_{OUT} = 2 * V_{REF} * D/4096$), where internal $V_{REF} = 2.048V$.
- bit 12 **\overline{SHDN}** : Output Shutdown Control bit
1 = Active mode operation. V_{OUT} is available.
0 = Shutdown the selected DAC channel. Analog output is not available at the channel that was shut down.
 V_{OUT} pin is connected to 500 k Ω (typical).
- bit 11-0 **D11:D0**: DAC Input Data bits. Bit x is ignored.

Practica 10: DAC



- CLK: Entrada de reloj maestro de 8 MHz
- STC: Inicio de la conversión
- RDY: Conversión lista
- Y : Datos de entrada

Practica 10: DAC

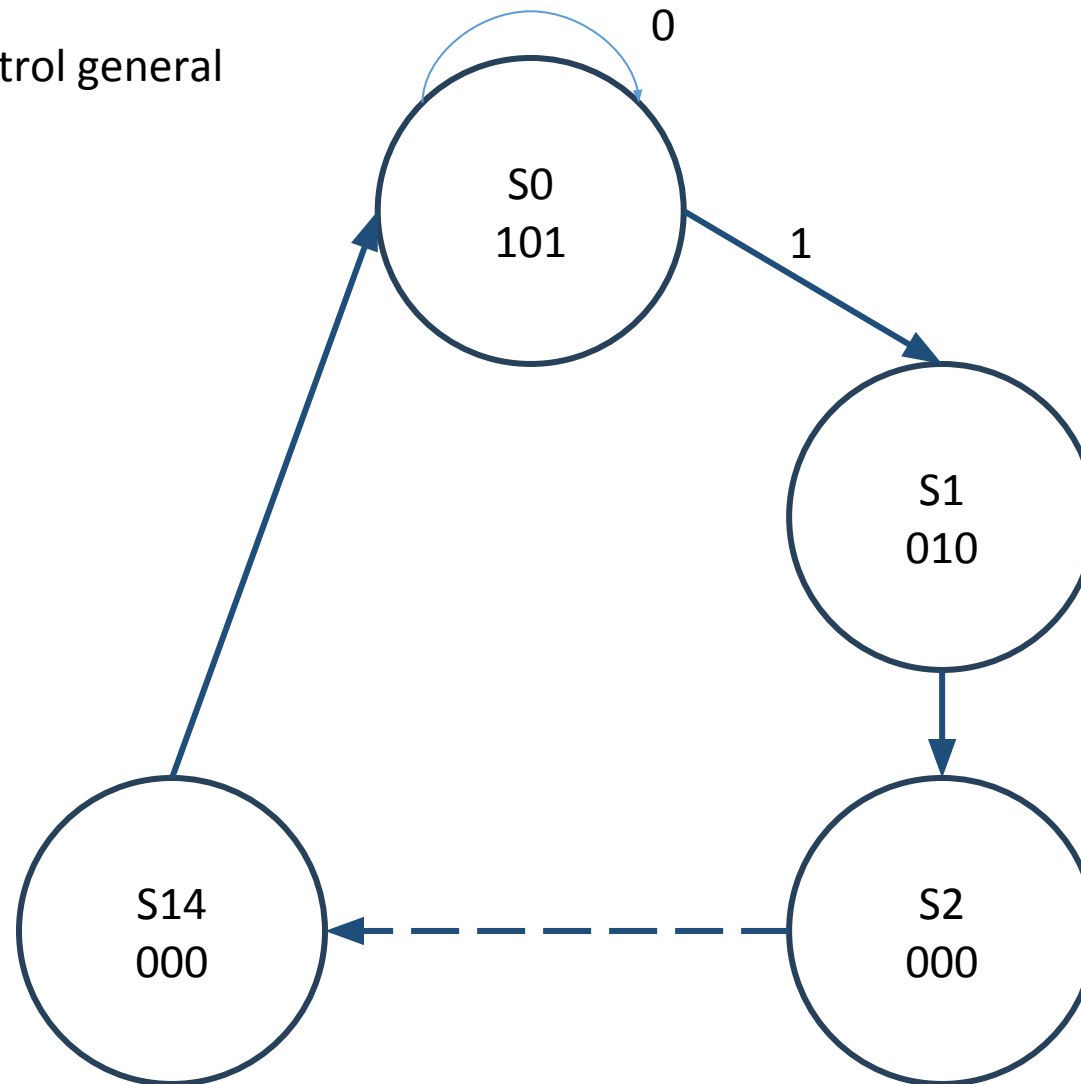


- El diagrama de bloques queda definido como se muestra. Es importante considerar que la señal de reloj del convertidor es común al reloj maestro del sistema, siempre y cuando no se supere la frecuencia máxima de 8 MHz.

- El convertidor digital a analógico requiere de un suministro de información de manera serial por lo que la información debe ser proporcionada por un registro de desplazamiento que controle al sistema.
- La operación global del sistema de control depende de una señal externa de inicio de conversión (STC) y al finalizar la operación devuelve una señal para indicar que el sistema está listo (RDY).

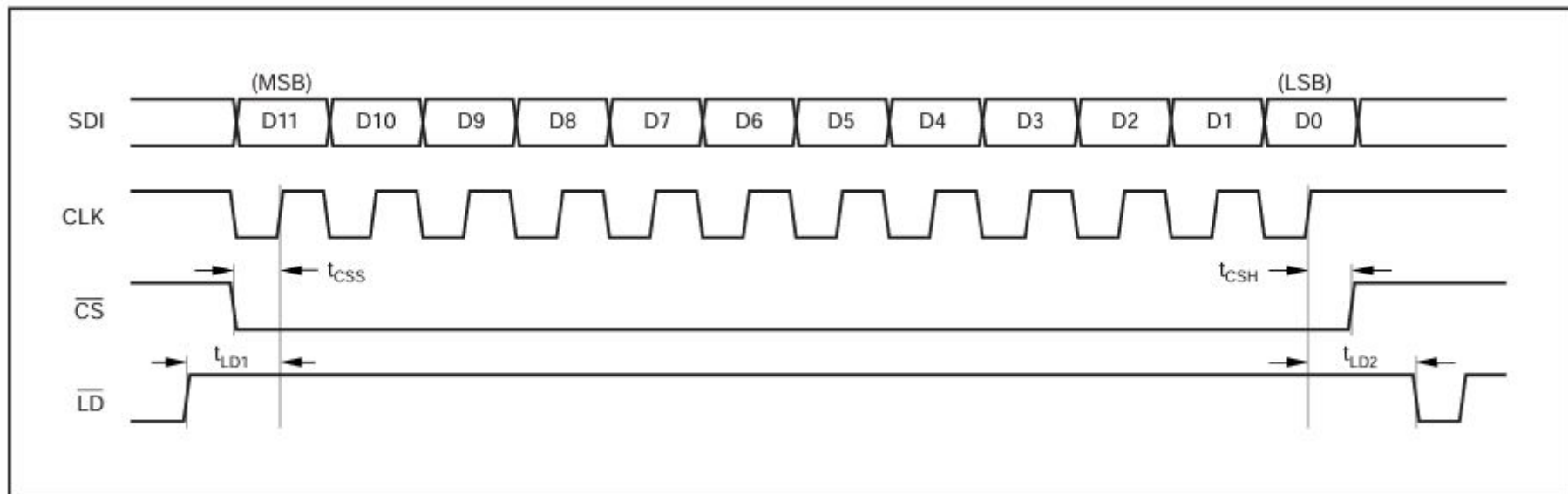
Practica 10: DAC

Máquina de estados de control general



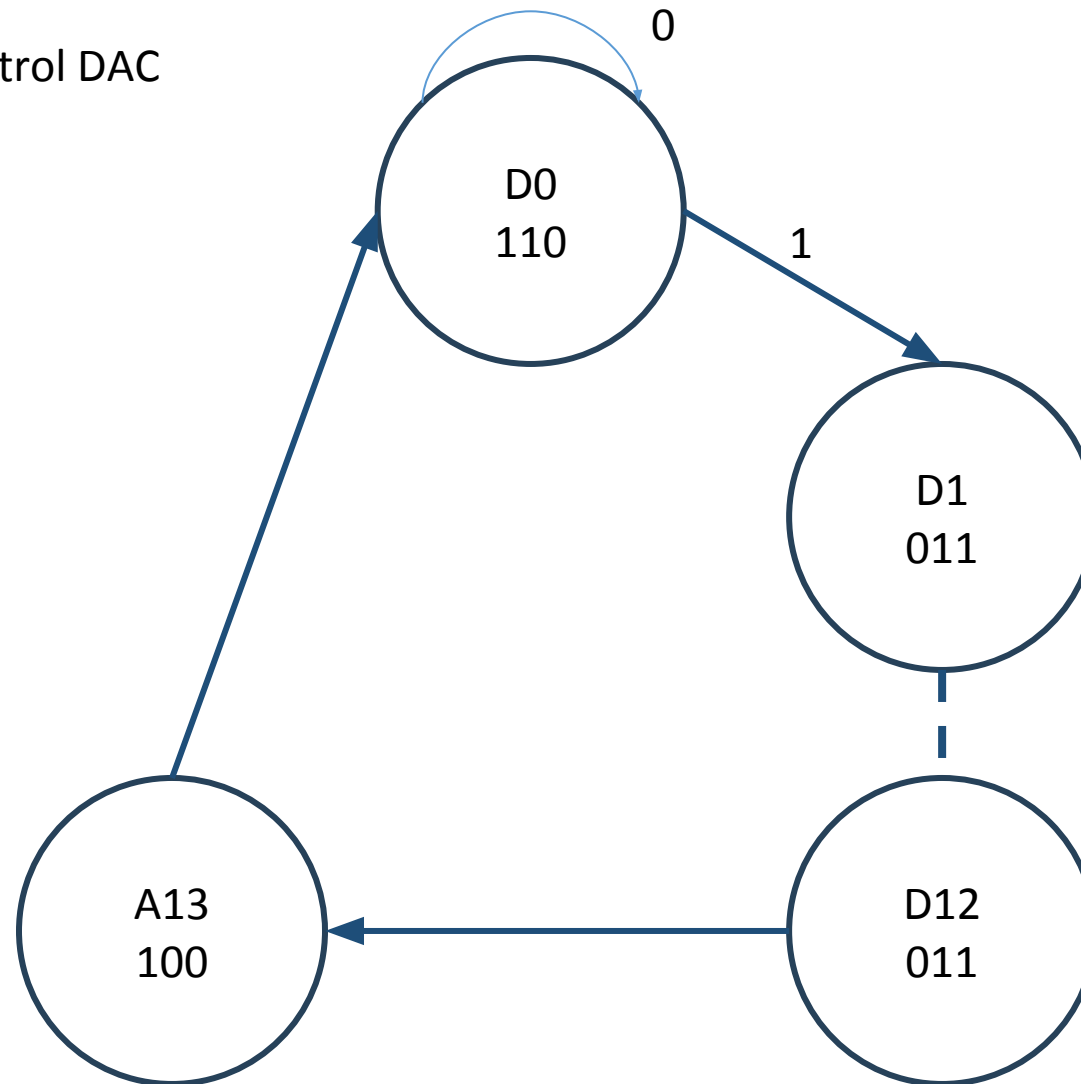
STC
LDY, STD,
RDY

- La máquina de estados comienza en un estado S0 donde todas las transferencias están inhabilitadas excepto la carga del registro Y y cambia al siguiente estado S1 hasta que la señal STC se activa. En el estado S1 se activa el convertidor DAC, se desactiva la carga del registro Y y se pasa a una serie de 14 estados de espera, necesarios para finalizar la conversión de acuerdo con las especificaciones de la figura.



Practica 10: DAC

Máquina de estados de control DAC



STD
CS,LD,SFY

- El control del convertidor digital a analógico comienza en el estado D0 donde espera la señal de activación STD, una vez se activa, se pasa al estado D1 donde comienza a realizar los desplazamientos hasta el estado D12. En el estado D13 se habilita la transferencia final y se regresa al estado D0

- Hacer la conversión de digital a analógico (D-A) de los siguientes voltajes:
 - 5 V
 - 2.5 V
 - 1 V
 - 0.5 V
- **Nota:** Los voltajes se escriben de forma binaria a través del uso de switches en la FPGA, esta palabra binaria entra de forma serial al DAC.
- Se debe medir mediante un osciloscopio o multímetro la salida del DAC el cual es un voltaje analógico.
- La FPGA debe controlar todo el funcionamiento del DAC, incluidos reloj, y señales de control.

- Hacer la conversión de analógico a digital (A-D) de los siguientes voltajes controlando el ADC en su totalidad con la FPGA:
 - 5 V
 - 2.5 V
 - 1 V
 - 0.5 V
- Mostrar el resultado de la conversión en los leds y en las pantallas de 7 segmentos mostrar el valor numérico del voltaje convertido.
- La FPGA debe controlar todo el funcionamiento del ADC, incluidos reloj, y señales de control.