

Universidad Autónoma de Querétaro

Facultad de Ingeniería
Ingeniería en Automatización



SDLR – UART

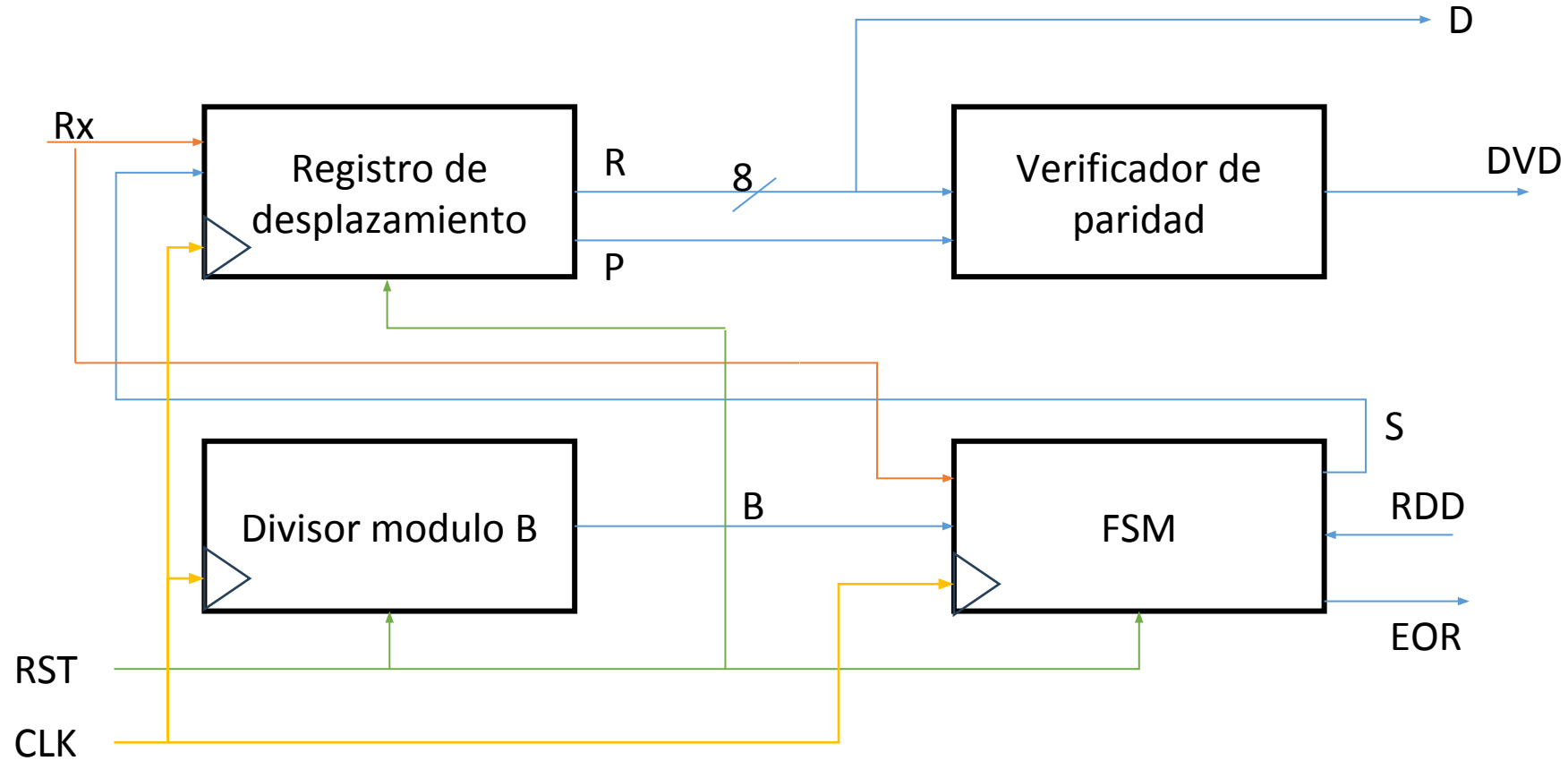
M en C. Marcos Romo Avilés

- Las señales RST y CLK son señales de control maestro.
- El dato D es el dato por recibir de 8 bits.
- La señal RDD informa al sistema que el dato recibido ha sido leído y puede recibir otro dato.
- El sistema informa de la recepción del dato mediante la señal EOR.
- La señal serial recibida es Rx.
- La señal DVD informa sobre la validez del dato recibido comparando la paridad.



- El sistema de recepción es más complejo que el sistema de transmisión debido a que se debe sincronizar la señal de entrada Rx con el control maestro y asegurar que el dato leído sea estable.
- Para lograr una mejor sincronía se propone utilizar una base de tiempo B que sea cuatro veces la frecuencia de transmisión para garantizar la correcta lectura de los datos recibidos. Sin embargo, esto ocasiona que aumente la complejidad de la máquina de estados.

Practica 8

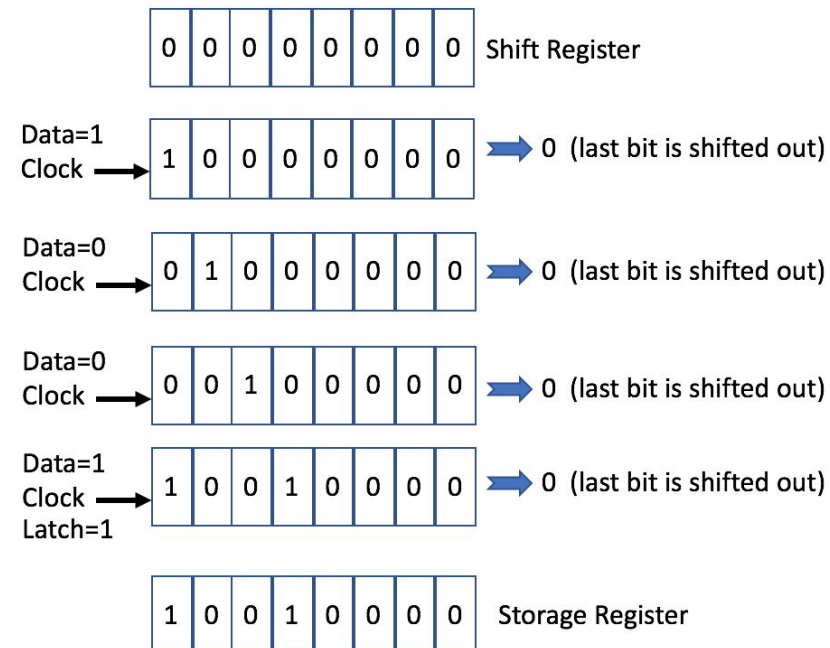
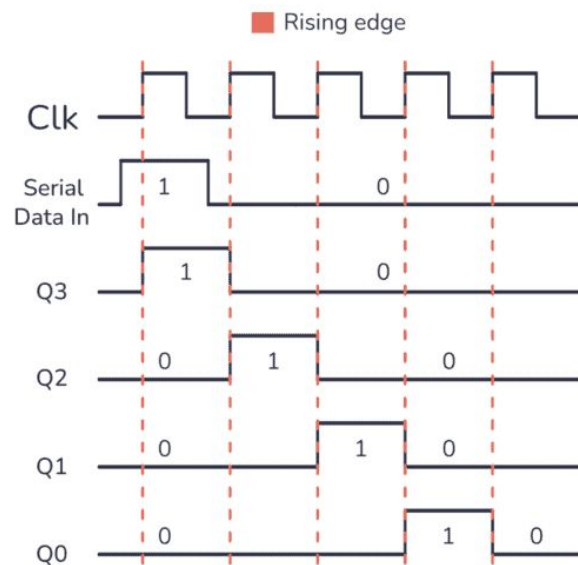


Practica 8: Verificador de paridad

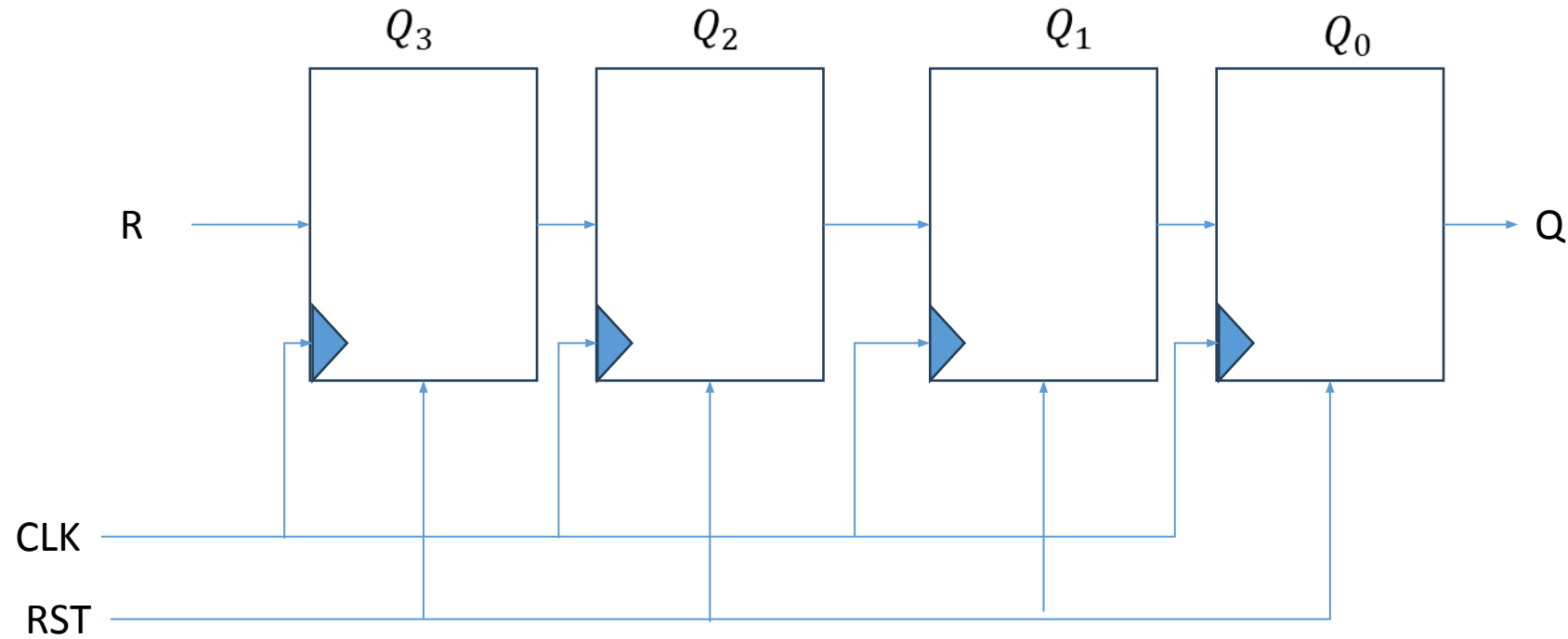
- $DVD \leq (((DATA(0) \text{ XOR } DATA(1)) \text{ XOR } (DATA(2) \text{ XOR } DATA(3))) \text{ XOR } ((DATA(4) \text{ XOR } DATA(5)) \text{ XOR } (DATA(6) \text{ XOR } DATA(7)))) \text{ XNOR } PARITY;$

Practica 8: Registro de desplazamiento

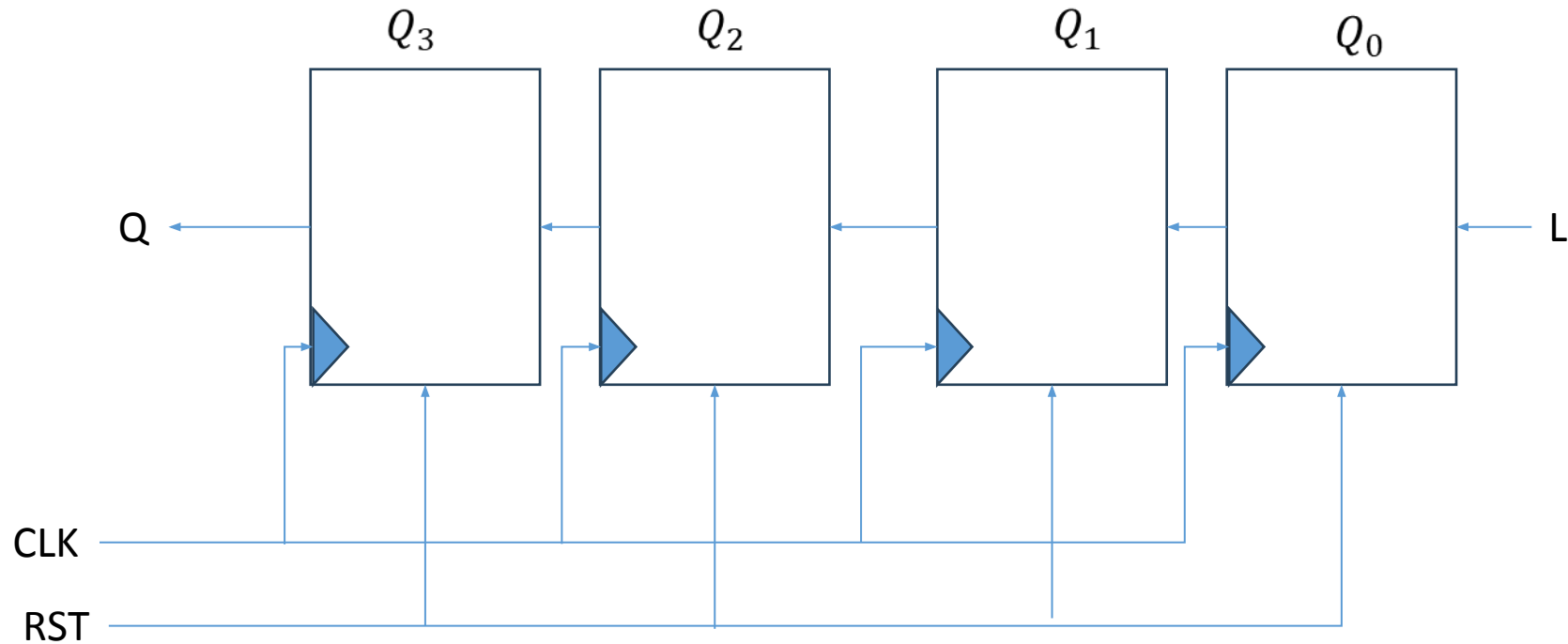
- A los registros con operación serial, es decir, bit a bit, se les conoce como registros de desplazamiento, esto debido a que la información se transfiere una posición en el bit más significativo a cada pulso de reloj.
- El desplazador a la derecha transfiere la información contenida en los bits más significativos hacia los bits menos significativos.
- La operación del desplazador a la izquierda permite la transferencia de la información de los bits menos significativos hacia los más significativos



Practica 8: Registro de desplazamiento a la derecha

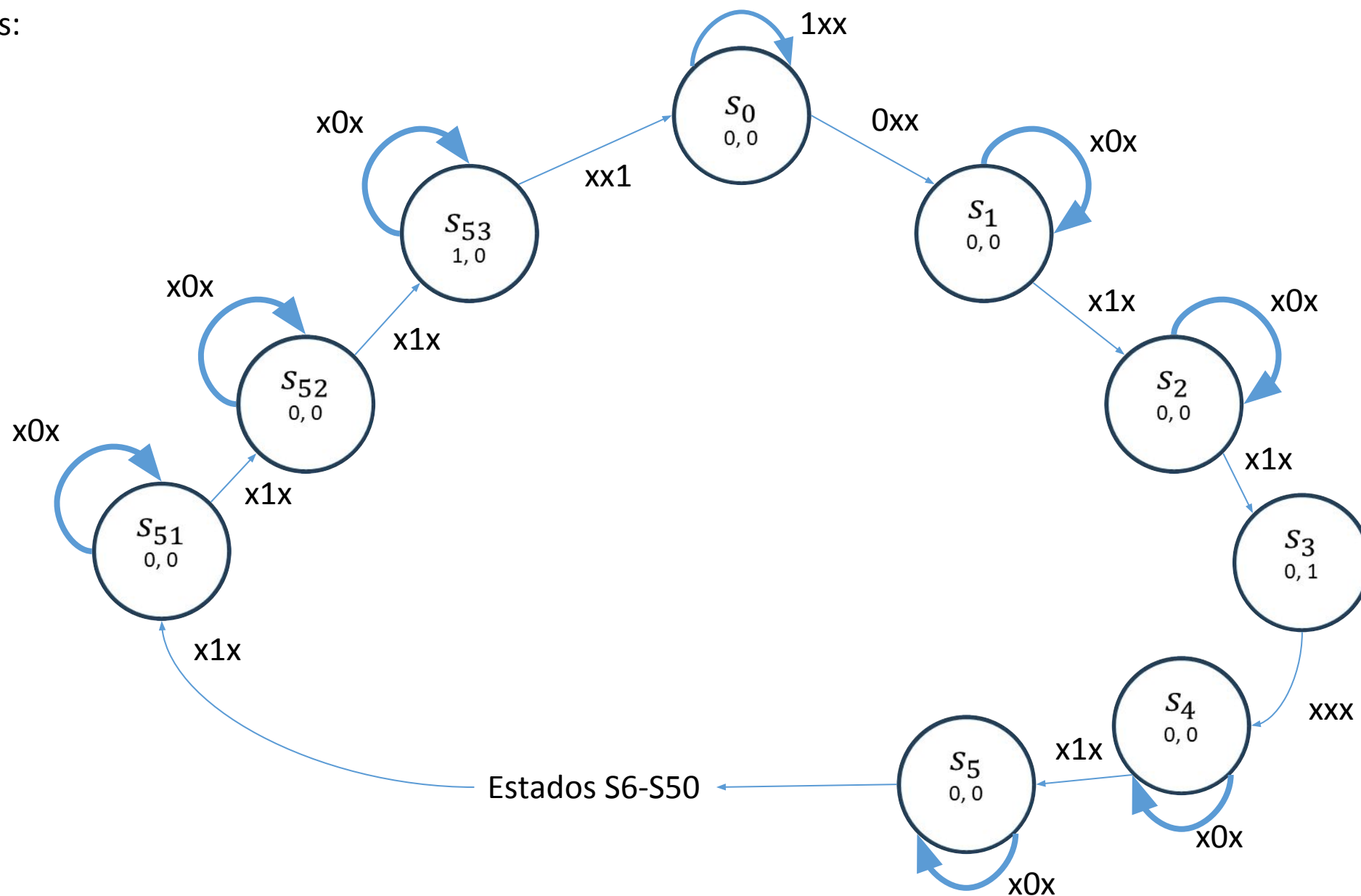


Practica 8: Registro de desplazamiento a la derecha



Practica 8: Maquina de estados

- La FMS es:



- Inicia en un estado S0 donde se indica que no hay recepción válida y que no se debe desplazar el dato de entrada. La máquina permanece en este estado hasta que la entrada Rx cambia a indicando que se ha iniciado una recepción y pasa al estado S1.
- Los estados S1 y S2 son estados de espera donde el cambio con una señal de tiempo B y son necesarios para garantizar a recibir es válido en estos estados no hay recepción completa y tampoco desplazamiento del dato.
- El estado S3 es un estado temporal con transición incondicional en donde se realiza el desplazamiento de la señal.
- Del estado tres se pasa a los estados S4 y S5 consecutivamente hasta que reciba la señal de base de tiempo B.
- Hasta este punto se tiene almacenado en el registro de desplazamiento el primer bit de la transmisión correspondiente al bit de inicio.
- Se necesitan 9 grupos de 5 estados idénticos a S1-S5, para realizar el desplazamiento de los 8 bits y el bit de paridad (S6-S50)

- Hasta este punto se han recibido ya los 8 bits del dato y el bit de paridad y se encuentran almacenados en el registro de desplazamiento, pero son necesarios dos estados de espera adicionales (S51-S52) para garantizar que la maquina se encuentre en la posición del bit de paro.
- Pasado el tiempo, se llega al estado S53 donde se indica que se ha completado la recepción y permanece en este estado hasta que el usuario le indique al sistema que el dato ha sido leído y que puede recibir otro.

- Desde el monitor serial mandar los siguientes caracteres a la FPGA y desplegar en leds el valor binario y en la LCD el carácter correspondiente:
 - A
 - C
 - 7
 - E
 - 9
 - P
 - S