

## Vorlesung Schaltkreisentwurf

### Vorlesung 11

- ADC Principles
- MAX1000 ADC
- External ADC

Prof. Dr.-Ing. Marco Krondorf

[marco.krondorf@htwk-leipzig.de](mailto:marco.krondorf@htwk-leipzig.de)

## Bewertungsmaßstab und Punkteverteilung

Die Punkteverteilung orientiert sich an einer industrie-üblichen DoD (Definition of Done)

Schwerpunkt	Punkte maximal
Erklärung der algorithmischen Idee	3
Verilog Umsetzung / Verilog Code	4
Test/Verifikation	3
Form des Belegdokuments	3
Dokumentation der HDL Module	2
<b>Gesamt</b>	<b>15</b>

**Zur Dokumentation der algorithmischen Idee gehören beispielsweise:**

- Gleichungen/Herleitungen mit Fließtext
- Schaubilder zur Arbeitsweise von FSMs
- Datenflussgraphen inkl. Zustandsdefinitionen von FSMs
- Informationen in welchem Festkomma-Zahlenformat beispielsweise Konstanten abgespeichert werden
- Begründungen warum bei iterativen Algorithmen eine gewisse Anzahl von Iterationen genutzt wird bzw. sollen Analysen zur Rechengenauigkeit iterativer Algorithmen erfolgen
- Die Echtzeitfähigkeit des Designs soll dokumentiert werden (wieviele Takte bzw. Zeit braucht das Design zur Bewältigung der Rechenaufgabe bei einer gegebenen Taktrate)

- Alle Eingangssignale werden mittels eines sequenziellen Logikblocks in Registern gespeichert.
- Im Sequenziellen Logikblock werden ausschließlich non-blocking Zuweisungen verwendet.
- Im Sequenziellen Logikblock wird auf jede Art von kombinatorischer Logik verzichtet.
- Jede Art der Datenmanipulation in Form von arithmetischen oder logischen Operatoren wird im kombinatorischen Logikblock angewendet.
- Im kombinatorischen Logikblock kommen ausschließlich blockierende Zuweisungen = zur Anwendung. Dabei ist die Regel, dass die linke Seite der Anweisung ein kombinatorisches Register darstellt. Die rechte Seite der blockierenden Zuweisung besteht dagegen ausschließlich aus Registerwerten, die im sequenziellen Block zugewiesen wurden.
- Die Sequenz blockierender Anweisungen wird dabei vom Synthesetool von oben nach unten gelesen und realisiert, d.h. eine tiefer im Quellcode stehende Anweisung auf ein kombinatorisches Register wird immer jede vorherige Zuweisung aufheben.
- Weise nie eine **wire** oder **reg** Variable in mehr als einem always Block zu
- Zusweisung auf wires mittels **assign** sollen aufgrund besserer Lesbarkeit immer am Ende des Verilog Files stehen
- Die Bezeichner von Inputsignalen werden mit dem Kürzel **\_i** abgeschlossen
- Die Bezeichner von Outputsignalen werden mit den Kürzel **\_o** abgeschlossen
- Register (Flip-Flops) die im sequenziellen Block geschrieben werden, erhalten die Endung **\_r**
- Verwenden Sie synchrone Resets
- Parameter/Konstanten werden mit Großbuchstaben bezeichnet. Register/Wire und Modulnamen werden mit Kleinbuchstaben bezeichnet.
- ein Register wird jeweils nur in einem einzigen Block (kombinatorisch oder sequenziell) geschrieben. Auch wenn ein Modul mehrere kombinatorische und/oder sequenzielle Blöcke hat, ist diese Regel immer einzuhalten. Wird ein Register in mehreren Blöcken geschrieben, so ist im Allgemeinen die Schaltung nicht synthesefähig.

## Schwerpunkte beim Test/Verifikation:

- Hauptfrage ist, ob ich anhand Ihrer Testdokumentation sehen kann, dass das Design die geforderte Aufgabe erfüllt.
  - Sind die Testcases nachvollziehbar/repräsentativ und auch zahlreich genug, um die Funktion von Modulen zu garantieren?
  - Sind die Ergebnisse von Tests auch gut im Dokument erkennbar? Unkommentierte ModelSim Screenshots sind das oft nicht.
  - Wurde externe Software (Matlab/Python/Excel) für die Testsignalerzeugung bzw. die nachträgliche Auswertung der Testbenchergebnisse verwendet? Wenn ja, dann dies im Dokument auch nennen bzw. kurz beschreiben.

## Schwerpunkte bei der Form des Belegdokumentes:

Zur Belegdokumentation gehören in Anlehnung ans Skript:

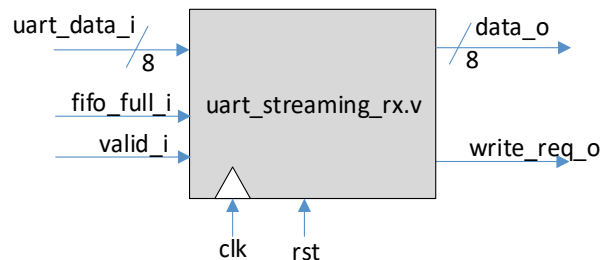
- Erklärungstext/Gleichungen
- Liste von erzeugten Verilog/Matlab Source Files
- Aufnahme von relevantem Quellcode in das Belegdokument
- Diagramme/Schaubilder der Top-Level Architektur
- Schaubilder der Modul-IO von erzeugten Verilog Modulen (Input/Output Ports mit Bitbreite und Benennung)
- Screen-Shots von Timing Diagrammen

**Formatierung der Belegarbeit:**

- Deckblatt mit Name und Kontaktdaten
- Inhaltsverzeichnis
- Neue Kapitel bzw. neue Abschnitte sollen Titel, nicht nur Nummern bekommen. Beispielweise so: 4.3.2 Verilog Implementierung
- Für jedes von Ihnen neu entwickelte oder veränderte Verilog Modul sollten sie ein Top-Level Bild des Moduls machen. Das ist ein Bild mit allen IO Ports (Pfeile markieren ob es Input oder Output ist). Die IO Ports tragen Namen und eine Bitbreite.
- Unter dem Top-Level Bild des Moduls fassen Sie die IO Ports in einer Tabelle zusammen, dort erklären Sie auch kurz die Semantik der einzelnen Leitungen.
- Screenshots sollten Bildunterschriften haben und gut erkennbar sein. Beschreiben Sie im Fließtext, was ich auf den Bildern zu sehen ist.
- Integrieren Sie den Verilog-Code bzw. wichtige Code-Fragmente direkt im Fließtext.
- Bei FSMs: machen Sie eine Tabelle der Zustandsübergänge bzw. der Zustandssemantik.
- Nutzen Sie ggf. auch Gleichungen um Ihre Gedankengänge zu erklären.

## Schwerpunkte bei der Architekturdokumentation der Module:

- Fileliste aller Verilog-Module und Testbench Files
- Bei FPGA Umsetzungen: Dokumentation des Logik-Verbrauchs nach erfolgter Synthese, Dokumentation der maximalen Taktrate des Designs
- Ggf. Bilder der Verschaltung einzelner Module bei komplexeren Architekturen
- Bilder der Moduldefinition mit Angabe der IO



Signal	Semantik	Input/Output
clk	UART Clock	I
rst	High active reset signal	I
uart_data_i	8 Bit UART word, data output from uart_rx.v	I
valid_i	High active indication that uart_data_i has valid data	I
data_o	8 Bit Clock crossing FIFO input after payload decapsulation	O
write_req_o	FIFO write request signal, high active	O



Der Belegleistung kann im Anschluss des Semesters oder in der vorlesungsfreien Zeit geleistet werden. **Das Abgabedatum des Belegs ist jährlich der 15. März (EoB).**

Bei verspäteter Abgabe ergibt sich die folgenden Punktabzugsregel:

Verzugstage	1	2	3	4	5	6
Punkteabzug	-2	-2	-2	-2	-2	-2

Notenschlüssel:

Punkte gesamt	15										
Note	1,0	1,3	1,7	2,0	2,3	2,7	3,0	3,3	3,7	4,0	5,0
%	93	88	81	76	71	64	59	54	47	42	
Punktzahl	14	13	12	11	10	9	8	7	6	5	

## Die Belegkonsultationen:

- 03. Februar 09:00 – 10:30 Uhr per Zoom:  
<https://htwk-leipzig.zoom-x.de/j/8243265001>
- 19. Februar 09:00 – 10:00 Uhr im Raum W118
- Bei Bedarf noch innerhalb des Semesters (Mail an mich)