

MITTUNIVERSITETET

Tentamen – ET061G– 29 Maj 2017

Digitalteknik med VHDL

Tid: fem timmar

Tillåtna hjälpmedel: inga

Antal uppgifter: 6

Antal sidor: 5

Maxpoäng: 50 (25 poäng krävs för godkänt)

David Krapohl, tel: 010-142 8755, e-post: david.krapohl@miun.se

Anvisningar:

- Vänligen lämna in en uppgift per blad.
- Resonemang och motiveringar får ej vara så fåordiga att det blir svårt att följa.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara fullständiga för att visa hur resultatet har erhållits.
- Varje problemlösning skall avslutas med ett tydligt markerat svar.

Uppgifter

Uppgift 1.

6 P.

- Konvertera 11000111 från binär till ett decimaltal (2 P.).
- Multiplitera binätalet i a) med 4 genom att använda vänster-shiftoperatoren och skriv resultatet som decimaltal. (2 P.).
- Dela binärtalet i a) med 2 genom att använda höger-shiftoperatoren och skriv resultatet som decimaltal (2 P.)

Uppgift 2.

6 P.

- Beräkna $-5+3$ med hjälp av tvåkomplementsform.(2 P.)
- Avgör om följande likhet gäller (4 P.):

$$a \cdot \bar{b} + (c + \bar{d}) = \overline{\overline{a} \cdot \bar{b} \cdot c \cdot \bar{a} \cdot \bar{b} \cdot \bar{d}}$$

Uppgift 3.

9 P.

- Minimera följande Boolesk uttryck (4 P.):

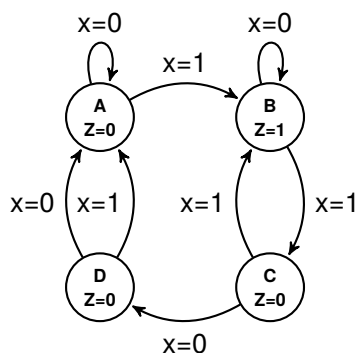
$$\bar{a} \cdot (a + b) + (b + a \cdot a) \cdot (a + \bar{b})$$

- Minimera funktionen $f(x, y, z, w) = \sum(1, 2, 3, 4, 6, 7, 9, 11) + d(0, 5, 10)$ genom att använda ett Karnaugh-diagram. Rita ett kretsschema för det minimerade uttrycket (5 P.).

Uppgift 4.

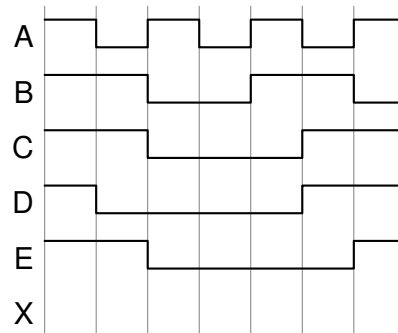
10 P.

- Utveckla ett Boolesk uttryck för tillståndsdigrammet nedan. Använd binärkodning och D-vippor(6 P.).



- b) Rita kretsschemat för uttrycket nedan och komplettera signalen för utgång X (4 P.).

$$X = AC + \overline{A}B + ED + C + \overline{B}\overline{E}$$



Uppgift 5.

15 P.

- Skriv sanningstabellen för en 4-1 multiplexer. Rita blockdiagrammet och rita upp kretsschemat med hjälp av sanningstabellen. Skriv VHDL kod. (10 P.)
- Skriv sanningstabellen för en 2-4 decoder. Rita blockdiagrammet och kretsschemat. (5 P.)

Uppgift 6.

4 P.

Rita tillståndsdigrammet för VHDL-koden i Appendix 1. Är detta en Moore- eller en Mealy-maskin? Motivera ditt svar!

Solution 6.

Solution 6.

b) true!

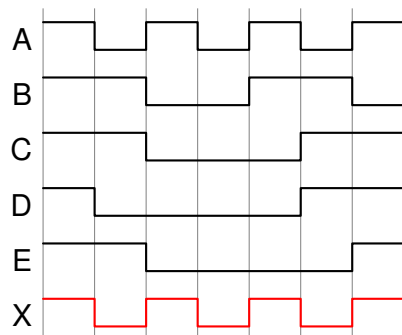
Solution 6.

a) solve with deMorgan, then complements, then distributive

$$a + c$$

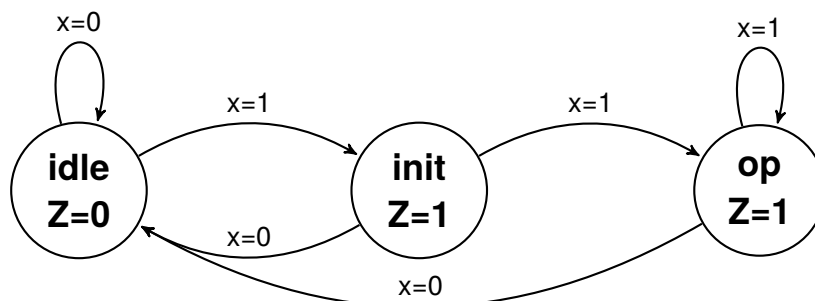
b)

Solution 6.



Solution 6.

This is a Moore machine because the output is set after going to the next state.



Appendix 1

```
ENTITY demo IS
PORT ( clk, in1, reset: IN std_logic;
      out1: OUT std_logic);
END demo;
```

```

ARCHITECTURE mm OF demo IS
    TYPE state_type IS (s0,s1,s2,s3); --
    state declaration
    SIGNAL current_state, next_state : state_type;
    BEGIN

    P0: process(state, in1) -- combinational process
    BEGIN
        CASE state IS
            WHEN s0=> IF in1 ='1' THEN
                state<=s1;
            END IF;
            WHEN s1=> IF in1 ='0' THEN
                state<=s3;
            END IF;
            WHEN s2=> IF in1 ='0' THEN
                state<=s0;
            END IF;
            WHEN s3=> IF in1 ='1' THEN
                state<=s2;
            END IF;
        END CASE;
    END PROCESS;

    P1: PROCESS(clk, reset) -- clocked process
    BEGIN
        IF reset ='1' THEN
            state<=s0;
        ELSIF clk'EVENT AND clk='1' THEN
            current_state<=next_state;
        END IF;
    END PROCESS;

    P3 : PROCESS (current_state) -- combinational process
    BEGIN
        CASE current_state IS
            WHEN s0=> out1 <= "00";
            WHEN s1=> out1 <= "01";
            WHEN s2=> out1 <= "11";
            WHEN s3=> out1 <= "10";
        END CASE;
    END PROCESS;
END mm

```