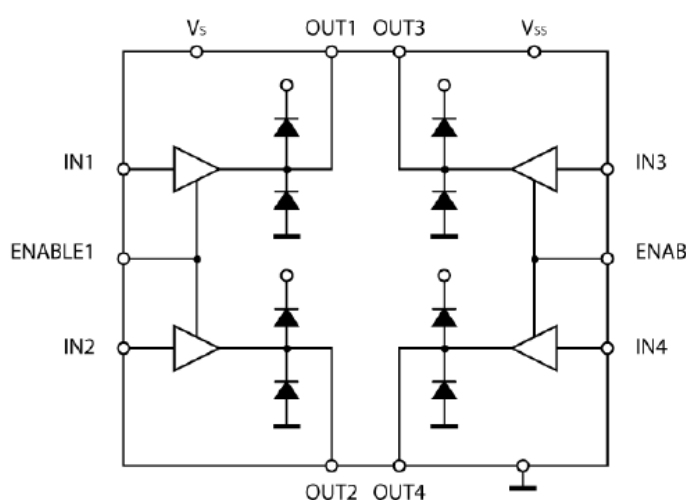


STEROWANIE DWUSTANOWE KOMUTATOROWYCH SILNIKÓW PRĄDU STAŁEGO (DC)

Układy mostkowe ze sterowaniem równoległym.

Ze względu na powszechność scalonych układów (mostków sterujących) nie będziemy przedstawiać realizacji mostków realizowanych z elementów dyskretnych w technice bipolarnej (BJT) i unipolarnej (MOS).

Z szerokiej gamy układów mostkowych zaprezentowano przykład układ umożliwiający sterowanie dwóch silników DC o prądzie do 1A i napięciu do 36V. Jak wszystkie układy mostkowe ma diody łączące wyjście z biegunami napięcia zasilania. Posiada zabezpieczenie termiczne i wejście odłączające wyjście (ENABLE1 i 2).



- 600 mA output current capability per channel
- 1.2 A peak output current (non repetitive) per channel
- Enable facility
- Overtemperature protection
- Logical "0" input voltage up to 1.5 V (high noise immunity)
- Internal clamp diodes

L2293Q

VFQFPN 5 mm x 5 mm 32L

Rys.1. Schemat blokowy układu L2293Q.

Układy mostkowe z zabezpieczeniami.

Układy mostkowe wyposażone są często w wiele układów zabezpieczających przed awariami i zwarciami jak:

- praca przy zbyt niskim napięciu – zabezpieczenie podnapięciowe (UVLO),
- praca przy zbyt dużym napięciu – zabezpieczenie nadnapięciowe (OVP),
- przekroczenie dopuszczalnego prądu wyjściowego (OCP),
- przegrzanie struktury układu (TSD),

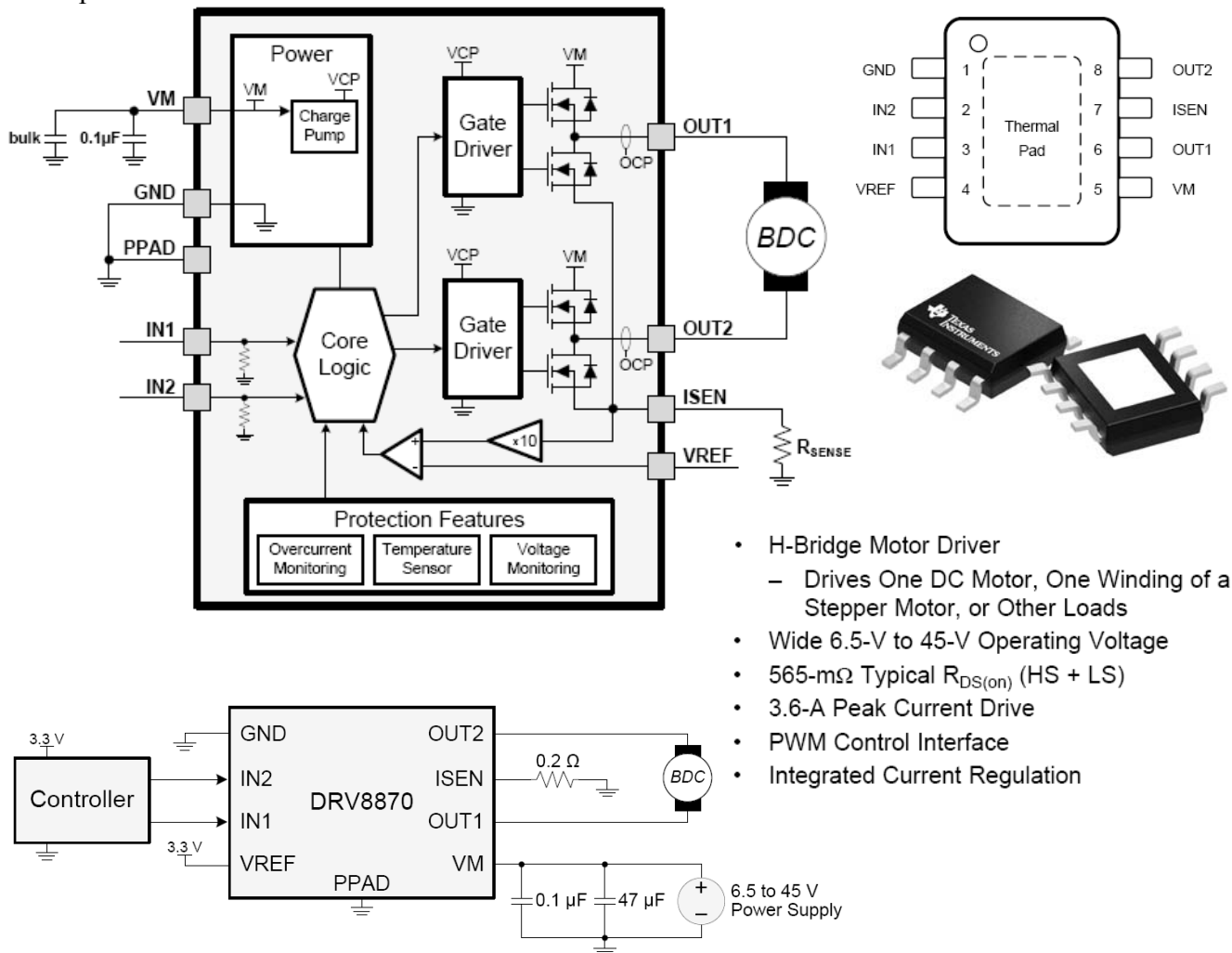
Zabezpieczenie przeciążeniowe jest szczególnie ważne, gdy zachodzi możliwość przeciążenia mechanicznego, wręcz zablokowania osi silnika.

Układ DRV8870 pokazany na rys.2. posiada większość z wymienionych zabezpieczeń. Układ jest przykładem sterowania równoległego. Stany wejść (IN1 i IN2) wprost strują stanem wyjść (OUT1 i OUT2).

Zastosowanie w mostku tranzystorów MOSFET z kanałem typu N wymusza napięcie sterujące górnymi tranzystorami mostka napięciem o biegunie dodatnim o potencjale wyższym niż napięcie zasilania. Uzyskujemy to przy pomocy wewnętrznej pompy ładunkowej. Poziom zabezpieczenia prądowego wyznacza podane napięcie progowe komparatora (VREF) i wartość napięcia, proporcjonalnego do płynącego prądu (ISEN) otrzymanego na rezystorze pomiarowym R_{SENSE} . By zmniejszyć straty mocy na rezystorze pomiarowym napięcie to jest wzmacniane wewnątrz układu (10x).

Poziomy stanów logicznych wejść sterujących muszą być dostosowane do napięcia mikroprocesora sterującego. Uzyskuje się to podając na wejście (VREF) napięcie zasilające

mikroprocesora.



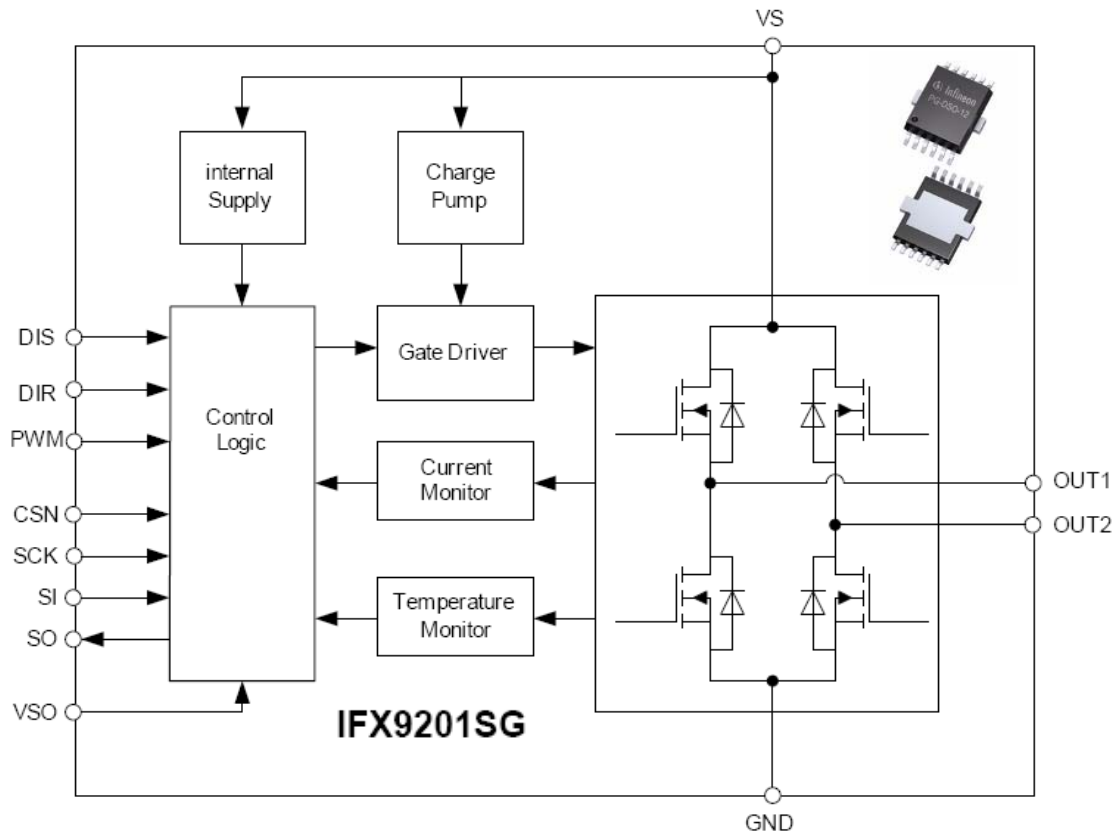
Rys 2. Schemat blokowy układu DRV8870 i schemat aplikacyjny.

Układy mostkowe ze sterowaniem równoległym i szeregowym interfejsem (SPI) diagnostycznym

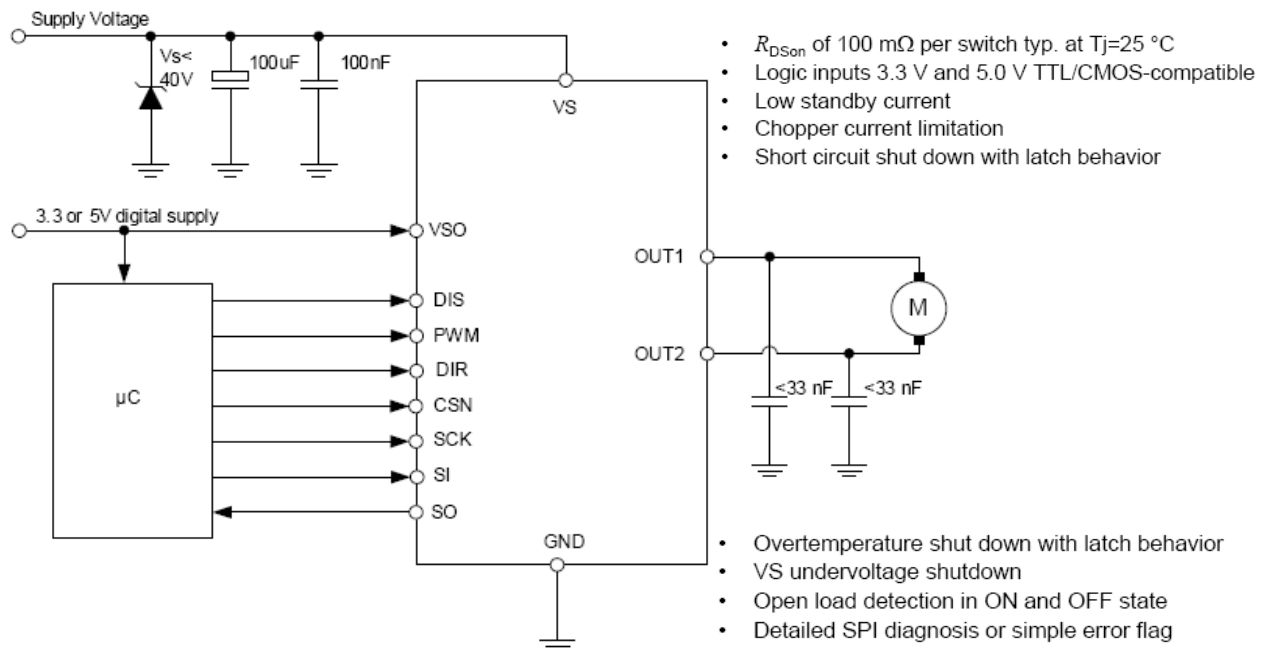
Przykładem układu, w którym połączono równoległe sterowanie z wieloma zabezpieczeniami jest układ IFX9201SG, którego schemat blokowy pokazano na rys.3. Wbudowany interfejs szeregowy służy do raportowania stanu układu, szczególnie awarii. Typową aplikację układu pokazano na rys.4.

Mostek na wyjściu układu zbudowany jest z 4 tranzystorów MOSFET z kanałem typu n. Wewnętrzna pompa ładunkowa zapewnia właściwy poziom napięć sterujących górne tranzystory mostka. Mostek sterowany jest z poprzez blok logiczny za pomocą wejść DIR (kierunek) i PWM (sterowanie wł./wył.). Podstawowe stany pracy mostka w zależności od stanu wejść ilustruje rys.5. Wszystkie tranzystory można wyłączyć za pomocą wejścia DIS (odłączony). Mostek zasilany może być napięciem (VS) do 36V i może przełączać prąd obciążenia do 6A.

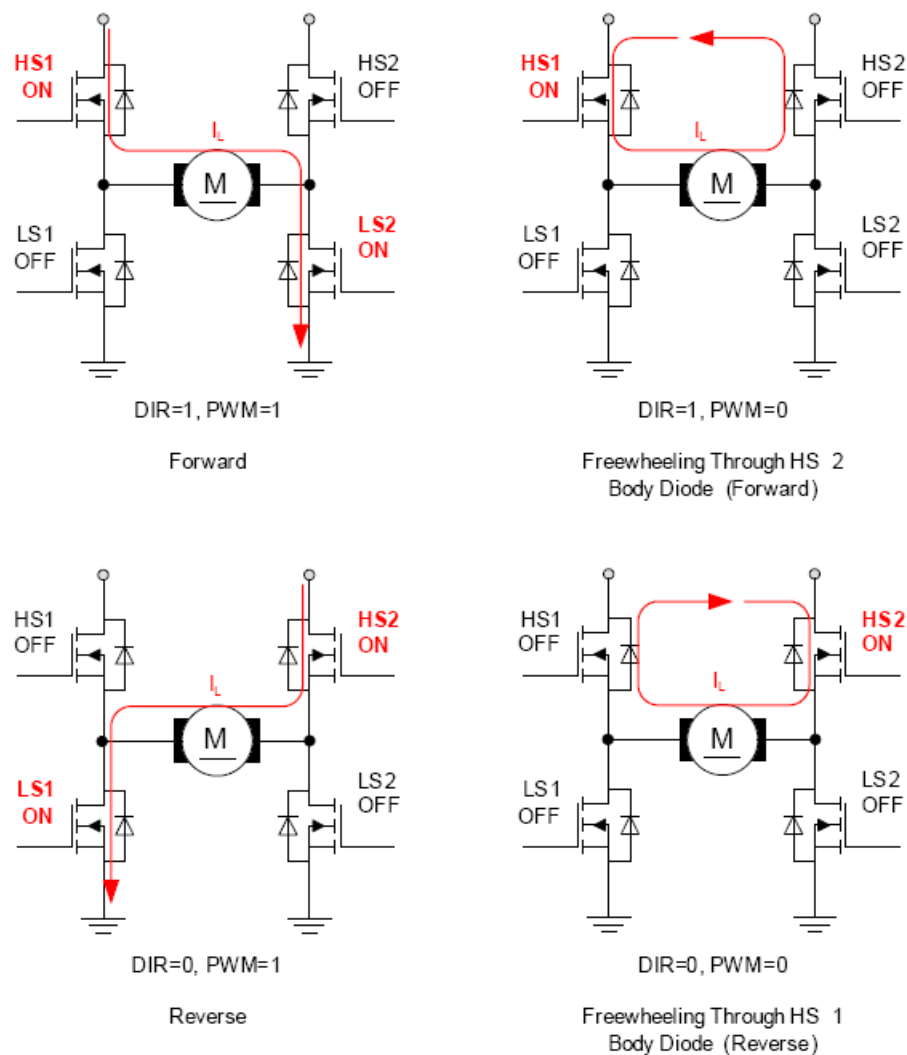
Wewnętrzny zasilacz dostarcza napięcia zasilające (VSO) o wartości uzależnionej od napięć cyfrowych układów współpracujących (5V lub 3,3V).



Rys.3. Schemat blokowy układu IFX9201SG.



Rys.4. Typową aplikację układu IFX9201SG.

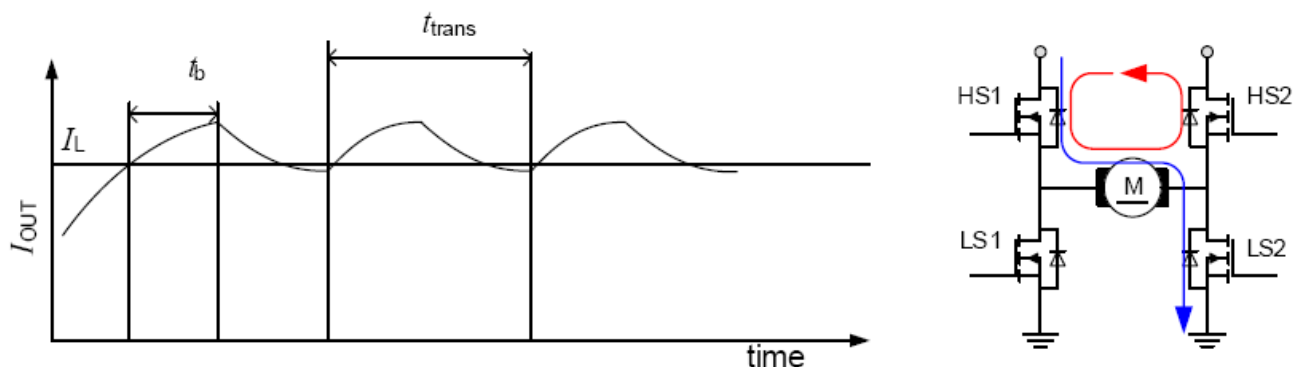


Rys.5. Podstawowe stany pracy mostka w zależności od stanu wejść układu IFX9201SG.

Układ IFX9201SG posiada szereg funkcji zabezpieczających i diagnostycznych chroniących przed:

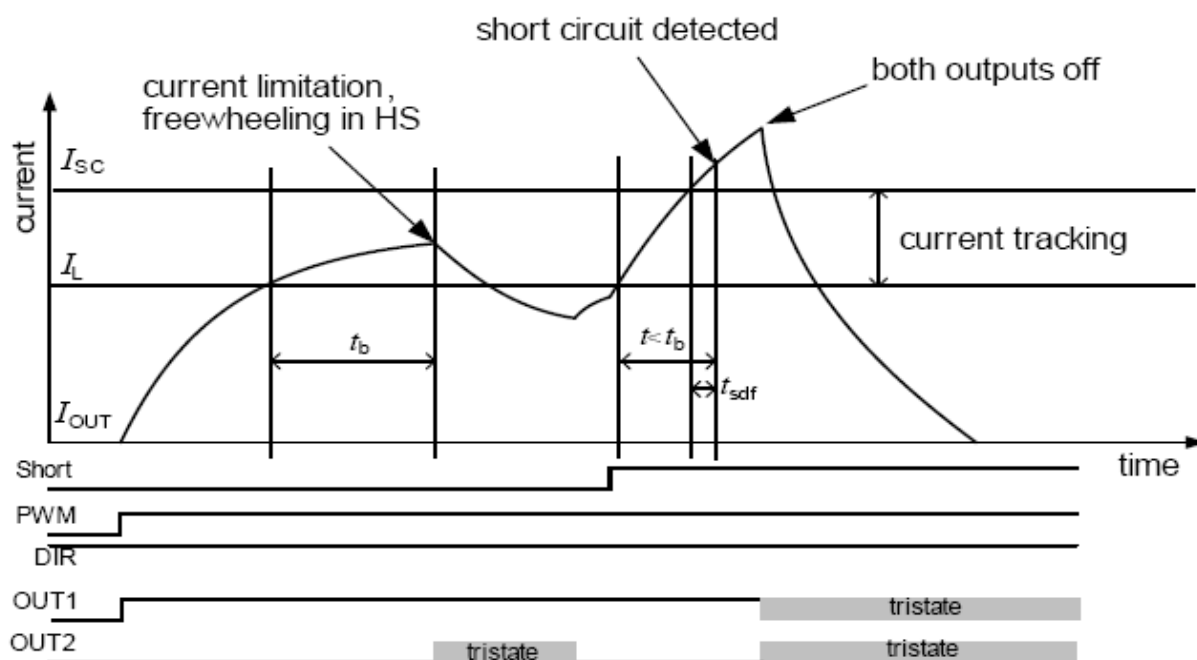
- przekroczeniem prądu wyjściowego,
- zwarcie do napięcia zasilania (SCVS),
- zwarty do masy (SCG),
- przerwą w obciążeniu (OL),
- nadmierną temperaturą (OT).

Ograniczenie prądu wyjściowego. Układ ograniczenia prądu wyjściowego oparty jest na pomiarze prądów w górnych tranzystorach mostka. Sposób działania impulsowego ograniczenia prądu obciążenia pokazano na rys.6. gdy prąd wyjściowy tranzystora przekracza poziom I_L przez czas dłuższy niż t_b następuje odłączenie prądu na tranzystorze LS2. Po opadnięciu prądu poniżej I_L prąd zostaje włączony. Dla uniknięcia wysokiej częstotliwości przełączeń (przy małej indukcyjności obciążenia) minimalny czas między włączeniami to t_{trans} .



Rys.6. Sposób działania impulsowego ograniczenia prądu obciążenia układu IFX9201SG.

Trwałe zwarcie (np. zwarcie do masy) pokazane na rys.7 jest wykrywane jako przekroczenie poziomu prądu I_{SC} przez czas t_{sdf} i oba wyjścia są odłączone. Zarejestrowana jest awaria w pamięci układu sterowania. Odblokowanie wyjścia wymaga zresetowania układu przez wejście DIS lub VSO lub zresetowania przez komendę poprzez transmisję szeregową (SPI).



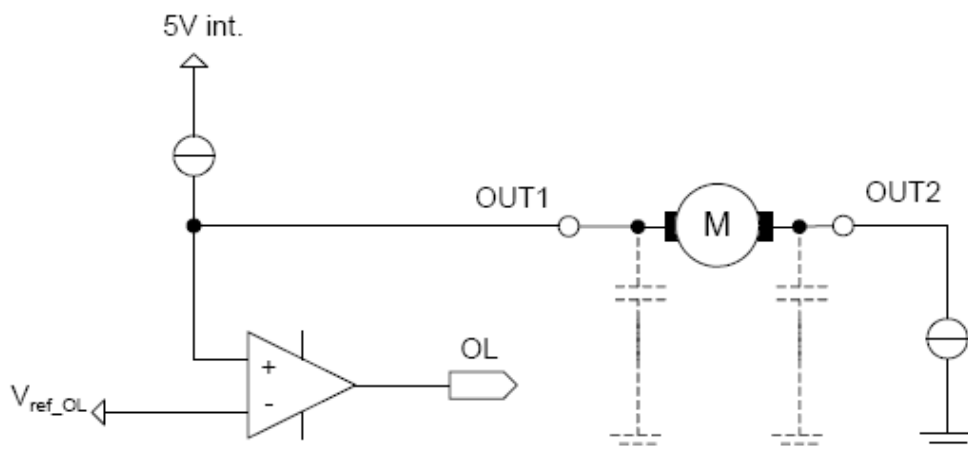
R

Rys.7. Ograniczenia prądu obciążenia układu IFX9201SG przy trwałym zwarcu.

Układ wykrywania przerwy obciążenia powinien działać zarówno w stanie włączenia jak i stanie wyłączenia.

Wykrywanie otwartego obciążenia w stanie **wyłączenia** pokazano na rys.8. Gdy mostek jest wyłączony (DIS = wysoki stan) układ detekcji przerwy w obciążeniu jest aktywny. Przyłączone są do wyjść dwa źródła prądowe. Źródło prądowe diagnostyczne przyłączone do wyjścia OUT2 (obciążające) o wydajności większej niż źródło prądowe przyłączone do wyjścia OUT1. Gdy nie ma przerwy w obciążeniu to napięcie na wejściu komparatora jest poniżej progu porównania. Przy przerwie komparator wysterowuje OL i uszkodzenie jest zgłaszane przez układ diagnostyczny (stan rejestrów wewnętrznych).

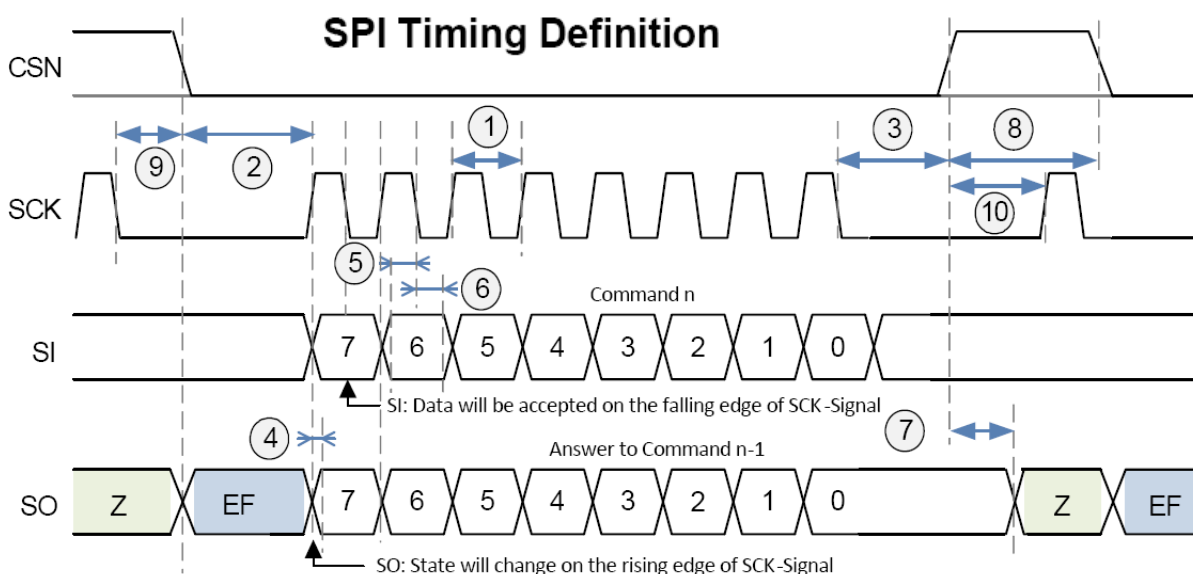
Wykrywanie otwartego obciążenia w stanie **włączenia** możemy zilustrować na podstawie rys.6. Oparty jest na sprawdzeniu przepływu prądu przez diodę równoległą do tranzystora HS2 przy odłączeniu tranzystora LS2. Brak przepływu prądu może świadczyć o uszkodzeniu obciążenia.



Rys.8. Wykrywanie otwartego obciążenia wyjścia w stanie wyłączenia układu IFX9201SG.

Szeregowy interfejs peryferyjny

Szeregowy interfejs peryferyjny (Serial Peripheral Interface - SPI) w układzie służy do celów diagnostycznych. Układ IFX9201SG jest skonfigurowany jako urządzenie „slave”. Oznacza to, że mikroprocesor jako „master” nadaje zapytania do układu przez linię SI, układ zwrótnie podaje stan rejestrów wewnętrznych raportujących błędy przez linię SO. Diagramy czasowe transmisji podano na rys.9.

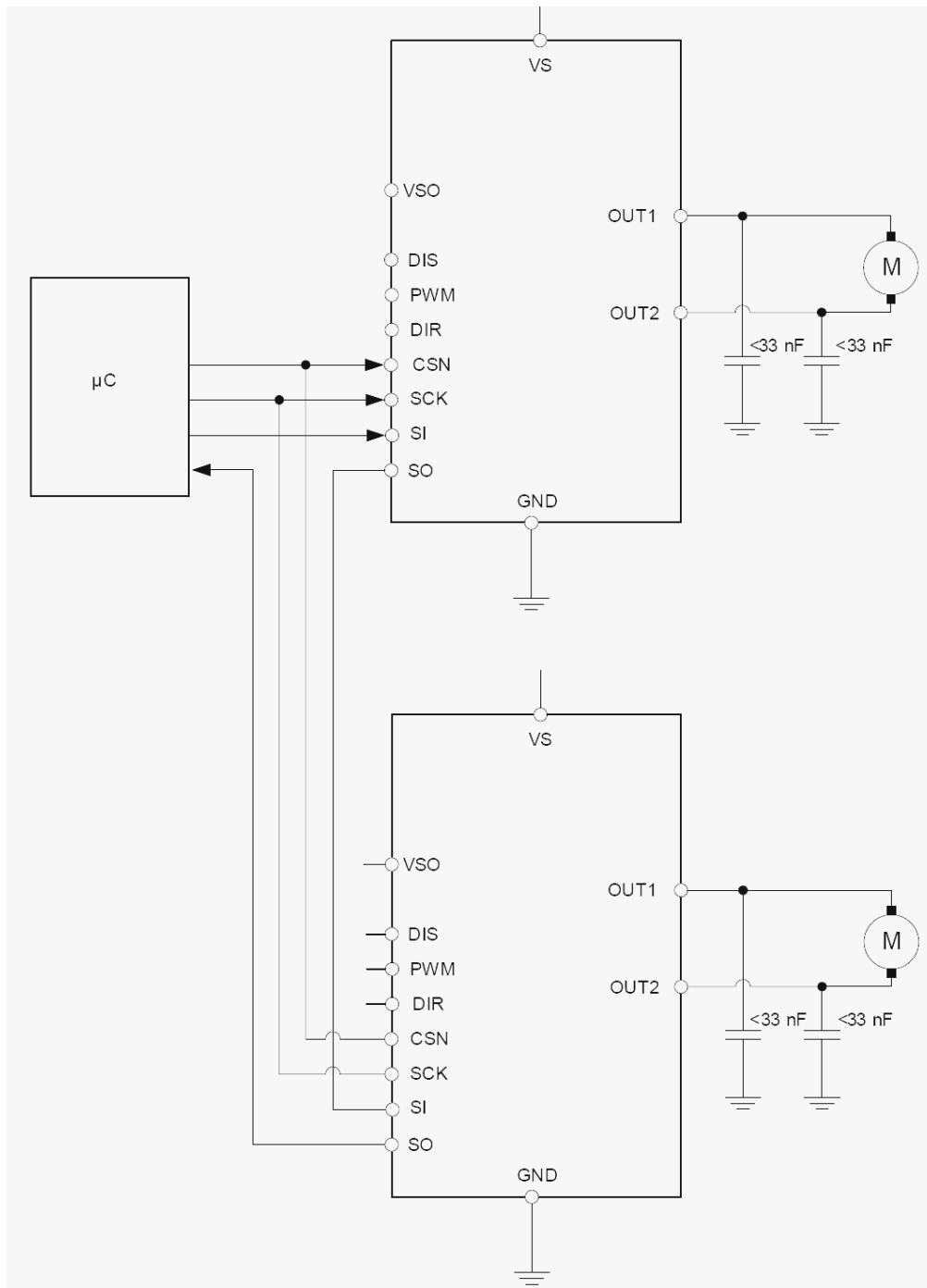


Rys.9. Diagramy czasowe transmisji szeregowej (SPI) układu IFX9201SG.

Transmisja danych na magistrali SPI jest inicjowana zboczem opadającym w CSN i kończy się zboczem narastającym CSN. Dane na wejściu szeregowym SI są próbkowane za pomocą opadającego zbocza zegara SCK, a dane wyjścia szeregowego SO są określane przez narastające zbocze zegara. Długość słowa SPI wynosi 8 bitów.

Typowa konfiguracja połączeń interfejsu SPI z mikroprocesorem pokazana jest na rys.4.

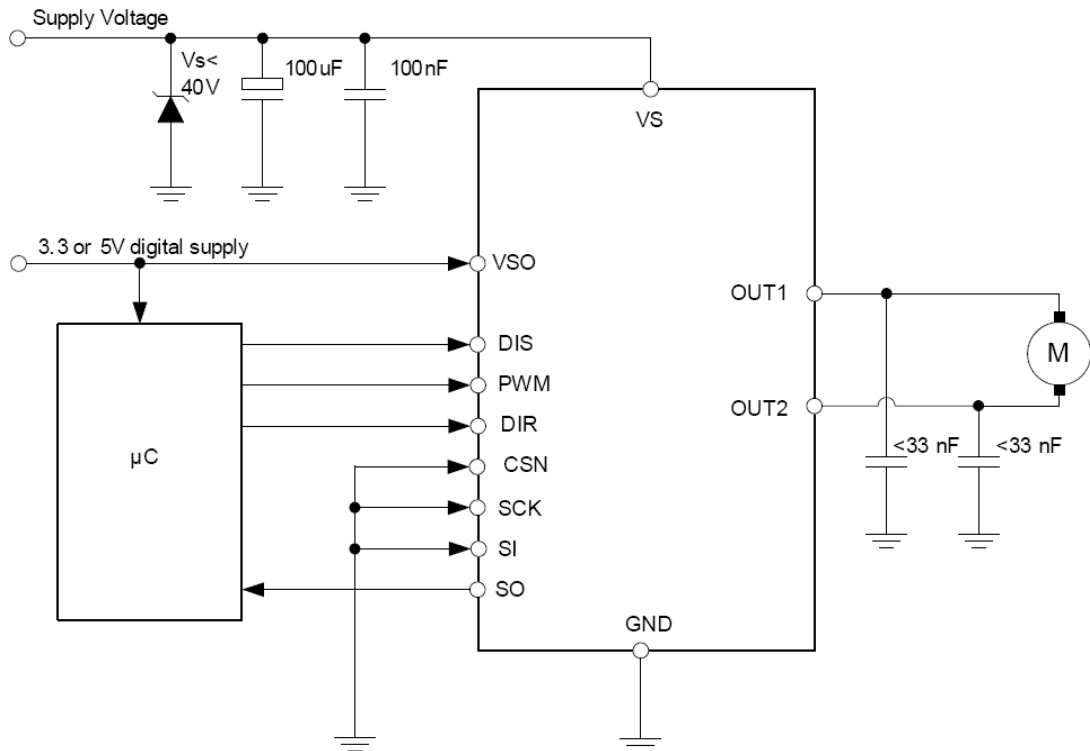
Interfejs SPI kilku układów IFX9201SG można podłączyć w konfiguracji łańcuchowej, co okazano dla dwóch układów na rys.10.



Rys.10. Konfiguracja łańcuchowa interfejsu szeregowego SPI układów IFX9201SG.

Awaria układu jest sygnalizowana dodatkowo przez sygnał flagi błędu EF. Sygnał ten Jest na początku ramki transmisji. Pomiedzy opadającym zboczem CSN, a pierwszym narastającym zboczem zegara SCK asynchronicznie na pinie SO. Sygnał błędu EF ustawiony na wysoki za każdym razem, gdy stopnie wyjściowe są wyłączone (trójstanowe) z powodu awarii lub wyłączenia stopni wyjściowych. Dodatkowo sygnał EF jest połączony z sygnałem wejściowym SI. Podłączając łańcuchowo wyjście SO jednego do wejścia SI następnego urządzenia, sygnał EF może być propagowany jak i inne informacje w łańcuchu

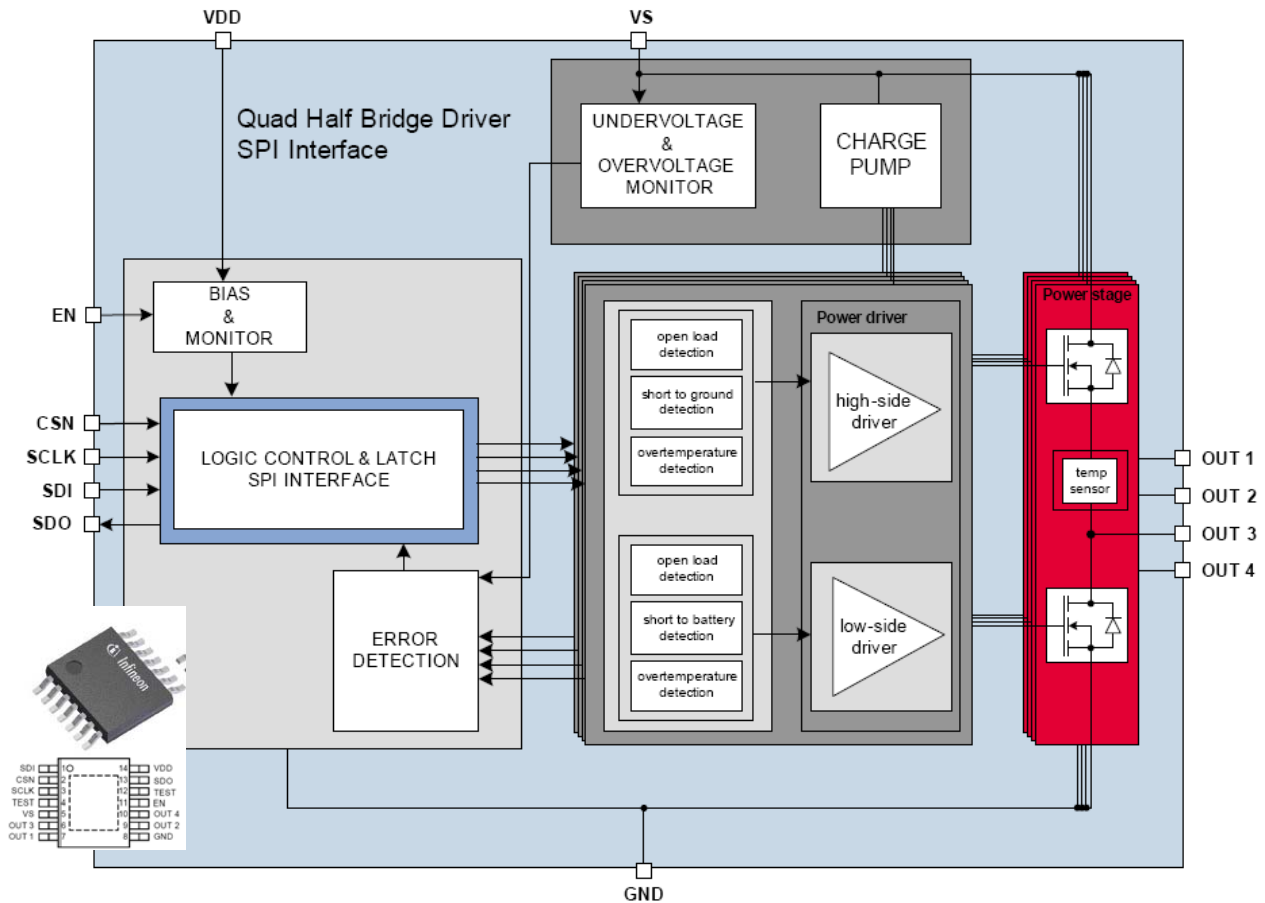
Możliwe jest uproszczone stosowanie wszystkich funkcji diagnostycznych (błędów) przez wystawienie flagi błędu EF na wyjściu SO bez transmisji szeregowej SPI. Wymuszamy to przez przyłączenie SCK, SI i CSN do masy GND. Pokazano to na rys.11.



Rys.11. Uprozczone sygnalizowanie wszystkich błędów przez flagę błędu EF bez transmisji szeregowej SPI.

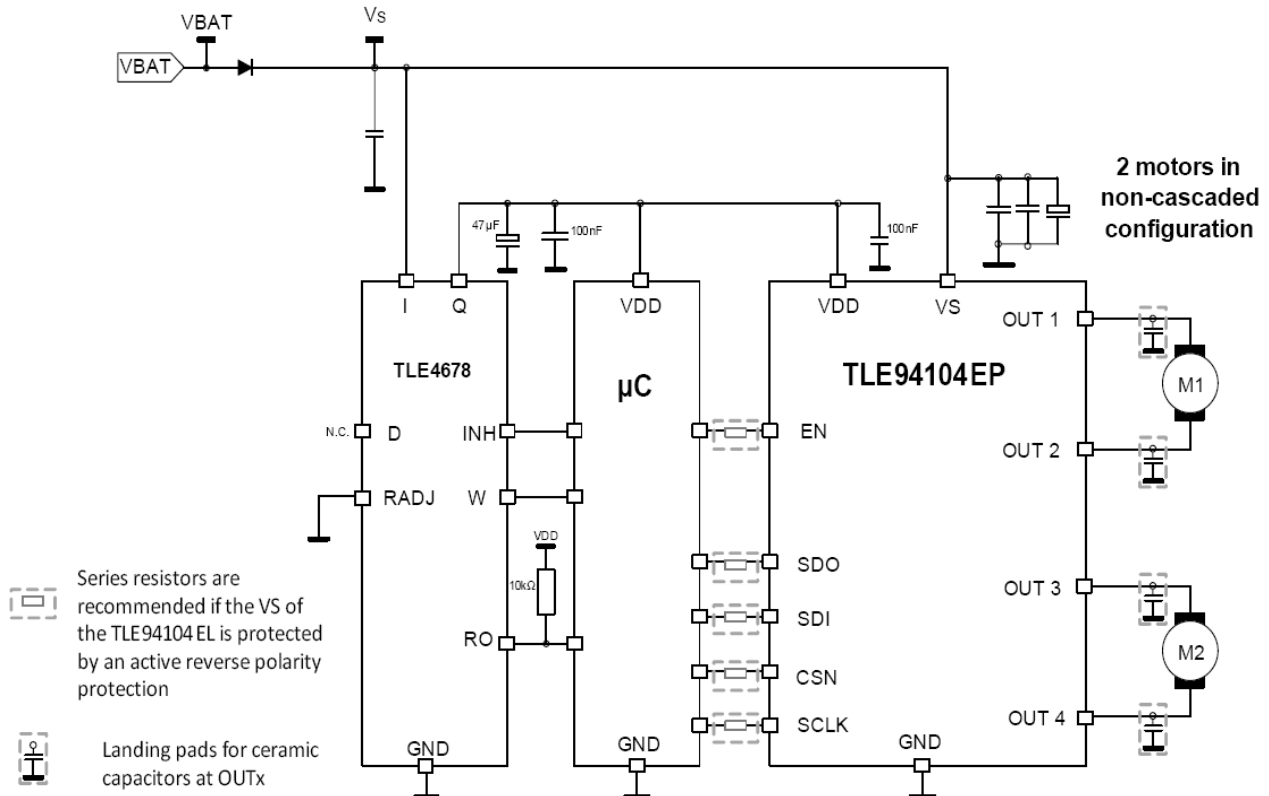
Układ mostkowy z sterowaniem interfejsem szeregowym

Układem sterowanie silnika w pełni z interfejsu szeregowego jest układ TLE94104EP. Zawiera cztery niezależnie sterowane półmostki wyjściowe, 16-bitowy standardowy interfejs szeregowy (SPI), układy zabezpieczające i diagnostyczne. Prąd wyjściowy każdego półmostka to 0,9A i napięcie robocze 20V. Półmostki są przeznaczone do sterowania obciążeniami silnikami prądu stałego ze zmianą obrotów (CW i CCW), hamowania i ustawianiu wyjścia półmostka do wysokiej impedancji. Schemat blokowy układu zamieszczono na rys.12.



Rys.12. Schemat blokowy układu mostkowego TLE94104EP.

Typową aplikację układu pokazano na rys.13.



Rys.13. Typowa aplikacja układu TLE94104EP.

Interfejs szeregowy (SPI) do sterowania i diagnostyki.

TLE94104EP ma 16-bitowy interfejs szeregowy SPI do sterowania wyjściami układu i diagnostyki.

Na rys 14. pokazano diagramy czasowe sterowania układem. Słowo sterujące (16-bitowe) jest odczytywane przez wejście danych szeregowych SDI, które jest zsynchronizowane z wejściem zegara SCLK dostarczanym przez mikrokontroler. Cykl transmisji rozpoczyna się w momencie wybrania układu przez wejście CSN (Chip Select Not) i zbocza opadającego pierwszego impulsu zegarowego SCLK. W tym samym czasie na wyjściu szeregowym SDO wystawiane są bity rejestru statusu układu i czytane przez inne układy. Po powrocie sygnału SCN do wysokiego stanu dane przepisywane są do rejestrów wewnętrznych i interpretowane, a wyjście SDO przechodzi w stan wysokiej impedancji (wejście trójstanowe).

Sterowanie wyjść

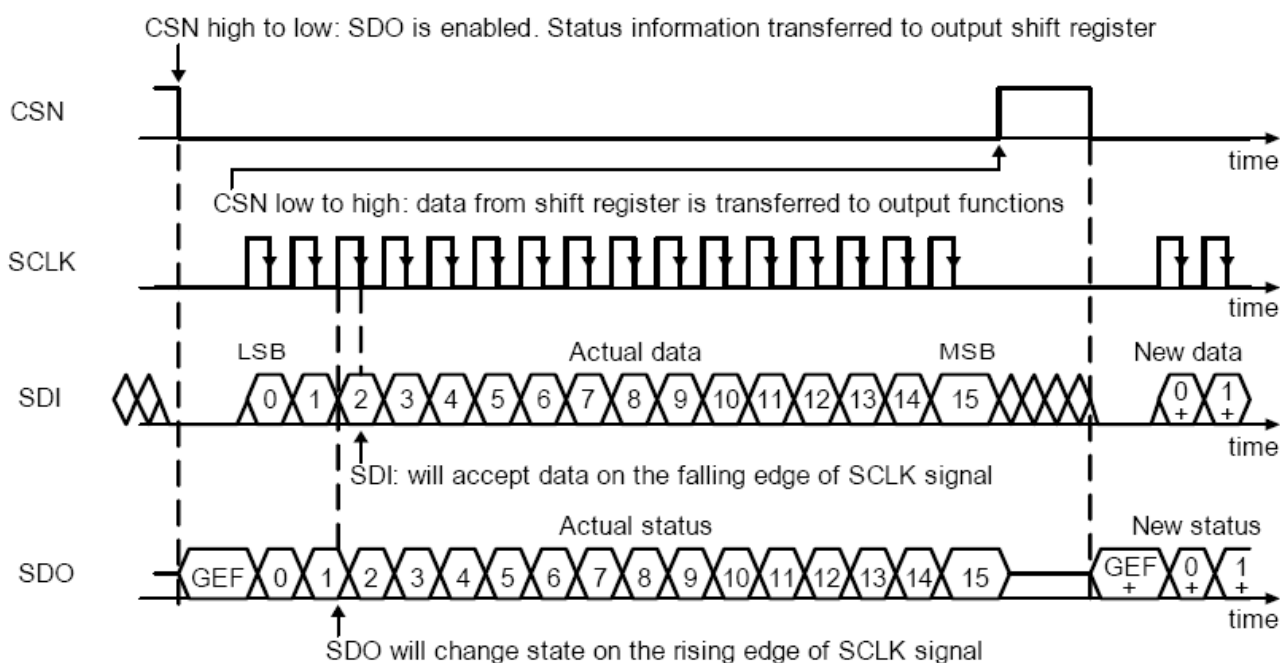
Układ ma dwa tryby pracy: normalny i uśpienia.

W normalnym (wejście EN - stan wysoki) pompa ładunkowa jest aktywna i wszystkie układy są gotowe do przyjmowania poleceń włączania tranzystorów wyjściowych.

W trybie uśpienia (wejście EN w stan niski) wszystkie tranzystory wyjściowe są wyłączone, rejestry SPI są resetowane i zużycie prądu przez układ jest zredukowane.

Układ TLE94104EP posiada 4 wyjścia półmostkowe. By włączyć zasilanie do uzwojenia silnika należy wysterować odpowiednie tranzystory dwóch półmostków. Przy sterowaniu w sposób ciągły zasilaniem silnika przez interfejs szeregowy SPI, należy wysterować (w sposób ciągły) np. tranzystory HS1(górny pierwszego półmostka) i LS2 (dolny drugiego półmostka). Należy wówczas wysyłać następujące polecenia interfejsem SPI:

- Aktywuj HS1: Bit HB1_HS_EN w rejestrze HB_ACT_1_CTRL
- Aktywuj LS2: Bit HB2_LS_EN w rejestrze HB_ACT_1_CTRL



Rys14. Diagramy czasowe sterowania układem TLE94104EP.

Globalny rejestr statusu

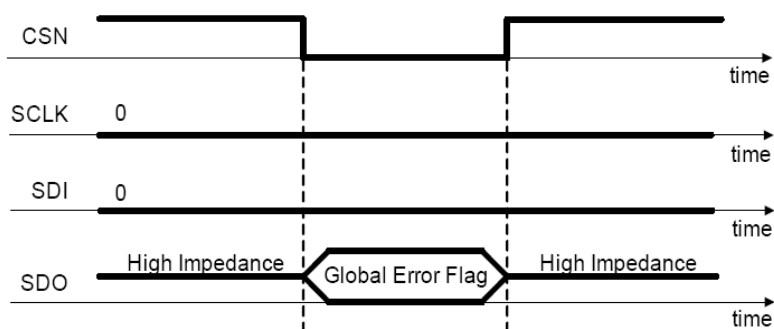
Z wyjścia szeregowego SDO podczas pierwszych ośmiu cykli zegara SCLK z otrzymujemy stan globalnego rejestru statusu. Ten rejestr zapewnia wgląd w stan układu. Wszystkie podstawowe awarie (opisane później) są pokazane w tym bajcie:

- Błąd protokołu SPI (SPI_ERR)
- Błąd obciążenia (bit LE): logiczne L.UB między awariami otwartego obciążenia (OL) i przetężenia (OC).
- Za małe napięcie zasilania obciążenia VS (bit VS_UV).
- Za duże napięcie zasilania obciążenia VS (bit VS_OV).
- Za małe napięcie zasilania układów sterowania logicznego Negated Power ON Reset (bit NPOR).
- Wyłączenie z powodu wysokiej temperatury (bit TSD).
- Ostrzeżenie wstępne dotyczące przekroczenia temperatury (bit TPW).

Sygnał globalnego błędu (Global Error Flag – GEF)

Suma logiczna (OR) wszystkich zabezpieczeń jest raportowana w SDO jako sygnał GEF pomiędzy opadającym zboczem CSN, a pierwszym narastającym zboczem zegara SCLK (Rys.14). Flaga GEF jest ustawiana, jeśli zostanie wykryty stan błędu.

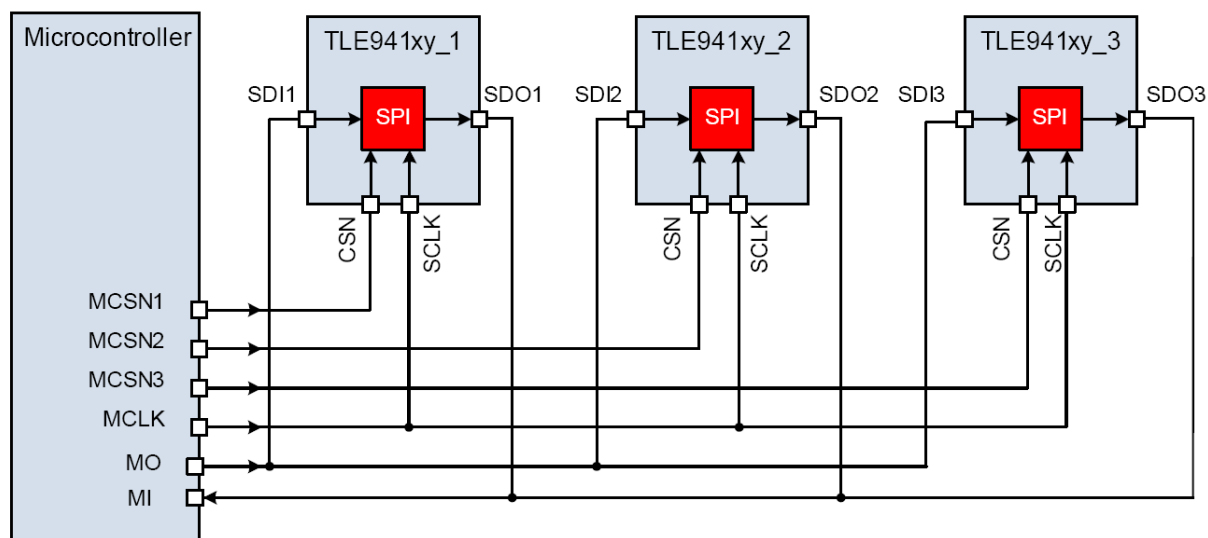
Możliwe jest sygnalizowanie, że układ TLE94104EP wykrył błąd, odczytując z GEF. Umożliwia to wykrycie błędu działania układu bez korzystania z transmisji szeregowej (praca uproszczona) co pokazano na rys. 15.



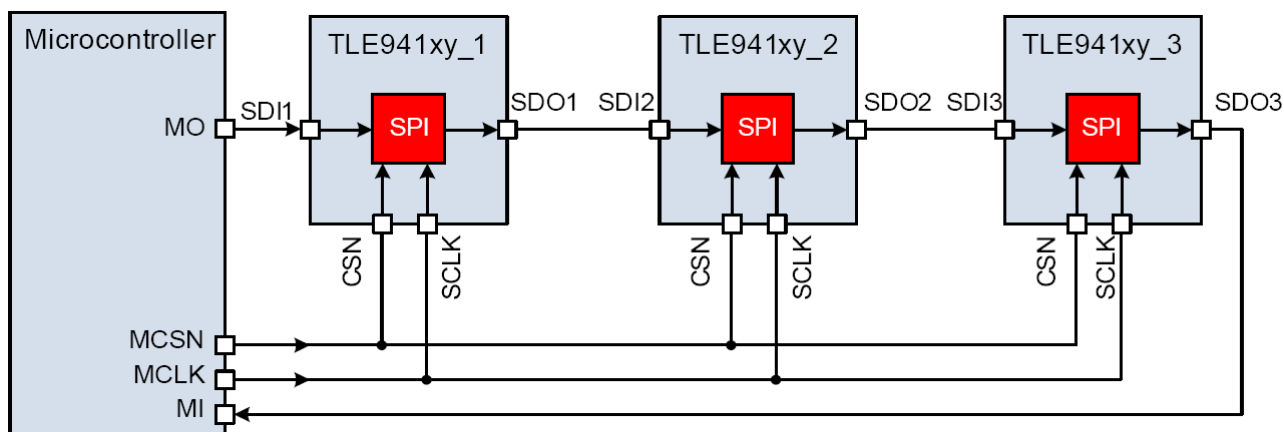
Rys.15. Uproszczony sposób odczytu sygnału błędu.

Praca równoległa i szeregowo wielu układów z interfejsem SPI

Mikroprocesor może współpracować z wieloma układami TLE94104EP na dwa sposoby: **Równoległy** pokazany na rys.16 i **szeregowy** pokazany na rys.17.



Rys.16. Konfiguracja równoległa z niezależnymi układami (typu „slave”).



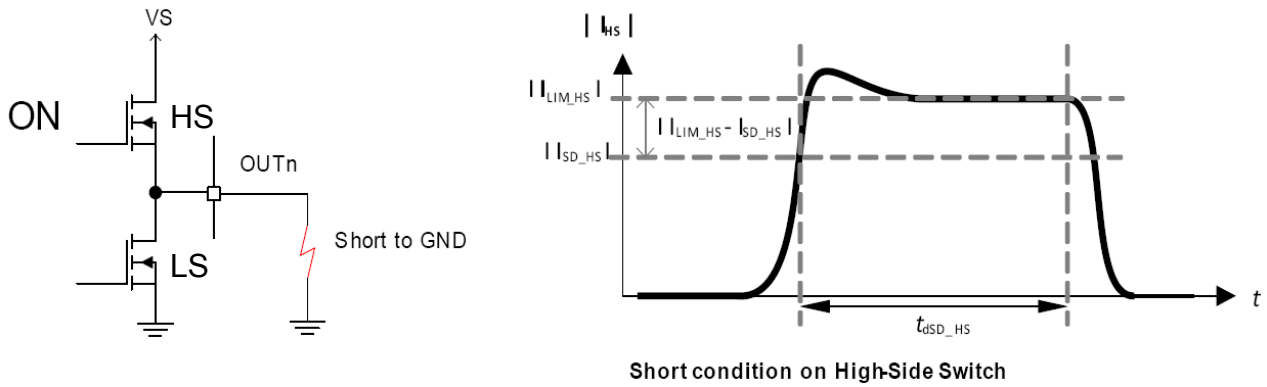
Rys.17. Konfiguracja szeregową (łańcuchową).

Wyjścia półmostkowe – zabezpieczenia i diagnostyka

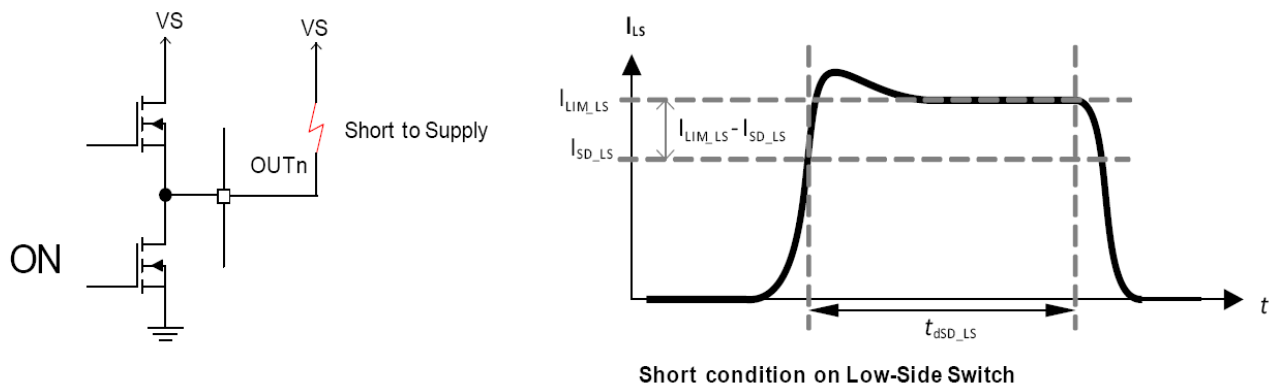
Każde w wyjść półmostkowych jest wyposażone w układy zabezpieczające przed uszkodzeniem i układy diagnostyczne pokazujące te stany na interfejsie szeregowym SPI.

Ochrona przed zwarcie do masy lub zasilania.

Sytuacje zwarcia wyjścia do masy pokazano na rys. 18, a sytuację zwarcia do zasilania pokazano na rys. 19. Gdy prąd tranzystorów (HS lub LS) przekroczy prąd progowy wykrywania przeciążenia I_{SD_LS} (lub I_{SD_HS}) jest uruchamiana sygnalizacja przeciążenia. Po przekroczeniu wyższego progu prądowego (zabezpieczenia) I_{LIM_LS} (lub I_{LIM_HS}) przez czas dłuższy niż t_{dsD_LS} lub (t_{dsD_HS}) jest blokowany odpowiedni tranzystor wyjściowy. Do rejestrów układów diagnostycznych zapisywany jest bit w odpowiednim rejestrze i generowany jest sygnał błędu (ogólny) LE. Włączenie tranzystora wymaga reakcji mikroprocesora kasującego odpowiedni zapis w rejestrach diagnostycznych.



Rys. 18. Zwarcie wyjścia półmostka do masy i napięcia progowe.



Rys. 19. Zwarcie wyjścia półmostka do zasilania i napięcia progowe.

Zabezpieczenie przed zwarcie wewnątrz półmostka

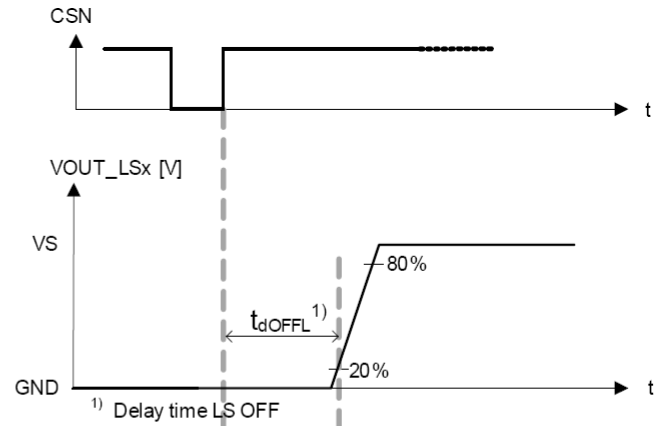
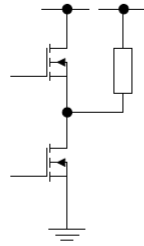
W konfiguracjach mostkowych koniecznym jest zapewnienie by tranzystor mocy od strony wysokiego potencjału HS (zasilania) i niskiego potencjału LS (masy) nigdy nie były jednocześnie włączone, aby uniknąć zwarcia. Osiąga się to przez wprowadzenie opóźnień w układzie sterownika tranzystorów wyjściowych. Uzyskujemy czas martwy pomiędzy wyłączeniem jednego tranzystora mocy, a załączeniem sąsiedniego tranzystora w półmostku. Czasy martwe, t_{DHL} i t_{DLH} , jak pokazano na rys. 20 dla zmiany wyjścia z niskiego potencjału na wysoki i na rys.21. przy zmianie z wysokiego na niski potencjał.

Case 1: Delay Time High Side Driver OFF

Previous State → New State

HS OFF → HS OFF

LS ON → LS OFF

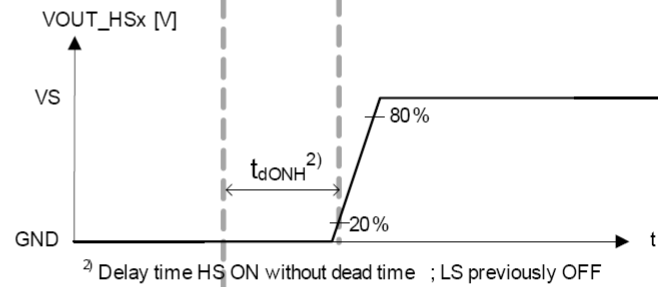
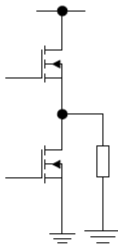


Case 2: Delay Time High Side Driver ON

Previous State → New State

HS OFF → HS ON

LS OFF → LS OFF

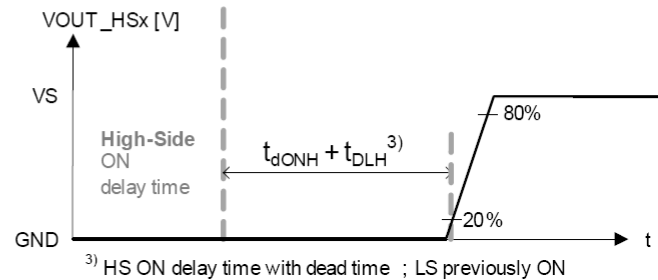
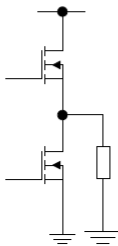


Case 3: Delay Time High Side Driver ON with t_{DLH} dead time

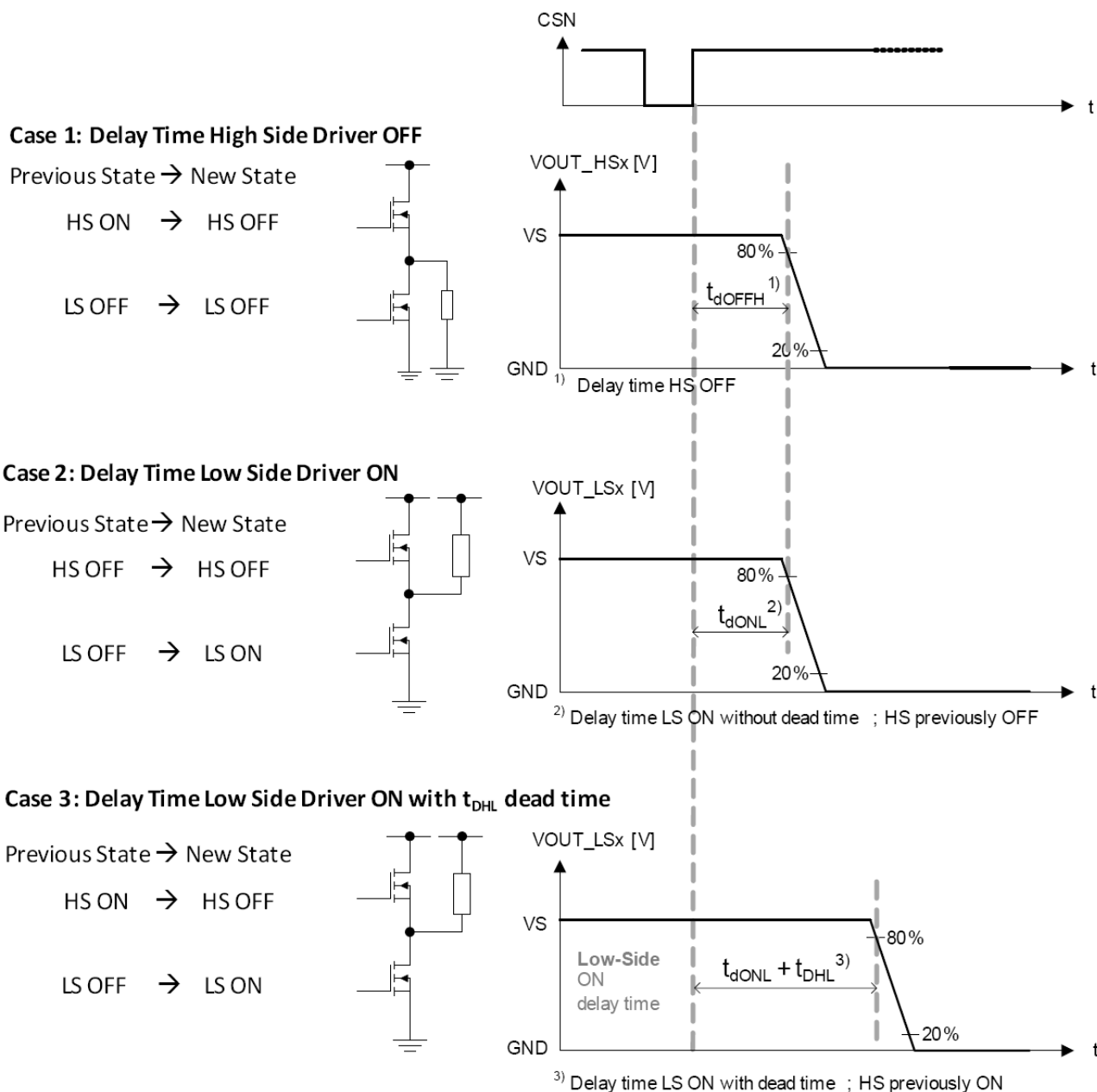
Previous State → New State

HS OFF → HS ON

LS ON → LS OFF



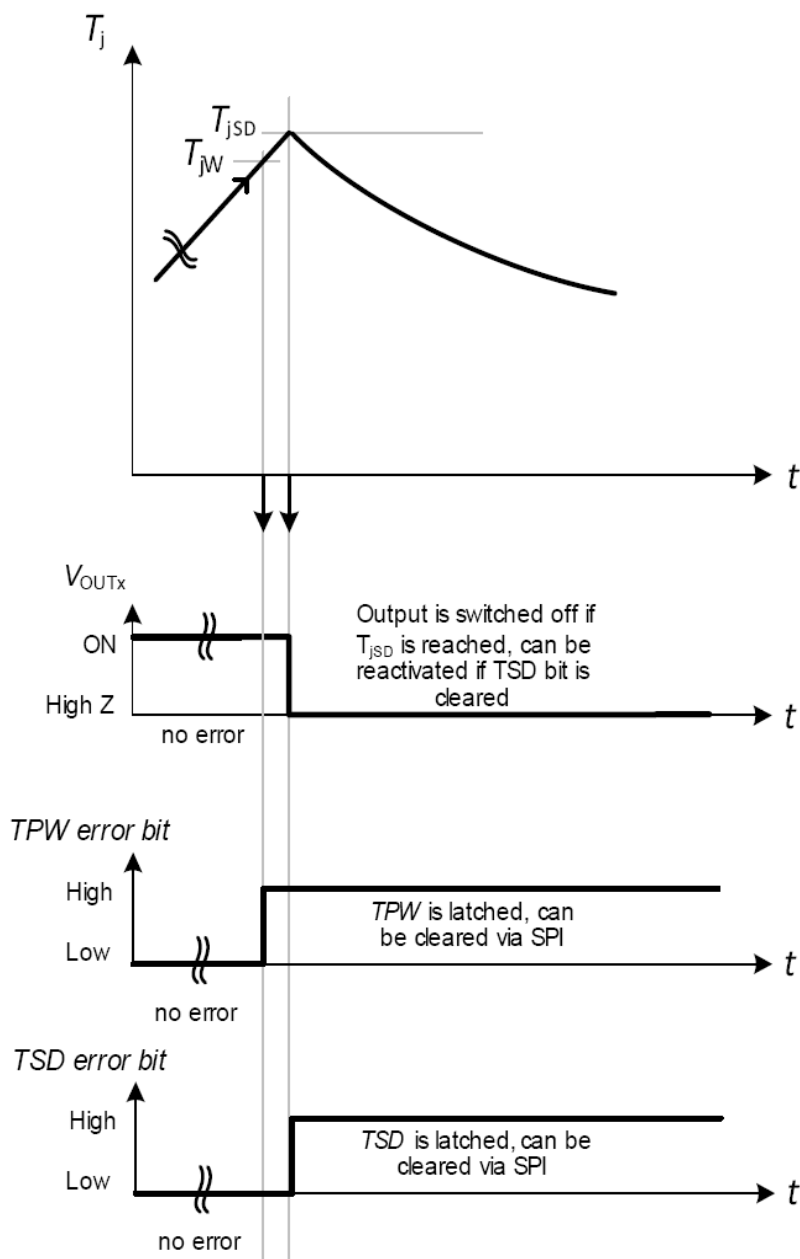
Rys. 20. Czasy martwe dla zabezpieczenia półmostka przed zwarcieniem przy przejściu ze stanu wyjścia z niskiego na wysoki.



Rys. 21. Czasy martwe dla zabezpieczenia półmostka przed zwarcie przy przejściu ze stanu wyjścia z wysokiego na niski.

Monitorowanie temperatury struktur układu

W stopniach mocy zintegrowane są wewnętrzne czujniki temperatury. Czujniki temperatury porównują zmierzona temperaturę w stosunku do progów temperatury ostrzegania i wyłączania. Jeśli jeden lub więcej czujników temperatury osiągnie temperaturę ostrzegania, ustawia bit ostrzeżenia wstępnego temperatury T_{PW} . Stan ten jest pamiętany i może być tylko skasowany za pośrednictwem interfejsu szeregowego (SPI). Stopnie wyjściowe pozostają jednak aktywne. Jeśli jeden lub więcej czujników temperatury osiągnie próg temperatury wyłączania T_{SD} , wszystkie wyjścia są blokowane. Wszystkie wyjścia pozostają nieaktywne do czasu skasowania bitu T_{SD} . za pośrednictwem SPI. Mikrokontroler zrobi to po odpowiednim schłodzeniu układu. Działanie zabezpieczenia termicznego pokazano na rys. 22.



Rys.22. Działanie zabezpieczenia termicznego.

Zabezpieczenie nadnapięciowe i podnapięciowe.

Napięcie zasilające V_S i V_{DD} są monitorowane. Dla napięcie zasilania obciążenia układ jest zabezpieczony przed pracą przy zbyt wysokim i zbyt niskim napięciem zasilania. Napięcie zasilania obwodów logicznych V_{DD} warunkuje prawidłowe działanie. Nie może być za małe. Rys.23 ilustruje sposób działania układu zabezpieczenia podnapięciowego i nadnapięciowego dla napięcia V_S .

Zabezpieczenie podnapięciowe V_S . W przypadku, gdy napięcie zasilania V_S spadnie poniżej napięcia wyłączenia $V_{UV\ OFF}$, wszystkie stopnie wyjściowe zostaną wyłączone, Ustawiony jest w rejestrze stanu układu (Global Status) bit błędu niskiego napięcia V_S (V_{S_UV}). Jeśli V_S wzrośnie i osiągnie poziom progu $V_{UV\ ON}$ napięcia, stopnie mocy zostaną aktywowane automatycznie. Bit błędu V_{S_UV} w rejestrze powinien być wyzerowany przez interfejs SPI, po sprawdzeniu czy przerwa w zasilaniu nadal występuje.

Zabezpieczenie nadnapięciowe V_S .

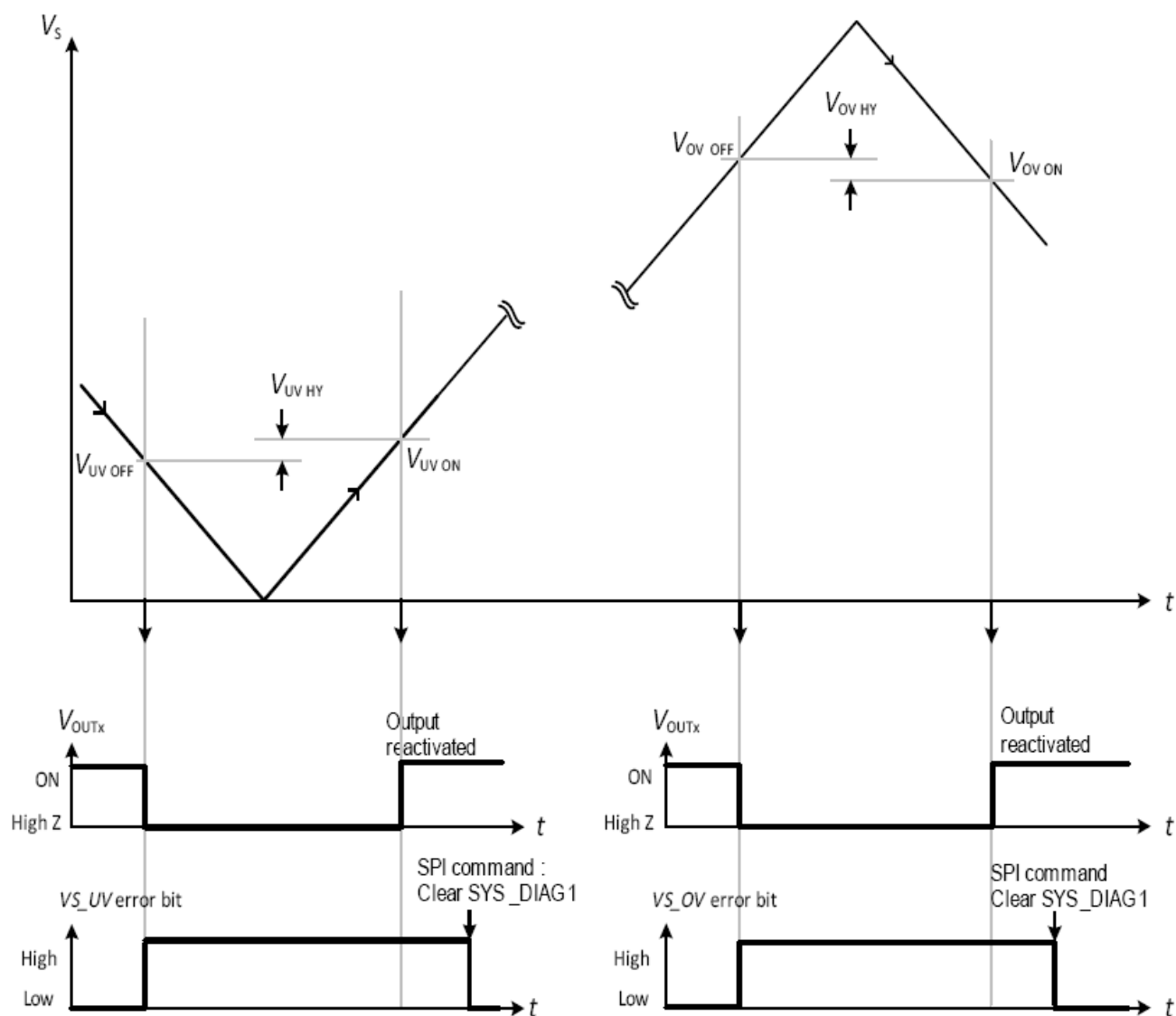
W przypadku, gdy napięcie zasilania V_S wzrośnie powyżej napięcia wyłączania $V_{OV\ OFF}$, wszystkie stopnie wyjściowe są wyłączane. Sygnalizowany jest bit błędu przepięcia V_S , (V_{S_OV}), znajdujący się w rejestrze stanu układu (Global Status). Jeśli napięcie V_S spadnie i osiągnie próg włączenia napięcia $V_{OV\ ON}$, stopnie mocy będą automatycznie aktywne. Bit błędu V_{S_OV} powinien zostać wyzerowany przez interfejs SPI, po sprawdzeniu czy stan przepięcia jest nadal obecny.

Za niskie napięcie zasilania układów sterowania (V_{DD}).

W przypadku, gdy zasilanie układu logicznego, sterowania V_{DD} spadnie poniżej progu, $V_{DD\ POFFR}$, interfejs SPI powinien przestać działać, a układ TLE94104EP przejdzie do stanu resetowania.

Blok cyfrowy zostanie zainicjalizowany, a stopnie wyjściowe zostaną wyłączone (na wysoką impedancję), gdy poziom napięcia V_{DD} przekroczy próg $V_{DD\ POR}$.

Zdarzenie resetowania jest zgłaszane w rejestrze stanu układu, pamiętane i kasowane przez interfejs SPI.



Rys.23. Układu zabezpieczenia podnapięciowego i nadnapięciowego dla napięcia V_S .

Wykrywanie przerwy w obciążeniu.

Zarówno obwody kluczy po stronie wysokiej, jak i po stronie niskiej półmostka wyjściowego mocy są w stanie wykryć otwarte obciążenie w stanie włączenia. Jeśli prąd obciążenia jest niższy niż próg wykrywania otwartego obciążenia I_{OLD} przez czas co najmniej t_{aOLD} to uznajemy to za przerwę w obciążeniu i zapisywany jest odpowiedni bit błędu dotyczący tego półmostka i odpowiedni bit (LE) w ogólnym rejestrze stanu. Wyjście półmostkowe pozostaje jednak aktywne. Rejestr ogólny stanu jest skanowany za pomocą interfejsu przez mikrokontroler. Mikrokontroler musi skasować bit błędu w odpowiednim rejestrze stanu i określić, czy przerwa w obciążeniu jest nadal lub zniknęła.

Globalny rejestr stanu

Wyjście SDO interfejsu SPI pokazuje podczas pierwszych ośmiu cykli zegara SCLK informację z globalnego rejestru stanu. Ten rejestr zawiera przegląd stanu urządzenia. Wszystkie zdiagnozowane awarie są raportowane w tym bajcie:

- Błąd protokołu SPI (SPI_ERR)
- Błąd obciążenia (bit LE): logiczne LUB pomiędzy awariami otwartego obciążenia (OL) i przetężenia (OC)
- Podnapięcie V_S (bit VS_UV)
- Przepięcie V_S (bit VS_OV)
- Stan zasilania logiki (bit NPOR)
- Wyłączenie temperatury (bit TSD)
- Ostrzeżenie wstępne dotyczące temperatury (bit TPW)

Sygnal (Flaga) globalnego GEF błędu jest sumą logiczną (LUB) bitów globalnego rejestru stanu.