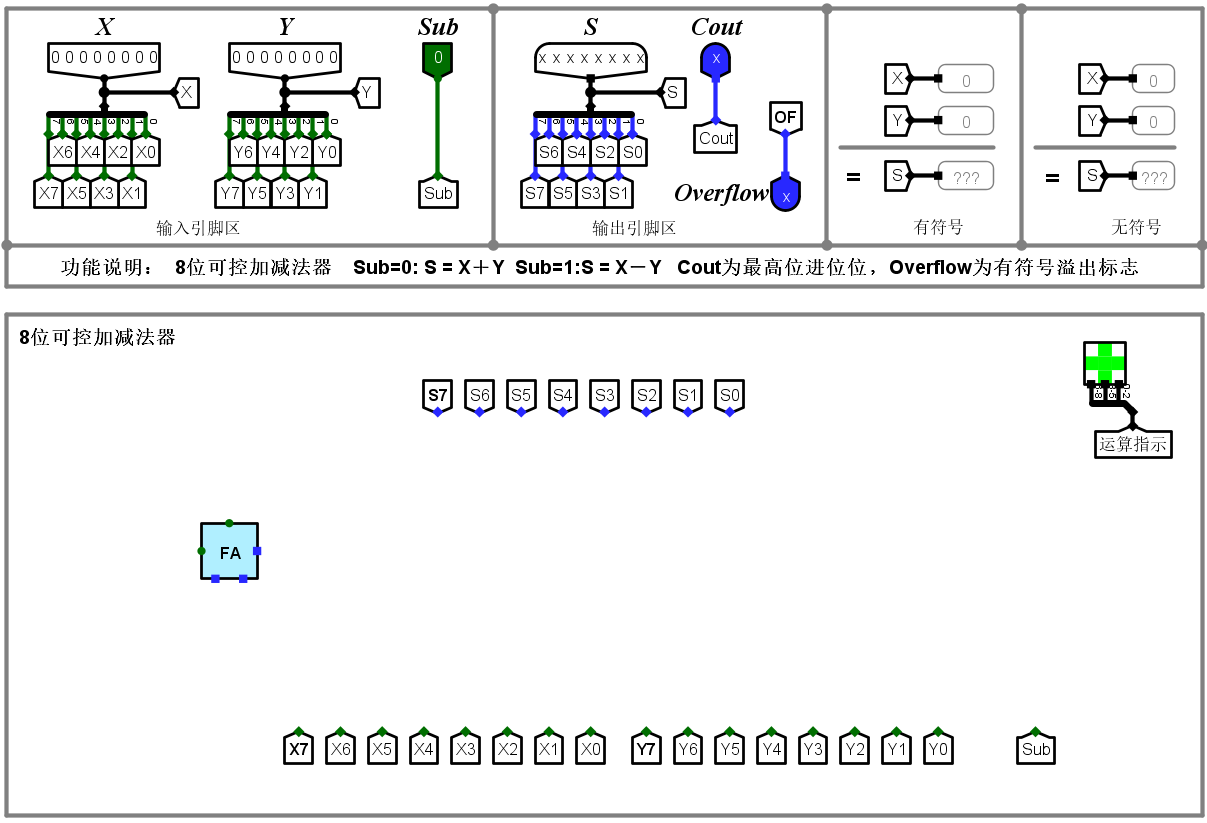
**一、实验目的**

学生掌握一位全加器的实现逻辑，掌握多位可控加减法电路的实现逻辑，熟悉 Logisim 平台基本功能，能在 logisim 中实现多位可控加减法电路。

**二、实验内容**

在 Logisim 模拟器中打开 alu.circ 文件，在对应子电路中利用已经封装好的全加器设计8位串行可控加减法电路，其电路引脚定义如图所示，用户可以直接使用在电路中使用对应的隧道标签，其中 X，Y 为两输入数，Sub 为加减控制信号，S 为运算结果输出，Cout 为进位输出，OF 为有符号运算溢出位。



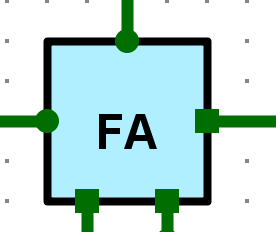
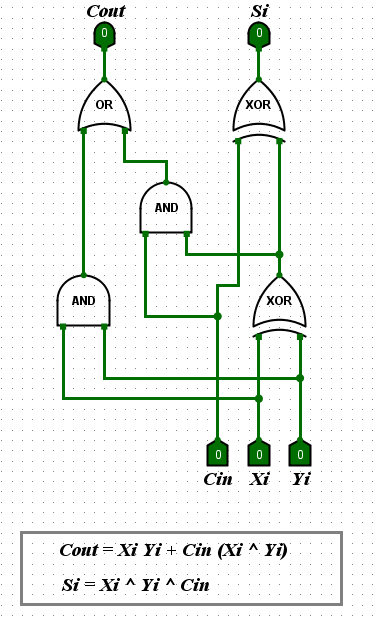


**三、实验步骤与结果**

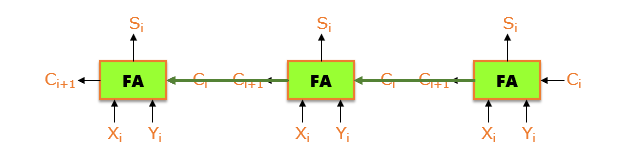
3.1 电路分析

一位全加器的实现

全加器是能够计算低位进位的二进制加法电路。与半加器相比,全加器不只考虑本位计算结果是否有进位,也考虑上一位对本位的进位,可以把多个一位全加器级联后做成多位全加器.

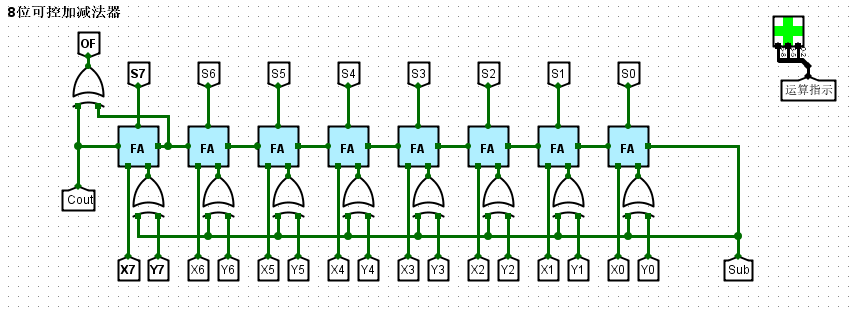
一位全加器的电路图 一位全加器的封装

要实现8位可控加减法器，可以通过实验所给的8个一位全加器串行来实现加法，然后通过可控反向异或门按位取反，使Sub通过置0置1来实现做减法时减数的补码 即X + Y = X + Y + 0 ， X - Y = X + ~Y + 1。 异或门既能实现Y和~Y，同时还能作为Cin的0、1信号的输入。 Overflow（OF）为运算的有符号溢出检测，通过最高位进位Cn与符号位进位Cf异或：若相同，则无溢出为0；若不同，则有溢出为1。



Sub=0时作加法操作，即0和其他数异或得到该数本身，然后通过全加器FA执行加法运算。Sub=1时作减法操作，即1和其他数异或，相当于取反，然后在加法器FA内进行+1操作（[-Y]补=[[Y]补]补）。

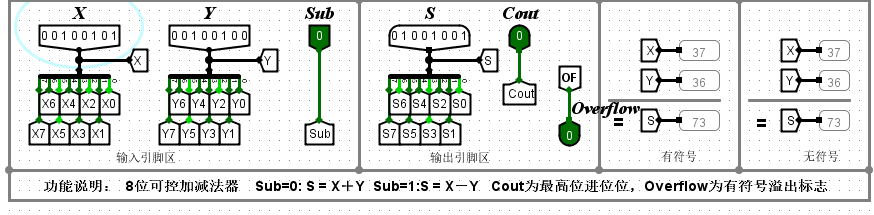
3.2电路连接



3.3电路测试

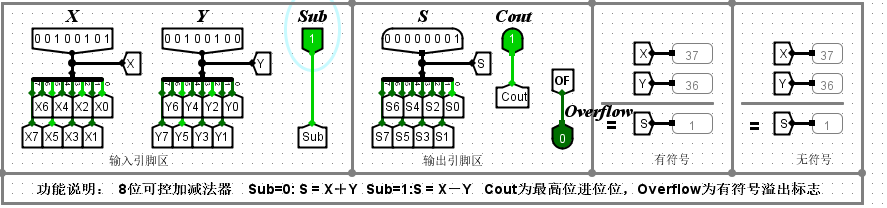
加法测试

X=37;Y=36;S=73



减法测试

X=37;Y=36;S=1



**四、总结**

我通过这次学习，掌握一位全加器的实现逻辑，掌握多位可控加减法电路的实现逻辑，熟悉 Logisim 平台基本功能，能在 logisim 中实现多位可控加减法电路。