

Digitalni sistemi otporni na otkaz

# **Realizacija Self-Purging redundancije na primeru FIR filtra**

# Uvod

Cilj ovog projekta jeste bio realizacija redundantnog filtra. Odabran je filter reda 5 i to konačnog impulsnog odziva (FIR – finite impulse response). Što se tiče redundancije, odabrana je self-purging metoda.

## Metode redundancije

Ukoliko želimo određeni modul učiniti redundantnim, to možemo postići umnožavanjem broja instanci tog modula, koje sve rade u paraleli i daju svoje izlaze; zatim se ti izlazi upoređuju međusobno i na osnovu volje većine, donosi se odluka koji je tačan rezultat.

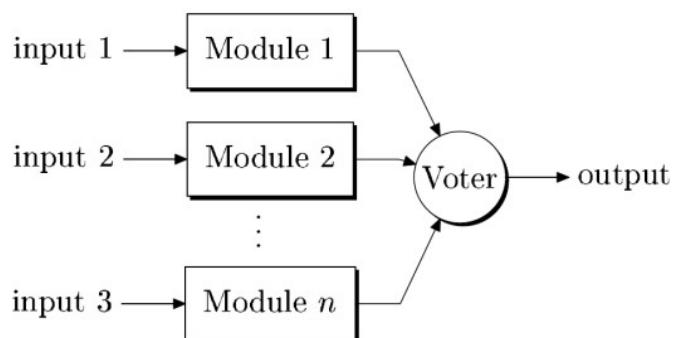


Figure 1: TMR sistem

Problem sa naivnom implementacijom (nMR – n-modularna redundancija) jeste taj što je za datih  $n=2k+1$  instanci modula ( $n$  je nepravna broj da bi se izbeglo 50-50 glasanje) sistem i dalje ispravan samo ukoliko je otkazalo maksimum  $k$  instanci.

## Self-purging redundancija

Jedno od rešenja tog problema jeste isključivanje neispravnih jedinica. Naime, dosta je opravdana pretpostavka da instanca koja je jednom otkazala trajno ostaje neispravna. Stoga možemo je isključiti iz procesa donošenja odluke. Ukoliko imamo slučaj da instance otkazuju jedna po jedna, dovoljno je samo 2 ispravne instance da bi se i dalje dobio ispravan izlaz. Naravno, ukoliko u bilo kom trenutku otkaze 50% ili više ispravnih instanci, sistem prestaje da daje tačan izlaz.

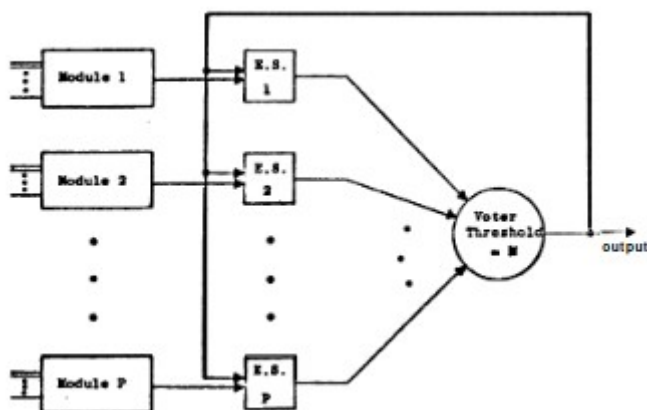


Figure 2: Self-purging sistem

Sama implementacija se bazira na povratnoj sprezi sa izlaza koja se dovodi na ulaz prekidača. Svaka instanca modula ima svoj prekidač (ES – elementary switch) koji je inicijalno uključen, dok ukoliko u bilo kom trenutku dođe do neslaganja između izlaza modula i izglasanog izlaza sistema, prekidač prelazi u isključeno stanje u kom ostaje dok god se celokupni sistem ne resetuje.

## Prekidač (ES)

Prekidačka jedinica je realizovana pomoću XOR logičke kapije, flip-flopa i AND kapije. Svaka linija za prenos podataka ima svoju XOR kapiju. Njihovi izlazi se zatim redukuju na jednu liniju pomoću AND logičkih kapija.

Izlaz iz AND redukcije se vodi na flip-flop na takav način da niskim nivoom flip-flop trajno prelazi u nisko stanje na izlazu.

Izlaz sa flip-flopa se zatim deli i vodi se na AND logičke kapije zajedno sa izlazima instance modula.

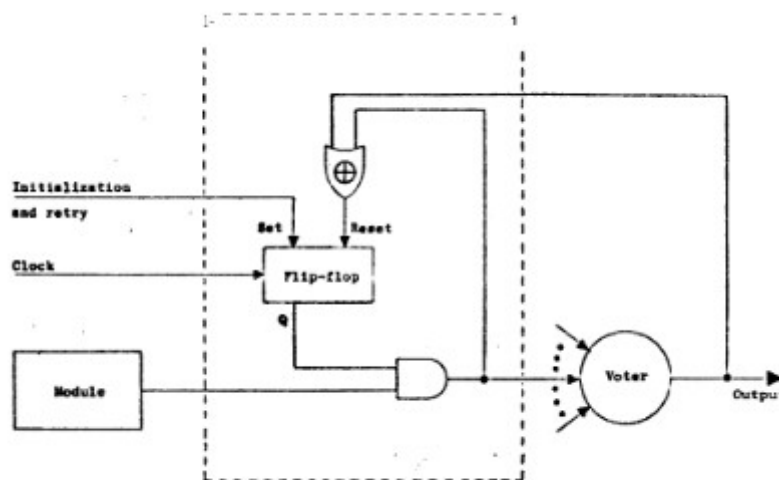


Figure 3: Prekidač self-purging sistema

Pomoću prethodno opisanog sistema, dobijamo upravo željenu funkcionalnost, tj. nakon jedne greške instanca trajno ostaje isključena.

Dodatno, mogu se implementirati i linije za asinhron reset.

## Glasačka jedinica (voter)

Ključna tačka sistema predstavlja modul koji odlučuje šta postaje konačni izlaz sveukupnog sistema. Postoji više različitih implementacija koje rešavaju ovaj problem, ali jedna od njih se bazira na MAJ3 kombinatornoj mreži koja se sastoji od 3 instance dvoulaznih AND logičkih kapija na čije ulaze se donose sve 3 moguće kombinacije, a čiji se izlazi zatim redukuju OR logičkim kapijama.

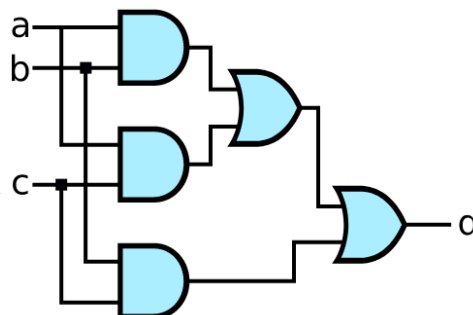


Figure 4: MAJ3 mreža

Neophodno je zatim instancirati  $\frac{n!}{3!(n-3)!}$  kombinacija instanci MAJ3 mreža, na čija 3 ulaza bi se dovodile sve kombinacije izlaza iz prekidača. Nakon toga, potrebno je izvršiti redukciju OR logičkim kapijama nad izlazima svih MAJ3 mreža.

Prethodno opisana struktura je neophodna za svaki bit linije podataka.

## Rezultati implementacije

U slučaju redundancije sa 5 instanci glavnog modula, dobijeni su sledeći rezultati.

### Potrošnja snage

U skladu sa pregovaračkim poglavljem 27 pregovora o članstvu u EU, tj. poglavlju o zaštiti životne sredine i klimatskim promenama, neophodno je odraditi analizu energetske efikasnosti svakog električnog sistema.

U grubim procenama, došlo se do zaključka da bi sistem trošio 139mW snage, što predstavlja dovoljno nisku vrednost da ne bismo brinuli o uticaju na životnu okolinu, čak ni u slučaju masovnije proizvodnje.

Total On-Chip Power:	0.139 W
Junction Temperature:	26.6 °C
Thermal Margin:	58.4 °C (4.9 W)
Effective $\theta$ JA:	11.5 °C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Low
<a href="#">Implemented Power Report</a>	

Figure 5: Izveštaj o potrošnju snage

### Utrošeni resursi

Što se tiče utrošenih resursa, na Xilinx Zynq 7000 sistema, utrošeno je veoma malo unutrašnjih resursa – manje od nekoliko procenata od slobodnih jedinica.

Slice LUTs (53200)	Slice Registers (106400)	Slice (13300)	LUT as Logic (53200)	DSPs (220)	Bonded IOB (200)	BUFGCTRL (32)
188	188	48	188	6	49	1

Figure 6: Izveštaj o utrošenim resursima

### Učestanost sistema

Poslednja ključna metrika za uspešnu realizaciju ovog projekta, svakako jeste maksimalna moguća učestanost celokupnog sistema. Pokretanjem implementacije sa datom periodom takta, dobijamo vrednost “najgore negativne labavosti” (WNS – worst negative slack), na osnovu koje maksimalnu

učestanost sistema dobijamo po formuli  $f = \frac{1}{T - WNS}$ . U našem slučaju, implementacija je odrađena sa  $T = 10\text{ns}$  i dobijena je vrednost  $WNS = 6.489\text{ns}$ , što nam konačno daje  $f = 284.82\text{MHz}$ .

Worst Negative Slack (WNS):	6.489 ns
Total Negative Slack (TNS):	0 ns
Number of Failing Endpoints:	0
Total Number of Endpoints:	141
<a href="#">Implemented Timing Report</a>	

Figure 7: Izveštaj o WNS

## Testiranje ispravnosti

Ispravnost sistema je testirana pomoću pokretanja simulacije sistema nad fiksnim predodređenim ulazom, prvo jedinstvene instance glavnog modula, čiji se izlaz zabeležio u tekstualnu datoteku, pa se zatim isti proces ponovio nad celokupnim sistemom sa redundancijom, gde je u određenim trenucima, jedana po jedna instanca glavnog modula prestala da daje tačan izlaz. Nakon generisanja ove dve tekstualne datoteke, pokrenuta je .sh skripta koja je upoređivala njihov sadržaj i konačno javila njihovu ekvivalentnost.

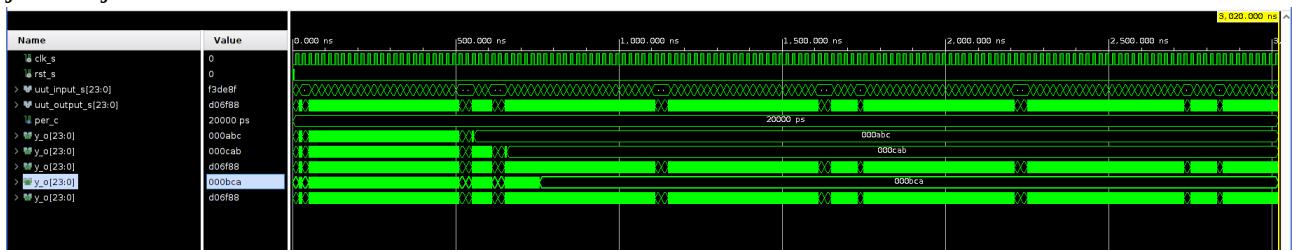


Figure 8: Prikaz rezultata simulacije

## Blok dijagrami sistema

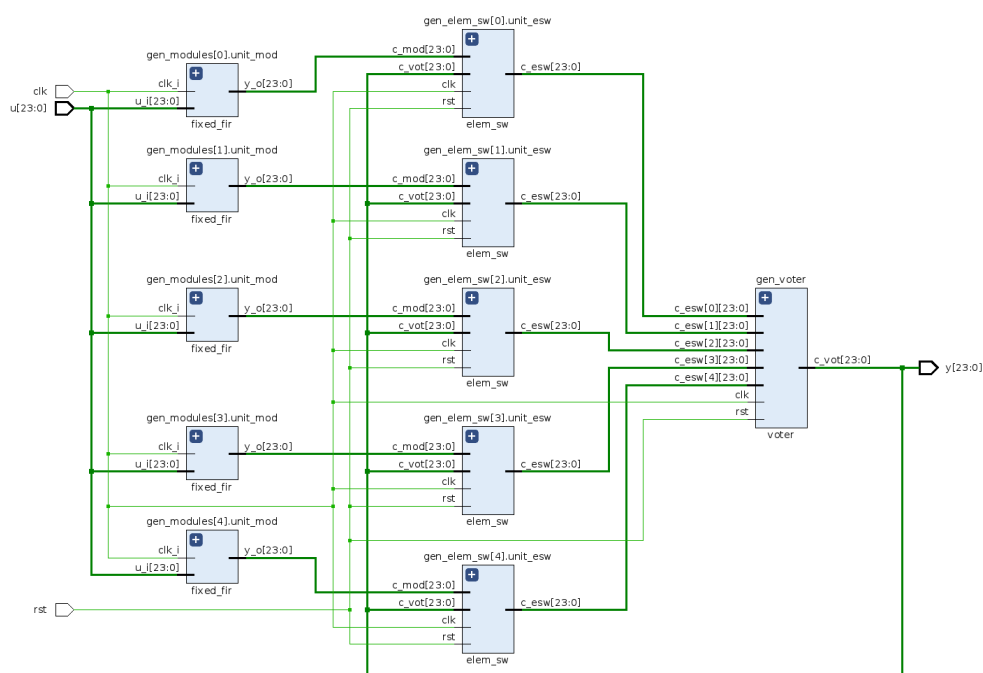


Figure 9: Dijagram celokupnog sistema

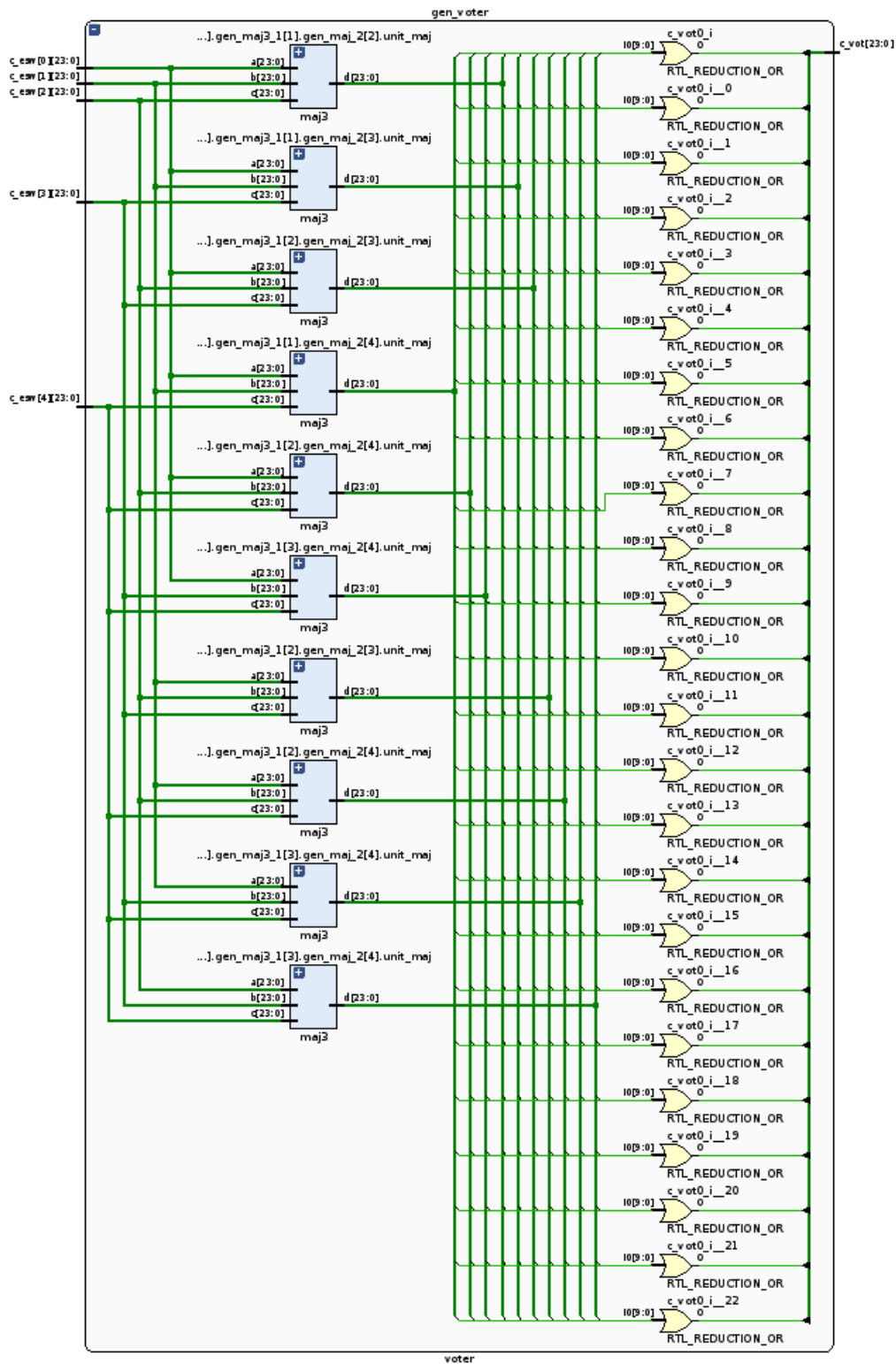


Figure 10: Dijagram glasačke jedinice

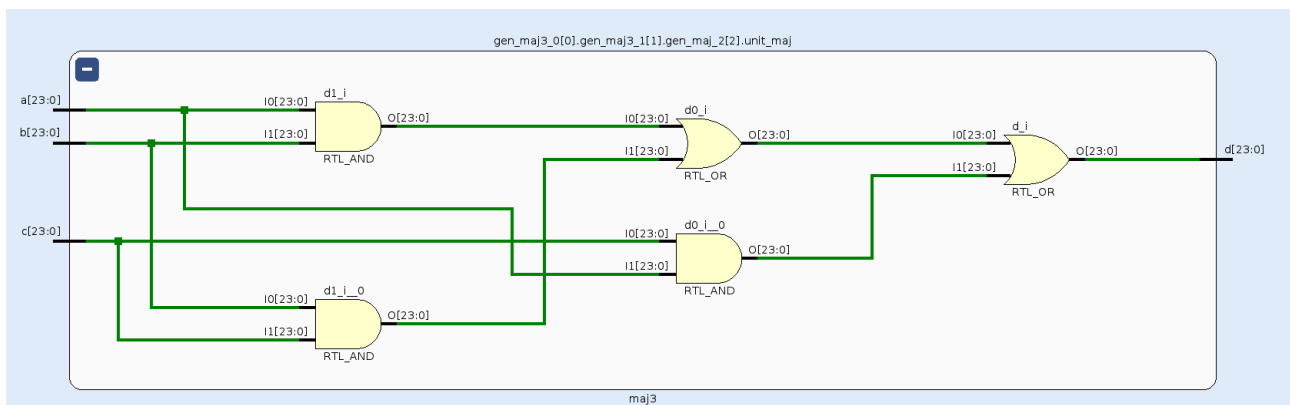


Figure 11: Dijagram MAJ3 mreže

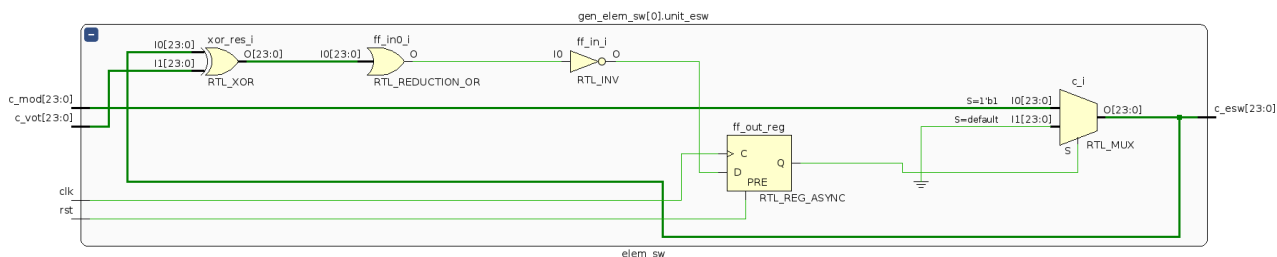


Figure 12: Dijagram prekidača

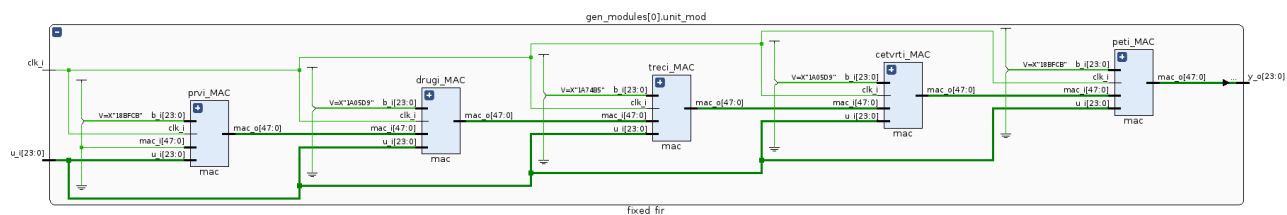


Figure 13: Dijagram glavnog modula (FIR reda 5)

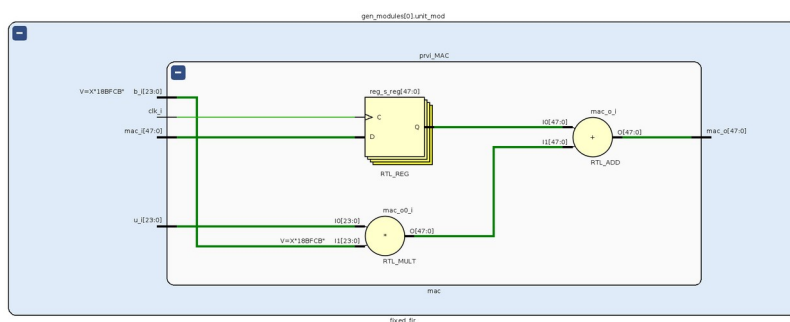


Figure 14: Dijagram MAC jedinice

## Skalabilnost sistema

Promenom broja instanci glavnog modula, primetna je minimalna promena svih važnijih parametara. U prilogu je data tabela kretanja vrednosti ključnih metrika sa promenom broja instanci glavnog modula.

	Snaga [mW]	LUT	Registri	DSP	Takt [MHz]
3					
4					
5	139	188	188	6	284.82
6					
7					
8					
9					

# Literatura

Jacques Losq. 1975. A Highly Efficient Redundancy Scheme: Self-Purging Redundancy.

<https://www.elektronika.ftn.uns.ac.rs/digitalni-sistemi-otporni-na-otkaz/specifikacija/specifikacija-predmeta/> - Mart 2022.

[https://en.wikichip.org/wiki/majority\\_gate](https://en.wikichip.org/wiki/majority_gate) – Mart 2022.

<https://www.pregovarackagrupa27.gov.rs/o-nama/pregovaracka-grupa-27/> - Mart 2022.