Universidade Federal do Rio Grande do Norte Centro de Ciências Exatas e da Terra Departamento de Informática e Matemática Aplicada

DIM0109.1 Laboratório de Circuitos Lógicos

2^a Unidade

Atividade 2.3

2017.2

Descrição:

<u>Implementar</u>, usando a linguagem VHDL, <u>simular</u>, usando o Quartus, Modelsim ou outra ferramenta equivalente, e <u>prototipar</u>, usando a placa de prototipagem DE2-115 da Altera:

circuito sequencial, que execute o algoritmo de divisão por subtrações sucessivas, descrito a seguir.

Esse circuito deverá receber dois números (A e B) de 16 bits e realizar as seguintes operações:

- (I) Subtração de A por B: (A B);
 - OBS.: Considerar que A é sempre maior que B ou usar LED para sinalizar situação incorreta (B>A).
- (II) Repetir a operação (A B) enquanto o resultado for maior que zero e registrar o nº de repetições;
- (III) O algoritmo será finalizado quando:
 - 1. o resultado for igual a zero
 - 2. o resultado for menor que zero

OBS.:

- No caso (1) o nº de repetições já representará o valor do quociente e o resto será igual a zero.
- No caso (2) não deve ser considerada a última repetição, ou seja, a que levou o resultado a ser negativo.
 Dessa forma o resultado imediatamente anterior (último valor positivo) representa o resto da divisão e o nº de repetições até aí representa o quociente.

DICAS:

Na placa poderão ser usados as chaves (*switches*) para configurar valores de A e de B. Para registrar A, registrar B e executar o algoritmo de divisão por subtrações sucessivas podem ser usados quantos botões sejam necessários.

ENTREGÁVEIS:

- 1. Diagramas, com os devidos detalhamentos:
 - 1.1. HLSM (máquina de estado de alto nível)
 - 1.2. Bloco Operacional: datapath
 - 1.3. Conexões PC PO (parte de controle parte operativa)
 - 1.4. Bloco de Controle: FSM
- 2. Códigos VHDL
- 3. Imagens da simulação

IMPORTANTE:

- Valor desta atividade: 0,5 ponto na nota da 2ª unidade.
- Essa atividade deverá ser feita em grupo (individual ou em dupla como definido para o projeto final).

Datas e prazos:

- Envio (pelo SIGAA) dos diagramas, códigos VHDL e imagens das simulações: ATÉ quinta,23nov2017, 23h59
- Apresentação do protótipo na placa DE2-115:

ATÉ sexta, **24nov2017**, 12h30