

实验报告

2018 年 10 月 11 日

成绩: _____

姓名	黄蓉	学号	12051101	班级	12052311
专业	计算机科学与技术		课程名称	《数字电路课程设计》	
任课老师	黄药师	指导老师	黄药师	机位号	17
实验序号	实验 1	实验名称	五输入表决器实验		
实验时间	2018.10.09	实验地点	1-北 604	实验设备号	HA-15

一、实验目的与要求

- 实验目的:
 - 认识与熟悉教学开发板的硬件及接口。
 - 熟悉 Xilinx ISE 集成开发环境, 掌握创建工程、调试、仿真、下载、硬件测试的方法, 熟悉各个实验环节和完整开发流程。
 - 学习使用基本的与、或、非等基本逻辑门进行电路设计, 掌握 Verilog HDL 语言的结构建模方式。
- 实验要求:

使用结构建模方式(门级描述), 设计一个五输入表决器。

二、实验设计与程序代码

- 模块设计说明

程序包含了一个单模块: 五输入表决器模块, 输入端口为 A、B、C、D、E, 输出端口为 Y。按照表决器的逻辑, 输出 Y 的逻辑表达式为:

$$Y=ABC+ABD+ABE+ACD+ACE+ADE+BCD+BCE+BDE+CDE$$

实验要求用门级描述实现该模块, 故需要使用 10 个内置与门和一个内置或门实现。
- 实验程序源代码及注释等

```
module Vote5(  
    input A,  
    input B,  
    input C,  
    input D,  
    input E,  
    output Y  
);  
    //中间变量  
    wire T1,T2,T3,T4,T5,T6,T7,T8,T9,T10;  
    //10 个与门  
    and AU1(T1,A,B,C),      //T1=ABC  
        AU2(T2,A,B,D),      //T2=ABD
```

```
AU3(T3,A,B,E),      //T3=ABE
AU4(T4,A,C,D),      //T4=ACD
AU5(T5,A,C,E),      //T5=ACE
AU6(T6,A,D,E),      //T6=ADE
AU7(T7,B,C,D),      //T7=BCD
AU8(T8,B,C,E),      //T8=BCE
AU9(T9,B,D,E),      //T9=BDE
AU10(T10,C,D,E);    //T10=CDE
//1 个或门
or   OU(Y,T1,T2,T3,T4,T5,T6,T7,T8,T9,T10);
endmodule
```

三、实验仿真

```
1、 仿真代码
module Vote5_Test;
    // Inputs
    reg A;
    reg B;
    reg C;
    reg D;
    reg E;
    // Outputs
    wire Y;
    // Instantiate the Unit Under Test (UUT)
    Vote5 uut (
        .A(A),
        .B(B),
        .C(C),
        .D(D),
        .E(E),
        .Y(Y)
    );
    initial begin
        A = 0;   B = 0;   C = 0;   D = 0;   E = 0;   #100;
        A = 1;   B = 1;   C = 1;   D = 0;   E = 0;   #100;   //ABC
        A = 1;   B = 1;   C = 0;   D = 0;   E = 0;   #100;
        A = 1;   B = 1;   C = 0;   D = 1;   E = 0;   #100;   //ABD
        A = 1;   B = 0;   C = 0;   D = 1;   E = 0;   #100;
        A = 1;   B = 1;   C = 0;   D = 0;   E = 1;   #100;   //ABE
        A = 0;   B = 1;   C = 0;   D = 0;   E = 1;   #100;
        A = 1;   B = 0;   C = 1;   D = 1;   E = 0;   #100;   //ACD
        A = 1;   B = 0;   C = 1;   D = 0;   E = 0;   #100;
        A = 1;   B = 0;   C = 1;   D = 0;   E = 1;   #100;   //ACE
    end
endmodule
```

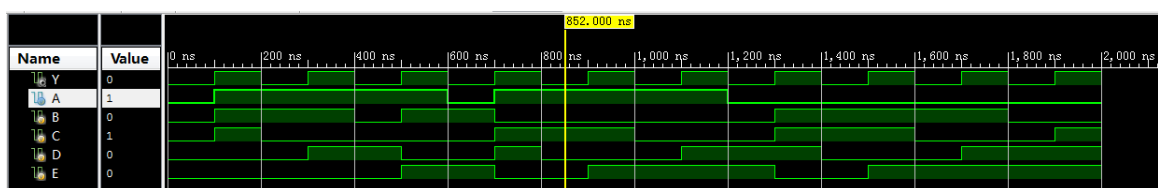
```

A = 1;   B = 0;   C = 0;   D = 0;   E = 1;   #100;
A = 1;   B = 0;   C = 0;   D = 1;   E = 1;   #100;   //ADE
A = 0;   B = 0;   C = 0;   D = 1;   E = 1;   #100;
A = 0;   B = 1;   C = 1;   D = 1;   E = 0;   #100;   //BCD
A = 0;   B = 1;   C = 1;   D = 0;   E = 0;   #100;
A = 0;   B = 1;   C = 1;   D = 0;   E = 1;   #100;   //BCE
A = 0;   B = 1;   C = 0;   D = 0;   E = 1;   #100;
A = 0;   B = 1;   C = 0;   D = 1;   E = 1;   #100;   //BDE
A = 0;   B = 0;   C = 0;   D = 1;   E = 1;   #100;
A = 0;   B = 0;   C = 1;   D = 1;   E = 1;   #100;   //CDE
end

```

endmodule

2、仿真波形

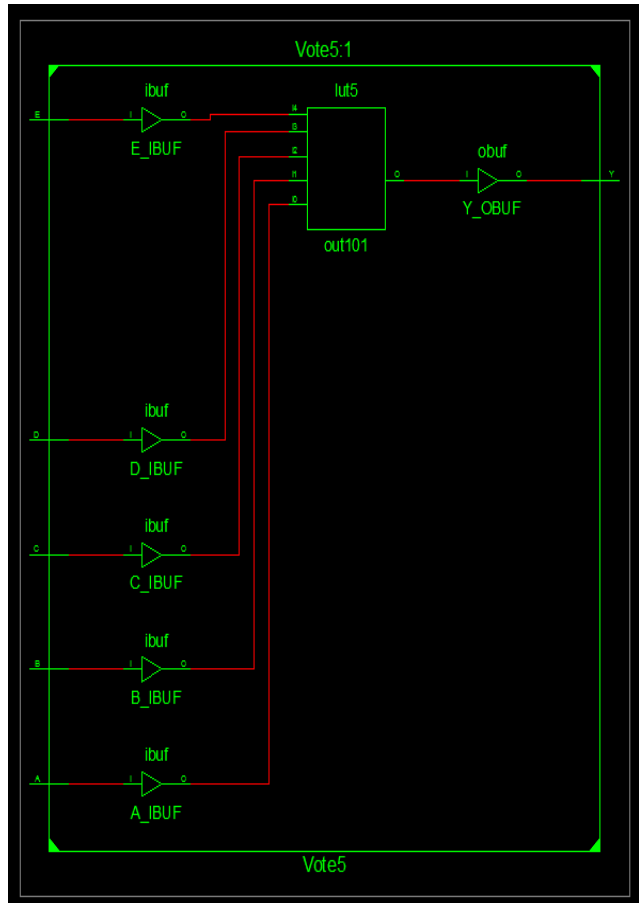
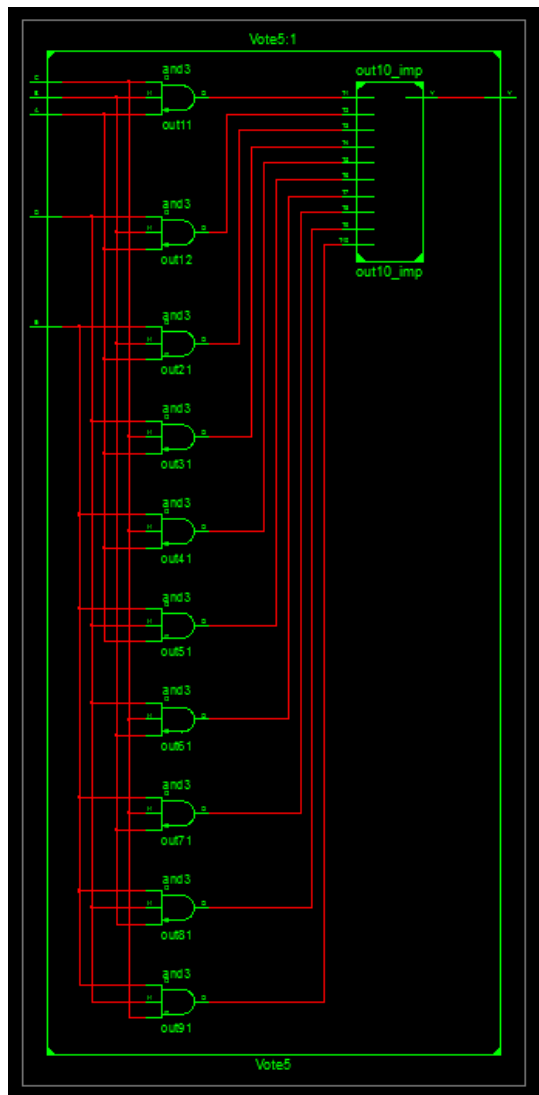


3、仿真结果分析

0ns: ABCDE=00000, Y=0;	100ns: ABCDE=11100, Y=1;
200ns: ABCDE=11000, Y=0;	300ns: ABCDE=11010, Y=1;
400ns: ABCDE=10010, Y=0;	500ns: ABCDE=11001, Y=1;
600ns: ABCDE=01001, Y=0;	700ns: ABCDE=10110, Y=1;
800ns: ABCDE=10100, Y=0;	900ns: ABCDE=10101, Y=1;
1000ns: ABCDE=10001, Y=0;	1100ns: ABCDE=10011, Y=1;
1200ns: ABCDE=00011, Y=0;	1300ns: ABCDE=01110, Y=0;
1400ns: ABCDE=01100, Y=0;	1500ns: ABCDE=01101, Y=0;
1600ns: ABCDE=01001, Y=0;	1700ns: ABCDE=01011, Y=0;
1800ns: ABCDE=00011, Y=0;	1900ns: ABCDE=00111, Y=0;

可见，符合五输入表决器的逻辑功能。

四、电路图



五、引脚配置（约束文件）

```

NET "A" IOSTANDARD = LVCMOS18 | LOC = V5; //SW19
NET "B" IOSTANDARD = LVCMOS18 | LOC = T4; //SW18
NET "C" IOSTANDARD = LVCMOS18 | LOC = V6; //SW17
NET "D" IOSTANDARD = LVCMOS18 | LOC = T5; //SW16
NET "E" IOSTANDARD = LVCMOS18 | LOC = T6; //SW15

NET "Y" IOSTANDARD = LVCMOS18 | LOC = U6; //LED19

```

六、思考与探索

1、实验结果记录：

按照真值表的顺序，拨动 SW19~SW15 这 5 个开关，观察输出 Y 的指示灯 LED19 的状态，记录到下表：


输入	输出	输入	输出	输入	输出	输入	输出
ABCDE	Y	ABCDE	Y	ABCDE	Y	ABCDE	Y
00000	0	01000	0	10000	0	11000	0
00001	0	01001	0	10001	0	11001	1
00010	0	01010	0	10010	0	11010	1
00011	0	01011	1	10011	1	11011	1
00100	0	01100	0	10100	0	11100	1
00101	0	01101	1	10101	1	11101	1
00110	0	01110	1	10110	1	11110	1
00111	1	01111	1	10111	1	11111	1

2、实验结论：

实验结果与真值表一致，表明实验成功。

3、问题与解决方案：

选错了 FPGA 芯片型号，导致映射（Map）不成功，出现了引脚配置错误：

 **ERROR**:MapLib:30 - LOC constraint U6 on Y is invalid: No such site on the device.
To bypass this error set the environment variable 'XIL_MAP_LOCWARN'.

修正 FPGA 芯片型号为 Artix7 xc7a100t-3csg324 后，映射（Map）、布局&布线（Place & Route）都成功。

4、思考题：

（2）数据流描述方法实现五输入表决器：

```
module Vote5(A,B,C,D,E,Y);  
    input A,B,C,D,E;  
    output Y;  
    assign Y = (A&B&C)|(A&B&D)|(A&B&E)|(A&C&D)|(A&C&E)|(A&D&E)|(B&C&D)|  
    (B&C&E)|(B&D&E)|(C&D&E);  
endmodule
```