**实验报告**

年 月 日 成绩：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 姓名 |  | 学号 |  | 班级 |  |
| 专业 |  | | 课程名称 |  | |
| 任课老师 |  | 指导老师 |  | 机位号 |  |
| 实验序号 |  | 实验名称 |  | | |
| 实验时间 |  | 实验地点 |  | 实验设备号 |  |
| **一、实验目的与要求** | | | | | |
| 1. 实验目的：   学习使用verilog HDL进行时序电路的设计方法  学习寄存器堆的数据传送与读/写的工作原理，掌握寄存器堆的设计方法   1. 实验要求：   编写一个实验验证的顶层模块，调用该寄存器堆模块 | | | | | |
| **二、实验设计与程序代码** | | | | | |
| 1. 模块设计说明 2. 实验程序源代码及注释等 | | | | | |
| **三、实验仿真** | | | | | |
| 1. 仿真代码 2. 仿真波形 3. 仿真结果分析 | | | | | |
| **四、电路图** | | | | | |
|  | | | | | |
| **五、引脚配置（约束文件）** | | | | | |
|  | | | | | |
| **六、思考与探索** | | | | | |
| 1. 实验结果记录： 2. 实验结论： 3. 问题与解决方案： 4. 思考题： | | | | | |