CTLAB

2023 Winter - FPGA Training Courses

Date	Topic	Homework
1/8 (一)	寒假開始	
1/12 (五)	Introduction of Quartus Program the FPGA Combinational Logic	Encoder Decoder Full-Adder
1/19 (五)	Module Hierarchy Two's complement “Always” Block - Case statement	8-bits Adder/Subtractor 7-Segment
1/26 (五)	Sequential Logic Finite State Machines	Debounce Circuit Traffic Light
2/2 (五)	RS-232 with MATLAB (Transmitter & Receiver)	RS-232
2/8~2/14	春節假期	
2/16 (五)	RS-232 Demo	Demo
2/19 (一)	大學部及研究生註冊、學生開始上課	

上課時間為 每周五 10 : 00 AM