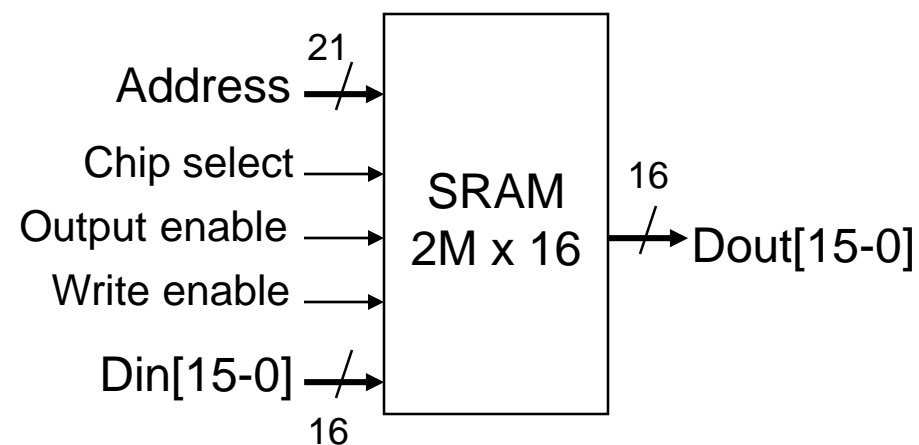


静态随机访问存储器：SRAM



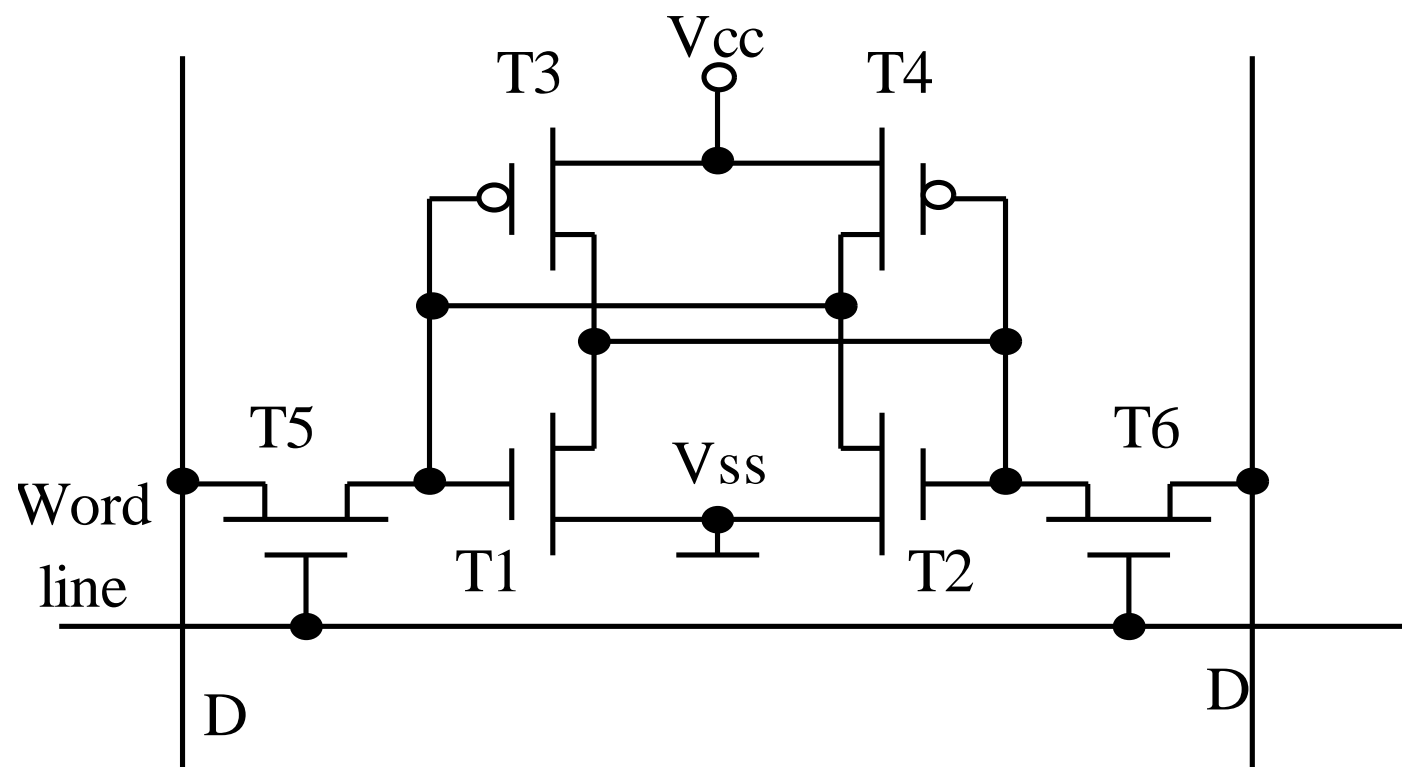
高速缓存 Caches

- 静态随机访问存储器(SRAM)
 - 静态: 内容持续保持 (直至断电)
 - 昂贵, 访问速度快
 - 功耗高

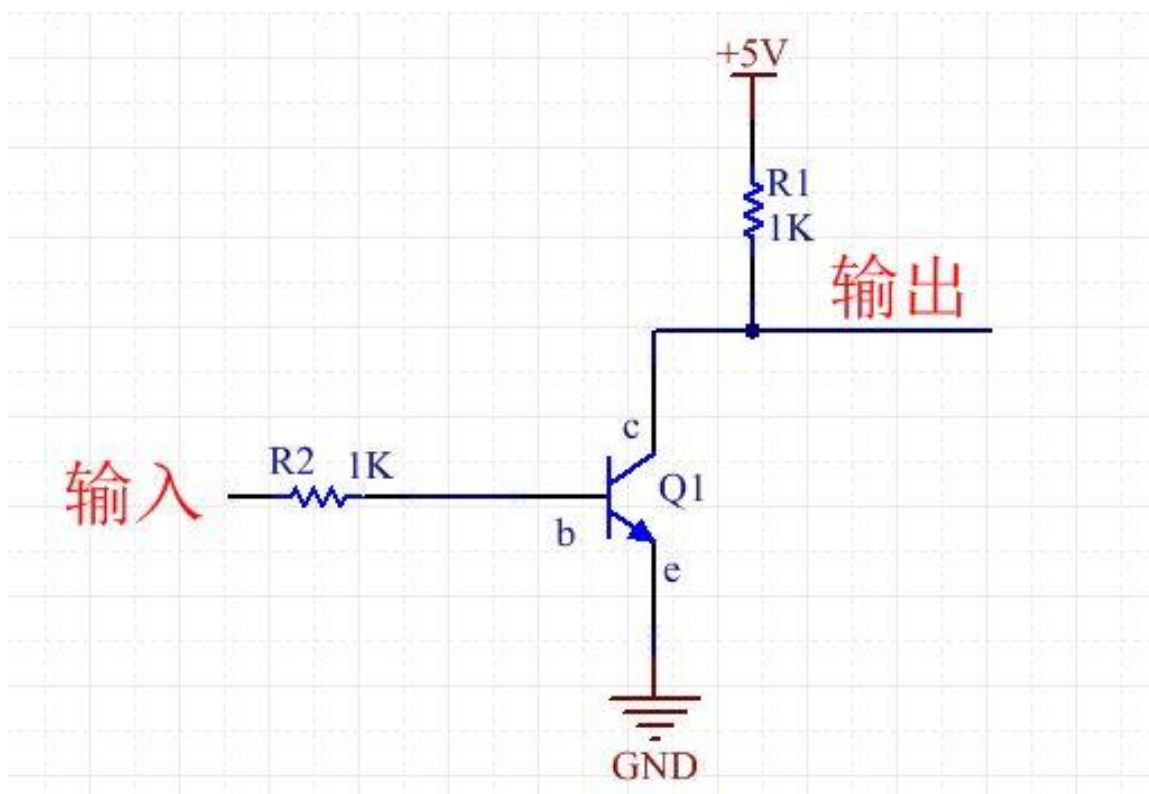


静态随机访问存储器 SRAM

SRAM 一般使用六个晶体管表示一个存储位。



晶体管（晶体三极管）实现非门



当输入为高电平 + 5 V 时,

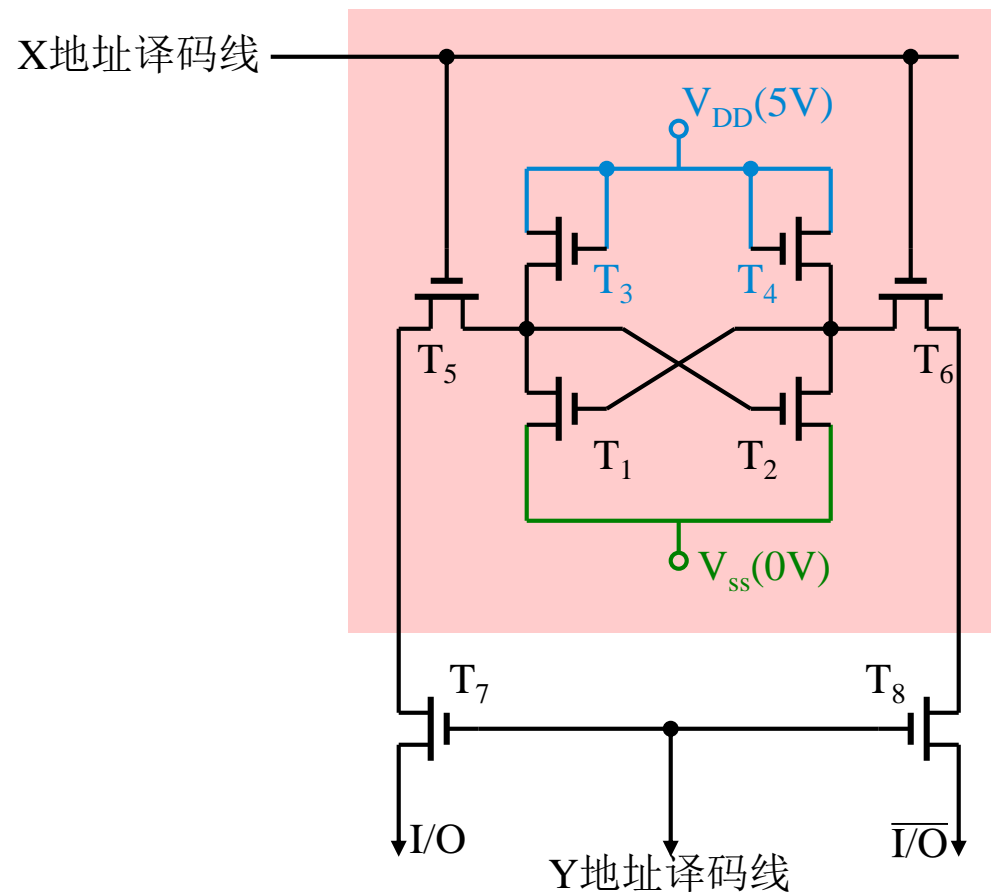
- 基极 (b) 与发射极(e)间 $U_{be} > 0.7V$, 三极管Q1导通,
- 输出点电压为Q1的集电极 (c) 和发射极(e) 之间的压降, 即 0.3V, 输出为数字量0;

当输入为低时,

- Q1集电极 (c) 和发射极(e)之间未导通,
- 输出电压为上拉的电压, +5V, 即数字量1

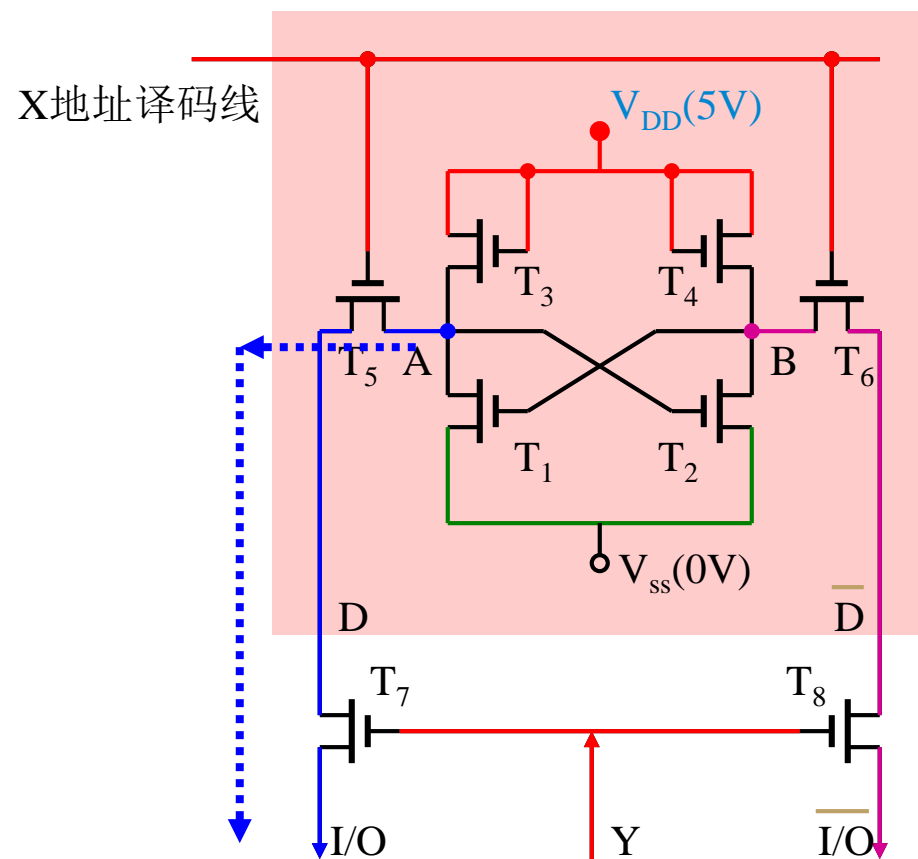
六管SRAM存储器(SRAM Cell)

SRAMs 一般使用六个晶体管表示一个存储位。



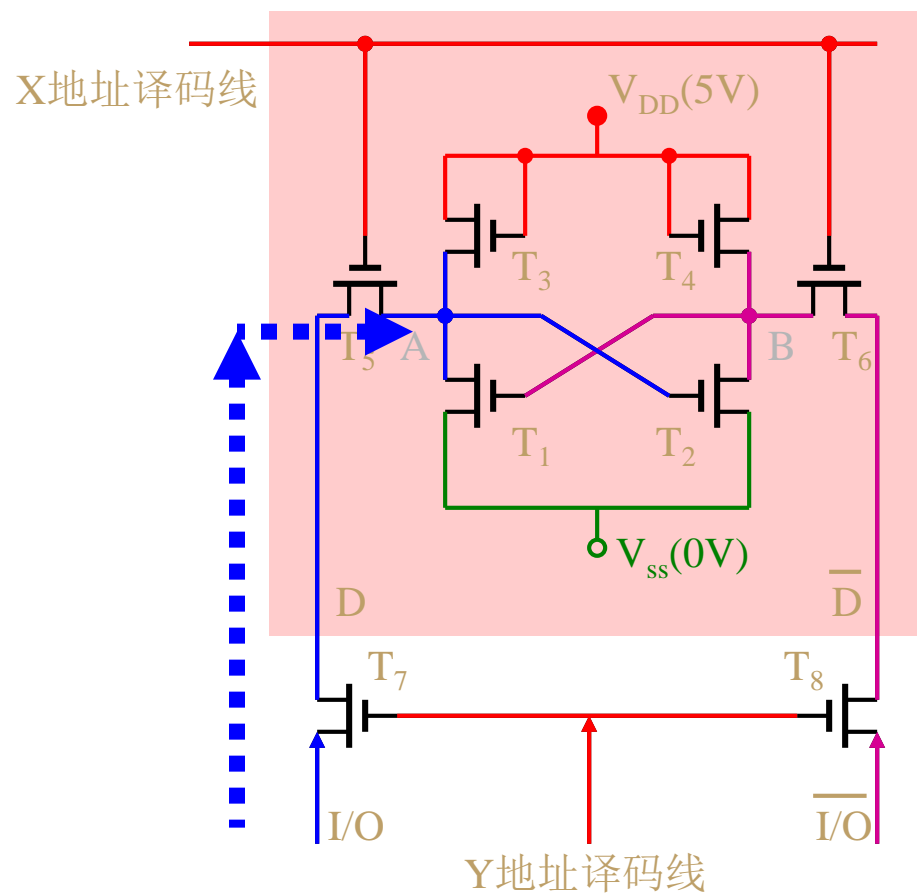
- 两个非门输入输出端耦合
- T₁ T₂ 工作管, 耦合连接
- T₃ T₄ 负载管
- T₅ T₆ X向门控管
- T₇ T₈ Y向门控管

六管SRAM存储器读操作



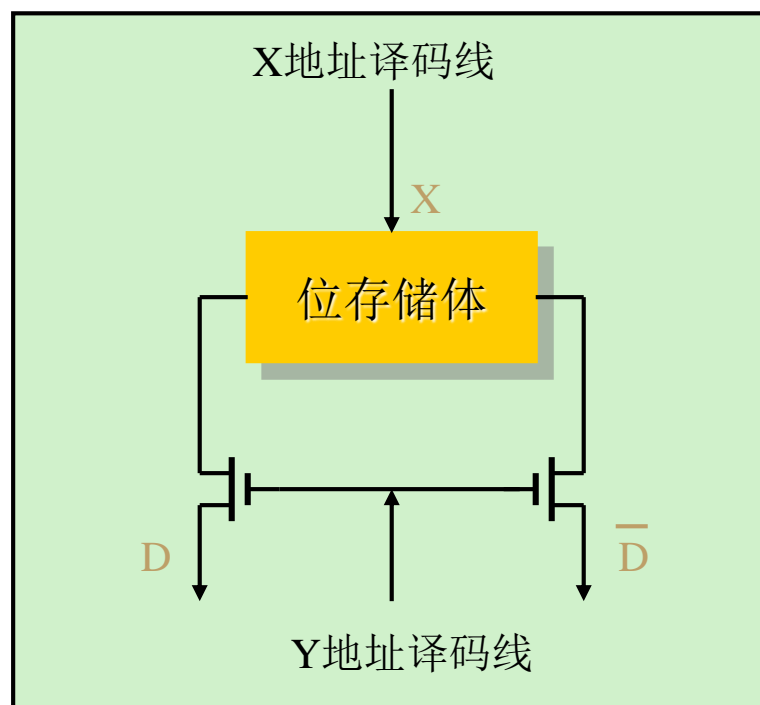
— 低电位 —|—|— 导通状态 — 高电位

六管SRAM存储器写操作



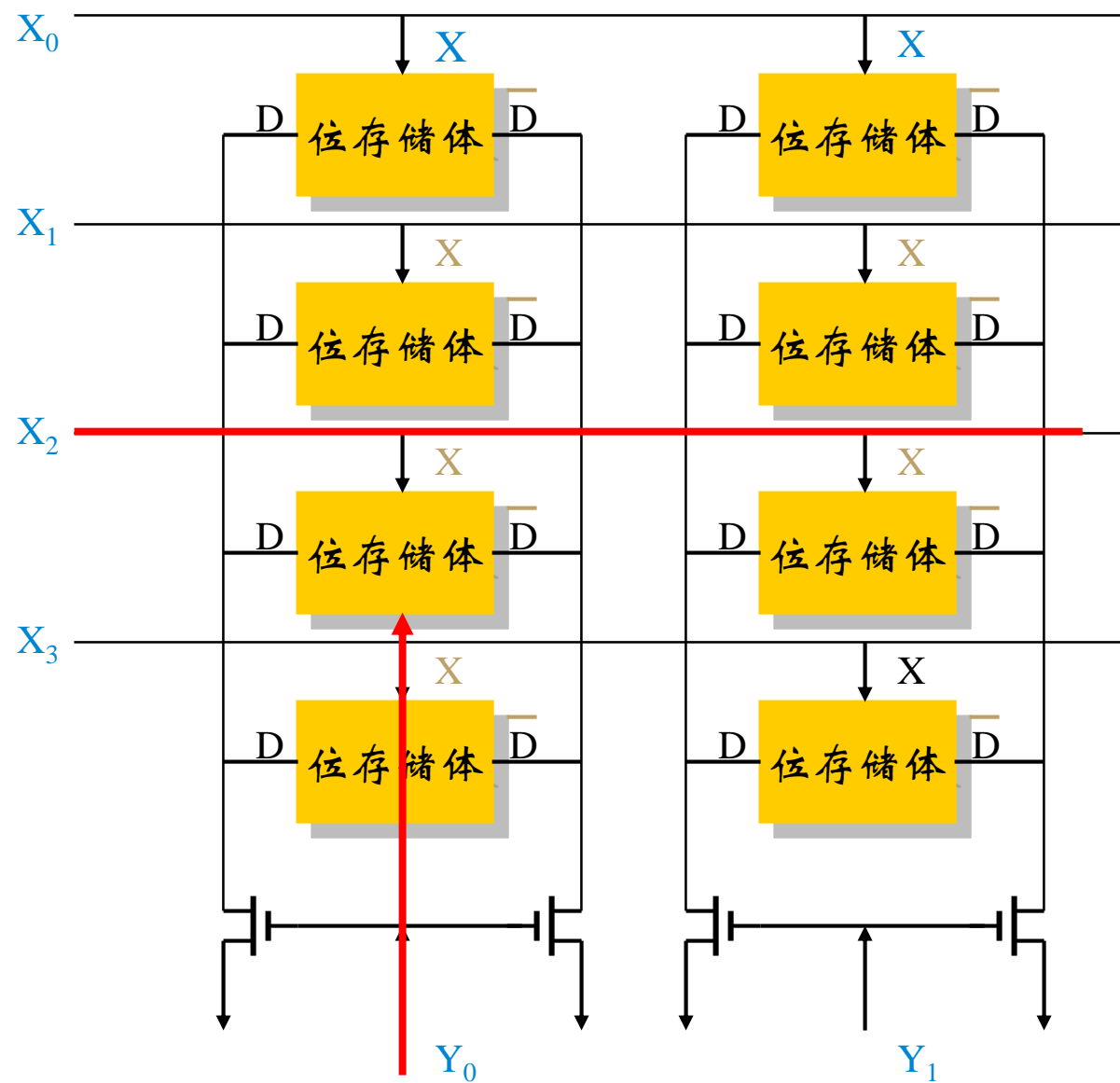
— 低电位 —|—|— 导通状态 — 高电位

位存储体封装

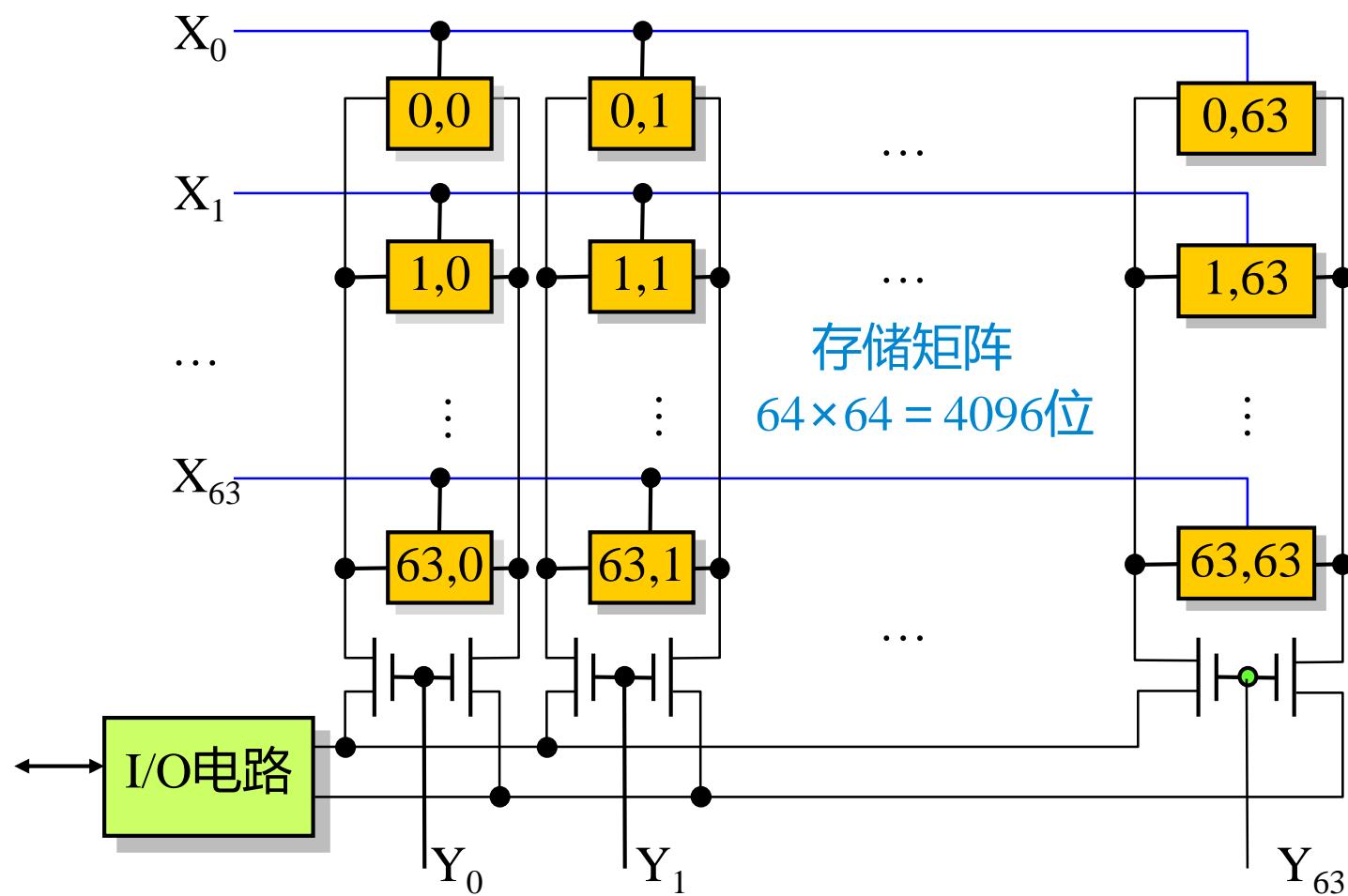


- X为行（字）选择线
- Y为列（位）选择线
- D为数据输输入出口

存储矩阵

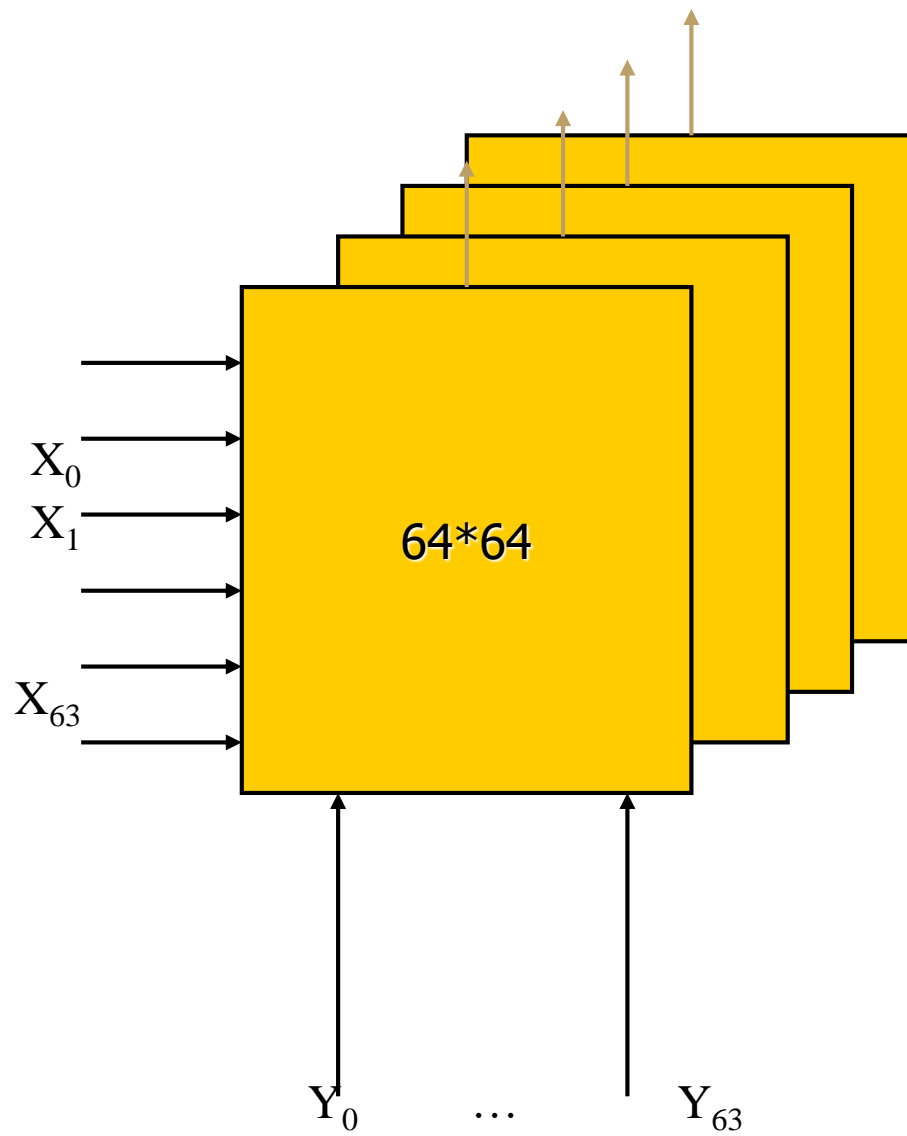


64x64 存储矩阵

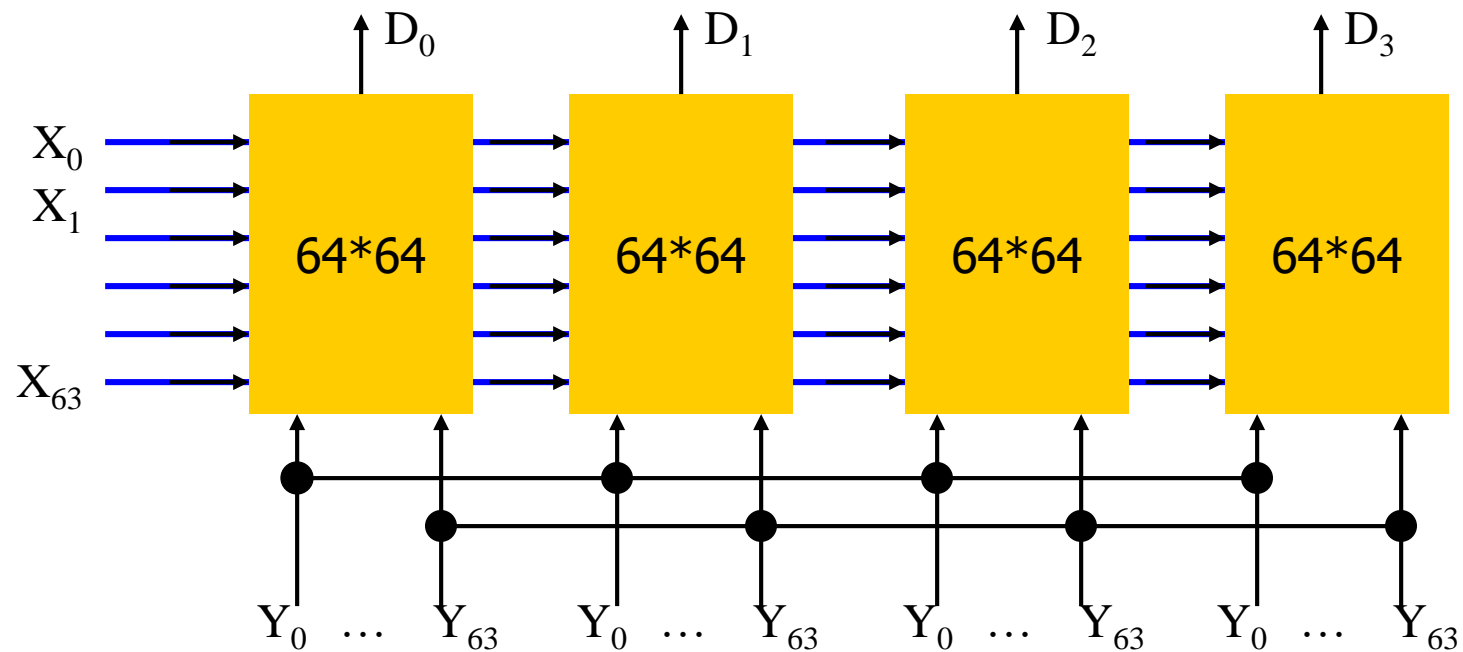


4k*4位存储体

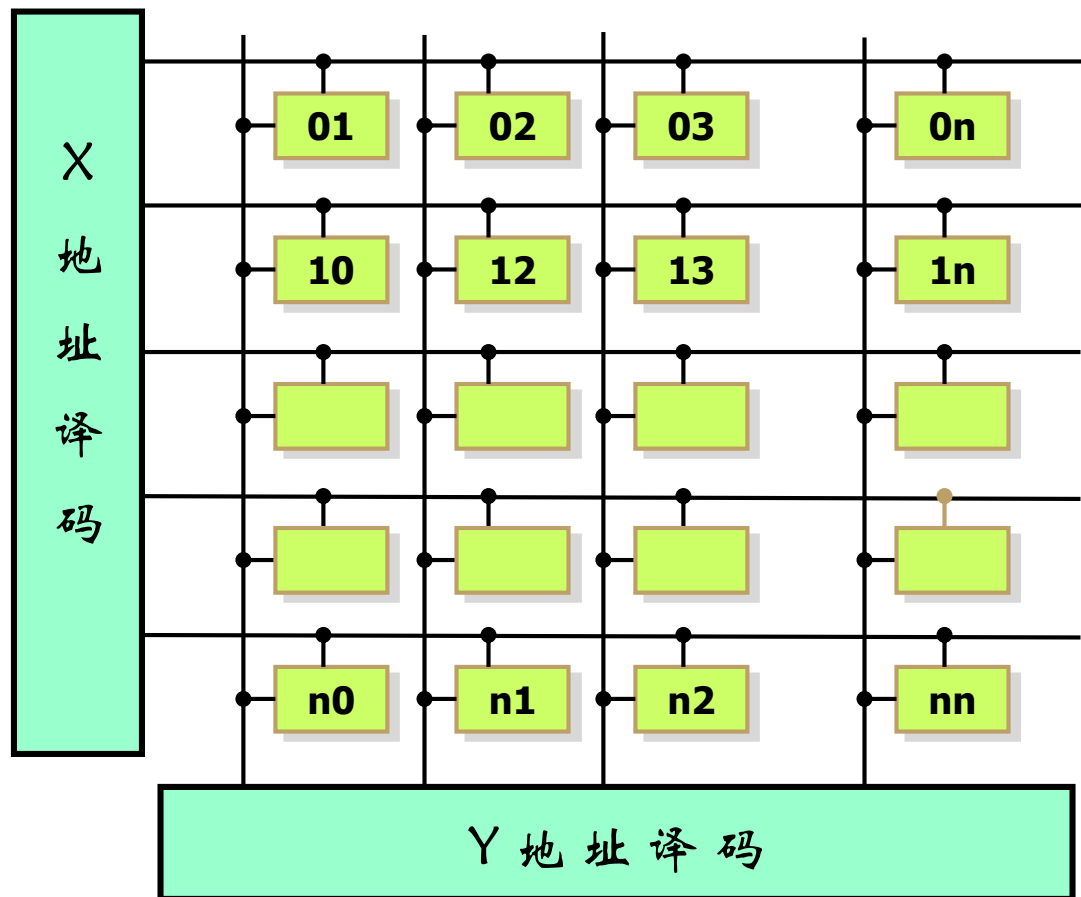
4k*1位 的存储矩阵,
有4个



4k*4位存储体



双译码方式



n位地址,

寻址 2^n 个存储单元

需要 $2 * 2^{n/2}$ 根译码线

例如:

12位地址,

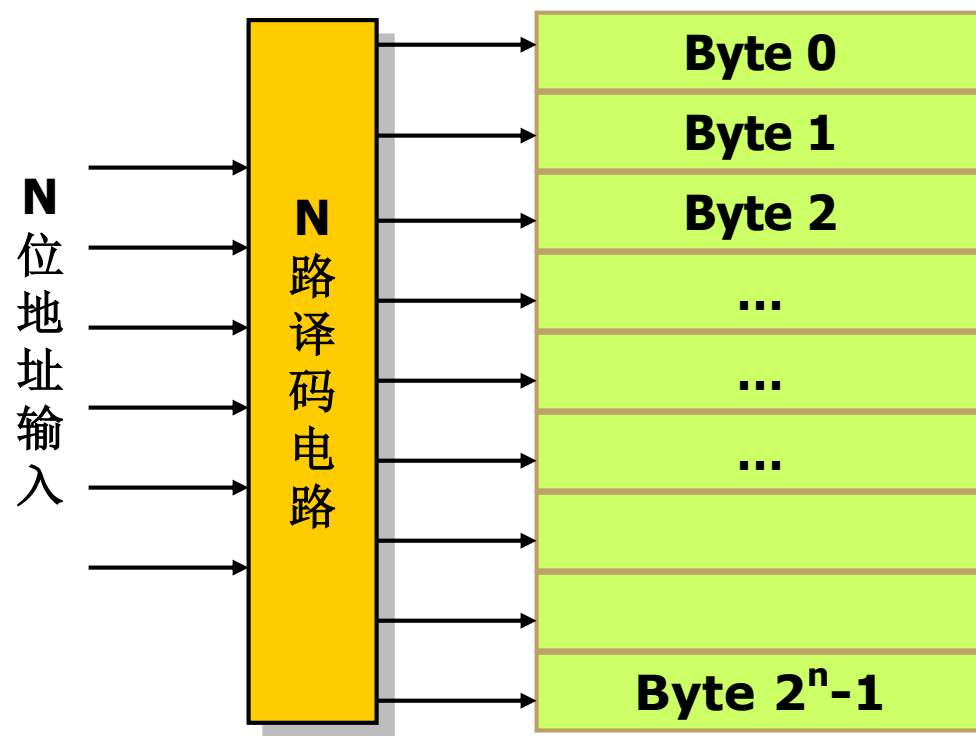
寻址 $4096 = 2^{12}$ 个存储单元

只需要: $2 * 64$ 根译码线

X方向: **64**根

Y方向: **64**根

单译码方式



例如:

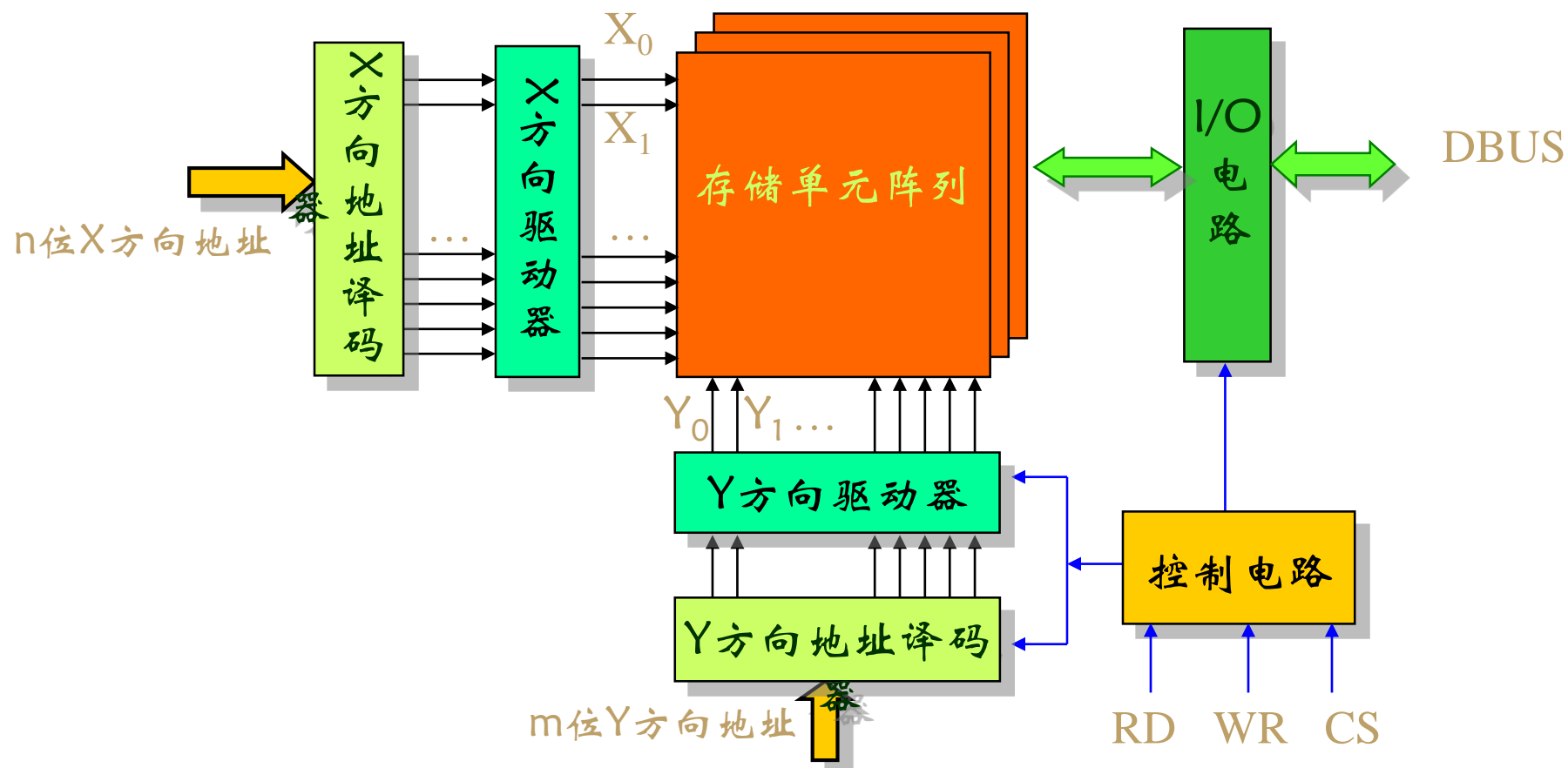
12位地址,

寻址 **4096**=**2¹²**个存储单元

需要: **4096**根译码线

n位地址, 寻址**2ⁿ**个存储单元, **2ⁿ**根译码线

静态随机访问存储器芯片结构



小结



- SRAM：六个晶体管构成一个存储位
- 密度低、功耗大、成本高
- 存储阵列
- 双译码
- 静态RAM芯片结构