Lab 05

Jonathan Hoyos Calero

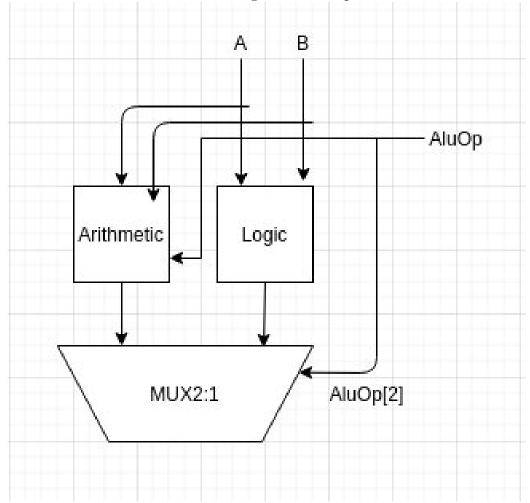
Arquitectura de Computadoras

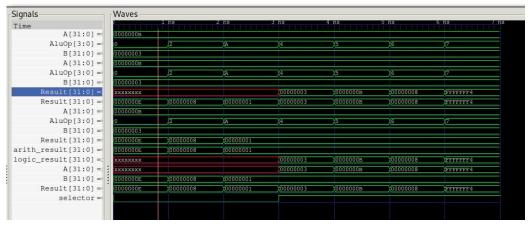
UTEC

June 15, 2020

Actividades

Primero vamos a ver como es el diagrama de bloque de nuestro ALU





En el siguiente waveform vemos que las señales para a=11(0000000B) y b=3(00000003) con todas las Operaciones del ALU

```
yoncho@myhostname:~/Desktop/lab5
module arith(A,B,AluOp,Result);
input [31:0] A,B;
input [3:0] AluOp;
output reg [31:0] Result;
always@(*)
begin
        case (AluOp)
        4'b0000:
                 Result=A+B;
        4'b0010:
                 Result=A-B;
        4'b1010:
                 if (B<A) begin
                          Result=32'd1;
                 end
                 else begin
                          Result=32'd0;
                 end
        endcase
end
endmodule
```

Aqui esta nuestro modulo que decide las operaciones matematicas y las asigna a un Alu
Op

```
module Logic(A,B,AluOp,Result);
input [31:0] A,B;
input [3:0] AluOp;
output req [31:0] Result;
always@(*)
begin
        case (Alu0p)
        4'b0100:
                 Result=A&B;
        4'b0101:
                 Result=A|B;
        4'b0110:
                 Result=A^B;
        4'b0111:
                 Result=~(A|B);
        endcase
end
endmodule
```

Aqui esta nuestro modulo que decide las operaciones logic y las asigna a un AluOp

La rutina de nuestro testbench es pasarle dos numeros, el 11 y el 3, y vemos que recibira las operaciones de add, sub y slt. Y despues las de and, or, xor y

```
`timescale 1ns / 1ps
`include "ALU.v"
module ALU_tb();
reg [31:0] a,b;
reg [3:0] aluop;
wire [31:0] result;

initial begin
    $monitor("a=%4d,b=%4d,aluop=%4b,result=%4b",a,b,aluop,result);
    $dumpfile("alu.vcd");
    $dumpvars(0,ALU_tb);
    a<=32'd11;b<=32'd3;aluop<=4'b0000;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0010;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0100;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0100;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0101;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0111;#1
    a<=32'd11;b<=32'd3;aluop<=4'b0111;#1
    s<=32'd11;b<=32'd3;aluop<=4'b0111;#1
    $finish;
end</pre>
```

nor.

Los modulos estan dentro del proyecto.