

# 中国科学院大学计算机组成原理实验课

## 实验报告

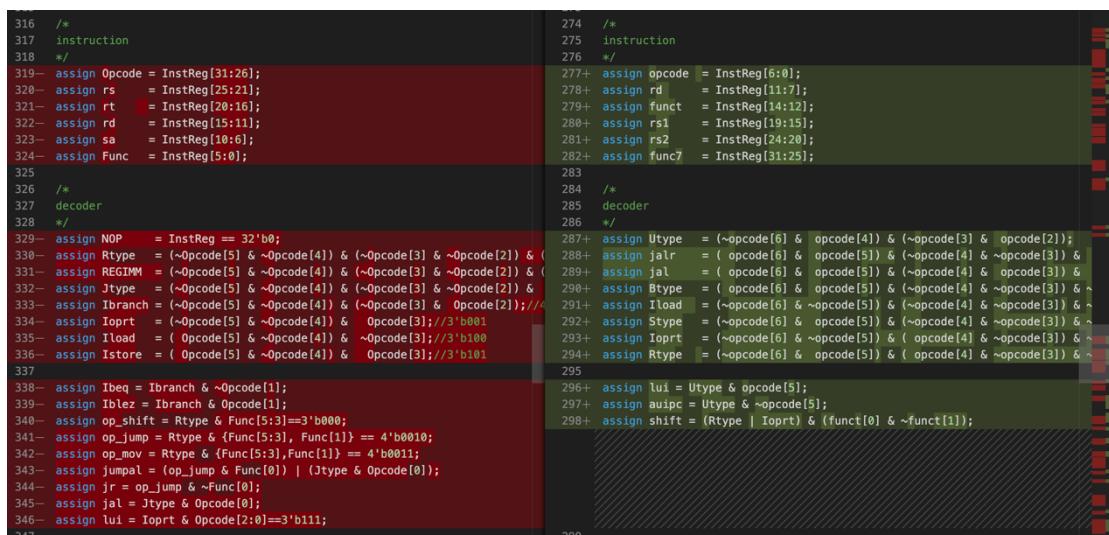
学号: \_2019K8009908002\_ 姓名: \_何之粼\_ 专业: \_计算机科学与技术\_

实验序号: \_4\_ 实验名称: \_\_\_\_\_RISC-V 指令集处理器\_\_\_\_\_

一、逻辑电路结构与仿真波形的截图及说明(比如关键 RTL 代码段{包含注释}及其对应的逻辑电路结构、相应信号的仿真波形和信号变化的说明等)

由于我们的 risc-v 处理器主要由 mips 改编而成, 因此可以以二者代码对比的方式展现变化。以下图片均为左 mips, 右 risc-v。

### 1. 指令译码



The screenshot displays two columns of RTL code for instruction decoders. The left column is for MIPS and the right column is for RISC-V. Both columns show assignments for various fields based on the instruction's opcode.

```
316 /*  
317  instruction  
318 */  
319 assign Opcode = InstReg[31:26];  
320 assign rs = InstReg[25:21];  
321 assign rt = InstReg[20:16];  
322 assign rd = InstReg[15:11];  
323 assign sa = InstReg[10:6];  
324 assign Func = InstReg[5:0];  
325  
326 /*  
327 decoder  
328 */  
329 assign NOP = InstReg == 32'b0;  
330 assign Rtype = (~Opcode[5] & ~Opcode[4]) & (~Opcode[3] & ~Opcode[2]) & (~  
331 assign REGIMM = (~Opcode[5] & ~Opcode[4]) & (~Opcode[3] & ~Opcode[2]) & (~  
332 assign Jtype = (~Opcode[5] & ~Opcode[4]) & (~Opcode[3] & ~Opcode[2]) & (~  
333 assign Ibranch = (~Opcode[5] & ~Opcode[4]) & (~Opcode[3] & ~Opcode[2]);//  
334 assign Ioprt = (~Opcode[5] & ~Opcode[4]) & Opcode[3];//3'b001  
335 assign Iload = (~Opcode[5] & ~Opcode[4]) & ~Opcode[3];//3'b100  
336 assign Istore = (~Opcode[5] & ~Opcode[4]) & Opcode[3];//3'b101  
337  
338 assign Ibreq = Ibranch & ~Opcode[1];  
339 assign Ibnez = Ibranch & Opcode[1];  
340 assign op_Shift = Rtype & Func[5:3]==3'b000;  
341 assign op_Jump = Rtype & {Func[5:3], Func[1]} == 4'b0010;  
342 assign op_Mov = Rtype & {Func[5:3], Func[1]} == 4'b0011;  
343 assign jumpal = (op_Jump & Func[0]) | (Jtype & Opcode[0]);  
344 assign jr = op_Jump & ~Func[0];  
345 assign jal = Jtype & Opcode[0];  
346 assign lui = Ioprt & Opcode[2:0]==3'b111;  
347  
348  
349  
350  
351  
352  
353  
354  
355  
356  
357  
358  
359  
360  
361  
362  
363  
364  
365  
366  
367  
368  
369  
370  
371  
372  
373  
374  
375  
376  
377  
378  
379  
380  
381  
382  
383  
384  
385  
386  
387  
388  
389  
390  
391  
392  
393  
394  
395  
396  
397  
398  
399  
400  
401  
402  
403  
404  
405  
406  
407  
408  
409  
410  
411  
412  
413  
414  
415  
416  
417  
418  
419  
420  
421  
422  
423  
424  
425  
426  
427  
428  
429  
430  
431  
432  
433  
434  
435  
436  
437  
438  
439  
440  
441  
442  
443  
444  
445  
446  
447  
448  
449  
450  
451  
452  
453  
454  
455  
456  
457  
458  
459  
460  
461  
462  
463  
464  
465  
466  
467  
468  
469  
470  
471  
472  
473  
474  
475  
476  
477  
478  
479  
480  
481  
482  
483  
484  
485  
486  
487  
488  
489  
490  
491  
492  
493  
494  
495  
496  
497  
498  
499  
500  
501  
502  
503  
504  
505  
506  
507  
508  
509  
510  
511  
512  
513  
514  
515  
516  
517  
518  
519  
520  
521  
522  
523  
524  
525  
526  
527  
528  
529  
530  
531  
532  
533  
534  
535  
536  
537  
538  
539  
540  
541  
542  
543  
544  
545  
546  
547  
548  
549  
550  
551  
552  
553  
554  
555  
556  
557  
558  
559  
559  
560  
561  
562  
563  
564  
565  
566  
567  
568  
569  
569  
570  
571  
572  
573  
574  
575  
576  
577  
578  
579  
579  
580  
581  
582  
583  
584  
585  
586  
587  
588  
589  
589  
590  
591  
592  
593  
594  
595  
596  
597  
598  
599  
599  
600  
601  
602  
603  
604  
605  
606  
607  
608  
609  
609  
610  
611  
612  
613  
614  
615  
616  
617  
618  
619  
619  
620  
621  
622  
623  
624  
625  
626  
627  
628  
629  
629  
630  
631  
632  
633  
634  
635  
636  
637  
638  
639  
640  
641  
642  
643  
644  
645  
646  
647  
648  
649  
650  
651  
652  
653  
654  
655  
656  
657  
658  
659  
659  
660  
661  
662  
663  
664  
665  
666  
667  
668  
669  
669  
670  
671  
672  
673  
674  
675  
676  
677  
678  
679  
679  
680  
681  
682  
683  
684  
685  
686  
687  
688  
689  
689  
690  
691  
692  
693  
694  
695  
696  
697  
698  
699  
699  
700  
701  
702  
703  
704  
705  
706  
707  
708  
709  
709  
710  
711  
712  
713  
714  
715  
716  
717  
718  
719  
719  
720  
721  
722  
723  
724  
725  
726  
727  
728  
729  
730  
731  
732  
733  
734  
735  
736  
737  
738  
739  
740  
741  
742  
743  
744  
745  
746  
747  
748  
749  
749  
750  
751  
752  
753  
754  
755  
756  
757  
758  
759  
759  
760  
761  
762  
763  
764  
765  
766  
767  
768  
769  
769  
770  
771  
772  
773  
774  
775  
776  
777  
778  
779  
779  
780  
781  
782  
783  
784  
785  
786  
787  
788  
789  
789  
790  
791  
792  
793  
794  
795  
796  
797  
798  
799  
799  
800  
801  
802  
803  
804  
805  
806  
807  
808  
809  
809  
810  
811  
812  
813  
814  
815  
816  
817  
818  
819  
819  
820  
821  
822  
823  
824  
825  
826  
827  
828  
829  
829  
830  
831  
832  
833  
834  
835  
836  
837  
838  
839  
839  
840  
841  
842  
843  
844  
845  
846  
847  
848  
849  
849  
850  
851  
852  
853  
854  
855  
856  
857  
858  
859  
859  
860  
861  
862  
863  
864  
865  
866  
867  
868  
869  
869  
870  
871  
872  
873  
874  
875  
876  
877  
878  
879  
879  
880  
881  
882  
883  
884  
885  
886  
887  
888  
889  
889  
890  
891  
892  
893  
894  
895  
896  
897  
898  
899  
899  
900  
901  
902  
903  
904  
905  
906  
907  
908  
909  
909  
910  
911  
912  
913  
914  
915  
916  
917  
918  
919  
919  
920  
921  
922  
923  
924  
925  
926  
927  
928  
929  
929  
930  
931  
932  
933  
934  
935  
936  
937  
938  
939  
939  
940  
941  
942  
943  
944  
945  
946  
947  
948  
949  
949  
950  
951  
952  
953  
954  
955  
956  
957  
958  
959  
959  
960  
961  
962  
963  
964  
965  
966  
967  
968  
969  
969  
970  
971  
972  
973  
974  
975  
976  
977  
978  
979  
979  
980  
981  
982  
983  
984  
985  
986  
987  
988  
989  
989  
990  
991  
992  
993  
994  
995  
996  
997  
998  
999  
999  
1000  
1001  
1002  
1003  
1004  
1005  
1006  
1007  
1008  
1009  
1009  
1010  
1011  
1012  
1013  
1014  
1015  
1016  
1017  
1018  
1019  
1019  
1020  
1021  
1022  
1023  
1024  
1025  
1026  
1027  
1028  
1029  
1029  
1030  
1031  
1032  
1033  
1034  
1035  
1036  
1037  
1038  
1039  
1039  
1040  
1041  
1042  
1043  
1044  
1045  
1046  
1047  
1048  
1049  
1049  
1050  
1051  
1052  
1053  
1054  
1055  
1056  
1057  
1058  
1059  
1059  
1060  
1061  
1062  
1063  
1064  
1065  
1066  
1067  
1068  
1069  
1069  
1070  
1071  
1072  
1073  
1074  
1075  
1076  
1077  
1078  
1079  
1079  
1080  
1081  
1082  
1083  
1084  
1085  
1086  
1087  
1088  
1089  
1089  
1090  
1091  
1092  
1093  
1094  
1095  
1096  
1097  
1098  
1099  
1099  
1100  
1101  
1102  
1103  
1104  
1105  
1106  
1107  
1108  
1109  
1109  
1110  
1111  
1112  
1113  
1114  
1115  
1116  
1117  
1118  
1119  
1119  
1120  
1121  
1122  
1123  
1124  
1125  
1126  
1127  
1128  
1129  
1129  
1130  
1131  
1132  
1133  
1134  
1135  
1136  
1137  
1138  
1139  
1139  
1140  
1141  
1142  
1143  
1144  
1145  
1146  
1147  
1148  
1149  
1149  
1150  
1151  
1152  
1153  
1154  
1155  
1156  
1157  
1158  
1159  
1159  
1160  
1161  
1162  
1163  
1164  
1165  
1166  
1167  
1168  
1169  
1169  
1170  
1171  
1172  
1173  
1174  
1175  
1176  
1177  
1178  
1179  
1179  
1180  
1181  
1182  
1183  
1184  
1185  
1186  
1187  
1188  
1189  
1189  
1190  
1191  
1192  
1193  
1194  
1195  
1196  
1197  
1198  
1199  
1199  
1200  
1201  
1202  
1203  
1204  
1205  
1206  
1207  
1208  
1209  
1209  
1210  
1211  
1212  
1213  
1214  
1215  
1216  
1217  
1218  
1219  
1219  
1220  
1221  
1222  
1223  
1224  
1225  
1226  
1227  
1228  
1229  
1229  
1230  
1231  
1232  
1233  
1234  
1235  
1236  
1237  
1238  
1239  
1239  
1240  
1241  
1242  
1243  
1244  
1245  
1246  
1247  
1248  
1249  
1249  
1250  
1251  
1252  
1253  
1254  
1255  
1256  
1257  
1258  
1259  
1259  
1260  
1261  
1262  
1263  
1264  
1265  
1266  
1267  
1268  
1269  
1269  
1270  
1271  
1272  
1273  
1274  
1275  
1276  
1277  
1278  
1279  
1280  
1281  
1282  
1283  
1284  
1285  
1286  
1287  
1288  
1289  
1289  
1290  
1291  
1292  
1293  
1294  
1295  
1296  
1297  
1298  
1299  
1299  
1300  
1301  
1302  
1303  
1304  
1305  
1306  
1307  
1308  
1309  
1309  
1310  
1311  
1312  
1313  
1314  
1315  
1316  
1317  
1318  
1319  
1320  
1321  
1322  
1323  
1324  
1325  
1326  
1327  
1328  
1329  
1329  
1330  
1331  
1332  
1333  
1334  
1335  
1336  
1337  
1338  
1339  
1339  
1340  
1341  
1342  
1343  
1344  
1345  
1346  
1347  
1348  
1349  
1349  
1350  
1351  
1352  
1353  
1354  
1355  
1356  
1357  
1358  
1359  
1359  
1360  
1361  
1362  
1363  
1364  
1365  
1366  
1367  
1368  
1369  
1369  
1370  
1371  
1372  
1373  
1374  
1375  
1376  
1377  
1378  
1379  
1379  
1380  
1381  
1382  
1383  
1384  
1385  
1386  
1387  
1388  
1389  
1389  
1390  
1391  
1392  
1393  
1394  
1395  
1396  
1397  
1398  
1399  
1399  
1400  
1401  
1402  
1403  
1404  
1405  
1406  
1407  
1408  
1409  
1409  
1410  
1411  
1412  
1413  
1414  
1415  
1416  
1417  
1418  
1419  
1419  
1420  
1421  
1422  
1423  
1424  
1425  
1426  
1427  
1428  
1429  
1429  
1430  
1431  
1432  
1433  
1434  
1435  
1436  
1437  
1438  
1439  
1439  
1440  
1441  
1442  
1443  
1444  
1445  
1446  
1447  
1448  
1449  
1449  
1450  
1451  
1452  
1453  
1454  
1455  
1456  
1457  
1458  
1459  
1459  
1460  
1461  
1462  
1463  
1464  
1465  
1466  
1467  
1468  
1469  
1469  
1470  
1471  
1472  
1473  
1474  
1475  
1476  
1477  
1478  
1479  
1479  
1480  
1481  
1482  
1483  
1484  
1485  
1486  
1487  
1488  
1489  
1489  
1490  
1491  
1492  
1493  
1494  
1495  
1496  
1497  
1498  
1499  
1499  
1500  
1501  
1502  
1503  
1504  
1505  
1506  
1507  
1508  
1509  
1509  
1510  
1511  
1512  
1513  
1514  
1515  
1516  
1517  
1518  
1519  
1519  
1520  
1521  
1522  
1523  
1524  
1525  
1526  
1527  
1528  
1529  
1529  
1530  
1531  
1532  
1533  
1534  
1535  
1536  
1537  
1538  
1539  
1539  
1540  
1541  
1542  
1543  
1544  
1545  
1546  
1547  
1548  
1549  
1549  
1550  
1551  
1552  
1553  
1554  
1555  
1556  
1557  
1558  
1559  
1559  
1560  
1561  
1562  
1563  
1564  
1565  
1566  
1567  
1568  
1569  
1569  
1570  
1571  
1572  
1573  
1574  
1575  
1576  
1577  
1578  
1579  
1579  
1580  
1581  
1582  
1583  
1584  
1585  
1586  
1587  
1588  
1589  
1589  
1590  
1591  
1592  
1593  
1594  
1595  
1596  
1597  
1598  
1599  
1599  
1600  
1601  
1602  
1603  
1604  
1605  
1606  
1607  
1608  
1609  
1609  
1610  
1611  
1612  
1613  
1614  
1615  
1616  
1617  
1618  
1619  
1619  
1620  
1621  
1622  
1623  
1624  
1625  
1626  
1627  
1628  
1629  
1629  
1630  
1631  
1632  
1633  
1634  
1635  
1636  
1637  
1638  
1639  
1639  
1640  
1641  
1642  
1643  
1644  
1645  
1646  
1647  
1648  
1649  
1649  
1650  
1651  
1652  
1653  
1654  
1655  
1656  
1657  
1658  
1659  
1659  
1660  
1661  
1662  
1663  
1664  
1665  
1666  
1667  
1668  
1669  
1669  
1670  
1671  
1672  
1673  
1674  
1675  
1676  
1677  
1678  
1679  
1679  
1680  
1681  
1682  
1683  
1684  
1685  
1686  
1687  
1688  
1689  
1689  
1690  
1691  
1692  
1693  
1694  
1695  
1696  
1697  
1698  
1699  
1699  
1700  
1701  
1702  
1703  
1704  
1705  
1706  
1707  
1708  
1709  
1709  
1710  
1711  
1712  
1713  
1714  
1715  
1716  
1717  
1718  
1719  
1719  
1720  
1721  
1722  
1723  
1724  
1725  
1726  
1727  
1728  
1729  
1729  
1730  
1731  
1732  
1733  
1734  
1735  
1736  
1737  
1738  
1739  
1739  
1740  
1741  
1742  
1743  
1744  
1745  
1746  
1747  
1748  
1749  
1749  
1750  
1751  
1752  
1753  
1754  
1755  
1756  
1757  
1758  
1759  
1759  
1760  
1761  
1762  
1763  
1764  
1765  
1766  
1767  
1768  
1769  
1769  
1770  
1771  
1772  
1773  
1774  
1775  
1776  
1777  
1778  
1779  
1779  
1780  
1781  
1782  
1783  
1784  
1785  
1786  
1787  
1788  
1789  
1789  
1790  
1791  
1792  
1793  
1794  
1795  
1796  
1797  
1798  
1799  
1799  
1800  
1801  
1802  
1803  
1804  
1805  
1806  
1807  
1808  
1809  
1809  
1810  
1811  
1812  
1813  
1814  
1815  
1816  
1817  
1818  
1819  
1819  
1820  
1821  
1822  
1823  
1824  
1825  
1826  
1827  
1828  
1829  
1829  
1830  
1831  
1832  
1833  
1834  
1835  
1836  
1837  
1838  
1839  
1839  
1840  
1841  
1842  
1843  
1844  
1845  
1846  
1847  
1848  
1849  
1849  
1850  
1851  
1852  
1853  
1854  
1855  
1856  
1857  
1858  
1859  
1859  
1860  
1861  
1862  
1863  
1864  
1865  
1866  
1867  
1868  
1869  
1869  
1870  
1871  
1872  
1873  
1874  
1875  
1876  
1877  
1878  
1879  
1879  
1880  
1881  
1882  
1883  
1884  
1885  
1886  
1887  
1888  
1889  
1889  
1890  
1891  
1892  
1893  
1894  
1895  
1896  
1897  
1898  
1899  
1899  
1900  
1901  
1902  
1903  
1904  
1905  
1906  
1907  
1908  
1909  
1909  
1910  
1911  
1912  
1913  
1914  
1915  
1916  
1917  
1918  
1919  
1919  
1920  
1921  
1922  
1923  
1924  
1925  
1926  
1927  
1928  
1929  
1929  
1930  
1931  
1932  
1933  
1934  
1935  
1936  
1937  
1938  
1939  
1939  
1940  
1941  
1942  
1943  
1944  
1945  
1946  
1947  
1948  
1949  
1949  
1950  
1951  
1952  
1953  
1954  
1955  
1956  
1957  
1958  
1959  
1959  
1960  
1961  
1962  
1963  
1964  
1965  
1966  
1967  
1968  
1969  
1969  
1970  
1971  
1972  
1973  
1974  
1975  
1976  
1977  
1978  
1979  
1979  
1980  
1981  
1982  
1983  
1984  
1985  
1986  
1987  
1988<br
```

## 2. alu 与 shifter

```

467  /*
468   * alu control
469   */
470- assign opcode_modified = (opcode[2:1]==2'b01)? Opcode[3:0] : {1'b0,Opcode[3:0]};
471- assign func_m = ({4{Rtype}} & InstReg [3:0]) | ({4{Ioprt}} & opcode_mod);
472- assign op2 = (~func_m[3] & func_m[1]) | (func_m[1] & ~func_m[0]);
473- assign op1 = ~func_m[2];
474- assign op0 = (func_m[2] & func_m[0]) | func_m[3];
475- assign ALUop[2] = ALUop0 | (op2 & ALUop1);
476- assign ALUop[1] = ~ALUop1 | ALUop0 | op1;
477- assign ALUop[0] = (ALUop1 & ALUop0) | (ALUop1 & ~ALUop0 & op0);
478-
479- assign ALU_A = Iblez? rdata2Reg: op_mov? 32'b0 : rdata0Reg;
480- assign ALU_B = Iblez? rdata1Reg: ALUsrc? imm_data : rdata2Reg;
481-
482  /*
483   * shifter
484   */
485- assign Shiftop = Func[1:0];
486- assign Shift_A = rdata2Reg;
487- assign Shift_B = Func[2]? rdataReg : {27'b0,sa};
488

```

```

397  /*
398   * alu control
399   */
400+ assign ALUop = ({3{Iload | Stype | jalr}} & 3'b000)//add
401+ | ({3{Btype}} & {1'b0, funct[2], funct[2] ^~ funct[1]}) //sub
402+ | ({3{Rtype}} & {funct[2:1], funct7[5] | funct[0]}) //slt
403+ | ({3{Ioprt}} & {funct[2:0]}) //sltu
404+
405+ assign ALU_A = rdata0Reg;
406+ assign ALU_B = ALUsrc? imm_data : rdata2Reg;
407+
408  /*
409   * shifter
410   */
410+ assign Shiftop = {func7[5], funct[2]};
411+ assign Shift_A = rdataReg;
412+
413

```

shifter

0000000	rs2	rs1	000	rd	0110011	R add ✓
0100000	rs2	rs1	001	rd	0110011	R sub
0000000	rs2	rs1	010	rd	0110011	R sll
0000000	rs2	rs1	011	rd	0110011	R slt ✓ Rtype
0000000	rs2	rs1	100	rd	0110011	R xor
0000000	rs2	rs1	101	rd	0110011	R srl
0100000	rs2	rs1	101	rd	0110011	R sra
0000000	rs2	rs1	110	rd	0110011	R or ✓
0000000	rs2	rs1	111	rd	0110011	R and ✓

RISC-V 的 alu 与 shifter 的 opcode 由指令字段里的 function 码决定。

对 Rtype 和 Itype，发现除了 add 和 sub 的三位 function 码相同，其他操作的三位 function 码都不同。add 和 sub 的差别在于七位 function 码的第 5 位，将其与三位 function 码第 0 位取或，即可在不影响其他的情况下区分。因此可以修改 alu.v 中的 ALUop 如下：

```

assign op_and = ALUop == 3'b111;
assign op_or = ALUop == 3'b110;
assign op_add = ALUop == 3'b000;
assign op_sub = ALUop == 3'b001;
assign op_slt = ALUop == 3'b010;
assign op_sltu = ALUop == 3'b011;
assign op_xor = ALUop == 3'b100;
assign op_nor = ALUop == 3'b101;

```

对 load, store 和 jalr，需要的都是加法操作，即 aluop 为 000。

对 Btype, beq 和 bne 需要减法操作，ble 和 bge 需要 slt 操作，bltu 和 bgeu 需要 sltu 操作，根据三位 function 码化简得到 Btype 需要的 aluop 表达式为

`{1'b0, funct[2], funct[2] ^~ funct[1]}.`

shifttop 通过观察移位指令，发现依靠七位 function 码的第 5 位和三位 function 的第 2 位就可以区分。因此修改 shifter.v 文件中的 shiftop 编码如下：

```
assign sll = Shifttop == 2'b00;  
assign srl = Shifttop == 2'b01;  
assign sra = Shifttop == 2'b11;
```

相比于 mips 的设计，这一块没有采用之前先解码出两位 aluop 控制再化简的方法，理解和修改起来更加简单，但可能有些许的效率降低。

### 3. 控制单元与数据通路

```

349 control unit
350 */
351 assign MemRead = current_state == LD;
352 assign MemWrite = current_state == ST;
353 assign RegDst = Rtype;
354 assign Jump = Jtype | op_jump;
355 assign ALUSrc = Iload | Istore | Ioprt;
356 assign Mem2Reg = Iload;
357 assign RegWrite = Rtype | Iload | Ioprt | jal;
358 assign ALUOp1 = Rtype | Ioprt | Iblez | REGIMM;
359 assign ALUOp0 = Ibranch | REGIMM ;
360 assign PCsrc = (Ibranch & (opcode[0] ^ ALU_zero)) | (REGIMM & (rt[0] ^
361
362 /*
363 data path
364 */
365 assign mov_judge = op_mov & (Func[0] ~> rdata2Reg==0);
366 assign lui_data = {InstReg[15:0],16'd0};
367 assign raddr1 = rs;
368 assign raddr2 = REGIMM[0:rt];
369 assign RF_wen = current_state == WB & ((jr | mov_judge) ? 0:RegWrite);
370 assign RF_waddr = r;
371 assign Data_result = ({(32{jumpal}) & PC_result}
372 | {(32{lui})} & lui_data)
373 | {(32{op_mov}) & rdataReg}
374 | {(32{op_Shift}) & Shift_result}
375 | {(32{-jumpal} & lui & ~op_mov & ~op_Shift)} & ALU_
376 assign RF_wdata = MemReg? MemReg: ResultReg;
377 assign Address = {ALUReg[31:2], 2'b00};
378
379 /*
380 data path
381 */
382 assign raddr1 = rs1;
383 assign raddr2 = rs2;
384 assign RF_wen = current_state[5];
385 assign RF_waddr = rd;
386 assign Data_result = ({(32{jal | jalr}) & PC_plus4}
387 | {(32{auipc}) & PC_tar}
388 | {(32{lui}) & Utype_ext}
389 | {(32{shift}) & Shift_result}
390 | {(32{(Rtype | Ioprt) & ~shift}) & ALU_result};
391
392 assign RF_wdata = Mem2Reg? MemReg: ResultReg;
393 assign Address = {ALUReg[31:2], 2'b00};
394
395
396

```

因为 Rtype 中没有 move 和 jump 的类型，写回时也只会写到 rd，因此简化了很多控制信号。写入 rf 的数据，还是用一个 mux 根据操作选择。

#### 4. 立即数和 PC

```
361      /*  
362      sign extension  
363      */  
364-     assign sign_ext = {{16{InstReg[15]}}, InstReg[15:0]};  
365-     assign zero_ext = { 16'b0 , InstReg[15:0]};  
366-     assign shift_ext = { sign_ext[29:0] , 2'b00};  
367-     assign imm_data = Opcode[2]? zero_ext : sign_ext;  
368  
  
369  
370      /*  
371      sign extension  
372      */  
373-     assign Ioprt_ext = {{20{InstReg[31]}}, InstReg[31:20]};  
374-     assign Btype_ext = {{20{InstReg[31]}}, InstReg[7] , InstReg[30:25] , InstReg[31:25]};  
375-     assign Stype_ext = {{20{InstReg[31]}}, InstReg[31:25] , InstReg[11:7]};  
376-     assign Uttype_ext = { InstReg[31:12], 12'd0};  
377-     assign Jtype_ext = {{12{InstReg[31]}}, {InstReg[19:12], InstReg[20], InstReg[11:12]} };  
378-     assign imm_data = ({32{Ioprt | Iload | jalr}} & Ioprt_ext)  
379-           | ({32{Btype} } & Btype_ext)  
380-           | ({32{Stype}} & Stype_ext)  
381-           | ({32{Uttype}} & Uttype_ext)  
382-           | ({32{jalr}} & Jtype_ext);  
383  
384
```

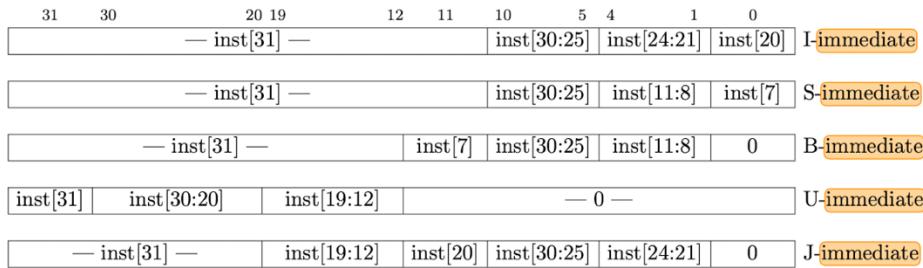


Figure 2.4: Types of **immediate** produced by RISC-V instructions. The fields are labeled with the instruction bits used to construct their value. Sign extension always uses `inst[31]`.

risc-v 的立即数设计很有特色，指令中表示的是 bit 在表示的立即数中的位置 `imm[x]`，立即数的存储有可能是分散在指令字段中的。如上图，risc-v 文档中直接给出了不同类型立即数用指令位描述的规则，因此直接用位拼接将其描述为 verilog 代码即可。

```

370  /*
371   PC
372 */
373 assign PC_plus4 = PC + 32'd4;
374 assign PC_addr = jumpal ? 32'd4 : shift_ext;
375 assign PC_result = PC_plus4 + PC_addr;
376 assign Jump_tar = {PC_plus4[31:28],instReg[25:0],2'b00};
377 assign Jump_addr = op_jump? rdataReg : Jump_tar;
378 assign PC_tar = PCsrc? PC_result : PC_plus4;
379 assign PC_next = Jump? Jump_addr : PC_tar;
380
381 always @(posedge clk) begin
382   if(rst) PC<=32'd0;
383   else if(current_state == EX || current_state == ID && NOP)
384     PC <= PC_next;
385   end
386
322 /*
323 PC
324 */
325 assign Branch = Btype & (!~funct[2] & (funct[0] ^ ALU_zero)) | (funct[2]
326 assign PC_plus4 = PC + 32'd4;
327 assign PC_tar = PC + imm_data;
328 assign jalr_addr = {ALU_result[31:1] , 1'b0};
329 assign PC_next = ({32'Branch | jal} & PC_tar)
330   | ({32'jalr} & jalr_addr)
331   | ({32'Branch & ~jal & ~jalr} & PC_plus4);
332
333 always @(posedge clk) begin
334   if(rst)
335     PC <= 32'd0;
336   else if(current_state == EX)
337     PC <= PC_next;
338
339

```

PC 更新的值即 `PC_next` 主要有 `branch`, `jal`, `jalr` 和顺序执行下一条四种类型。对 `Btype` 指令，需要结合 `alu` 的 `zero` 信号判断，观察 `Btype` 的 function 码差异化简可以得到控制信号 `Branch` 的表达式。`Btype` 和 `jal` 跳转的地址为当前 `PC` 值加上立即数，`jalr` 跳转的地址为 `ALU` 的结果左移补 0。

## 二、实验过程中遇到的问题、对问题的思考过程及解决方法（比如 RTL 代码中出现的逻辑 bug，仿真、云平台调试过程中的难点等）

因为此前实验报告中提到过的 `vscode+xvlog` 编写流程，RTL 代码基本上不会语法上的 bug。

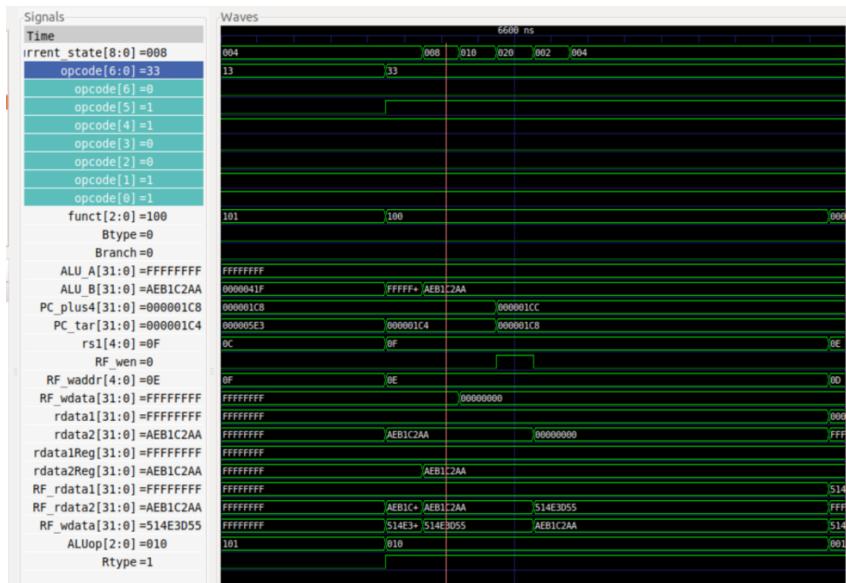
1. 仿真的时候经常会出现从 rf 中读取的数据错误的情况，这个时候就需要顺着 rf\_wen 信号找到错误数据的写入点。例如下图，找到错误数据观察发现 aluop 在这时出了错误：

```

...
...
@# -417,7 +417,7 @@ module custom_cpu(
417 417      /*
418 418      assign ALUop = ({3{Iload | Stype | jalr}} & 3'b000)//add
419 419          | ({3{Btype}} & {1'b0, funct[2], funct[2] ~ funct[1]}) 
420 420      -          | ({3{Rtype}} & {funct[2:1], funct7[5] | funct[2:1]}) 
421 421      +          | ({3{Rtype}} & {funct[2:1], funct7[5] | funct[0]}) 
421

```

写代码脑子不清醒而导致的奇怪错误与改正



波形错误点

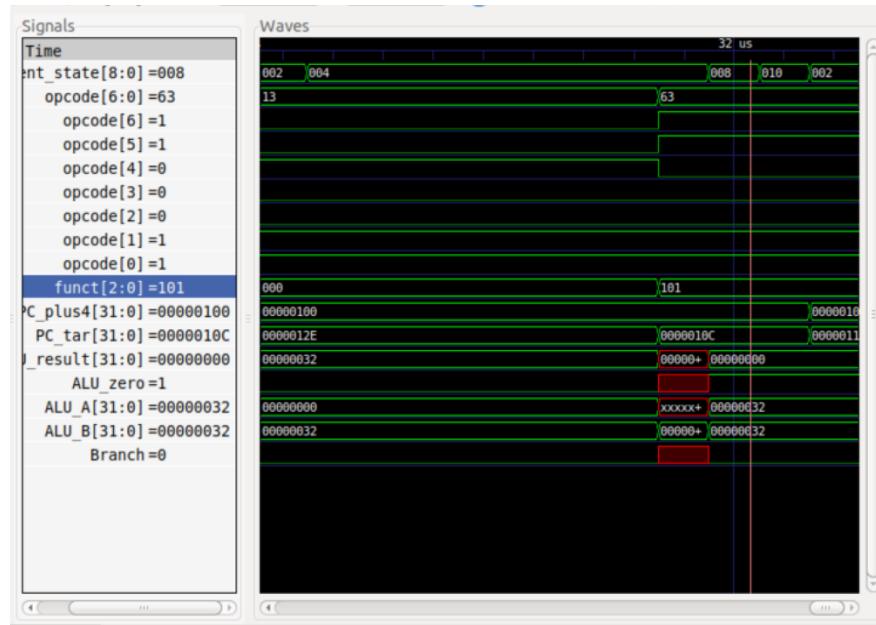
2.Branch 控制信号在编写的时候试图化简，但化简得太多，导致没有在需要的时候拉高。最后权衡之下为了可读性没有化到最简。

```

...
...
@# -340,7 +340,7 @@ module custom_cpu(
340 340      /*
341 341      PC
342 342      */
343 343      -      assign Branch = Btype & (funct[0] ^ ALU_zero);
343 343      +      assign Branch = Btype & ((~funct[2] & (funct[0] ^ ALU_zero)) | (funct[2] & (funct[0] ^~ ALU_zero)));

```

branch 的错误及改正代码



branch 的错误波形

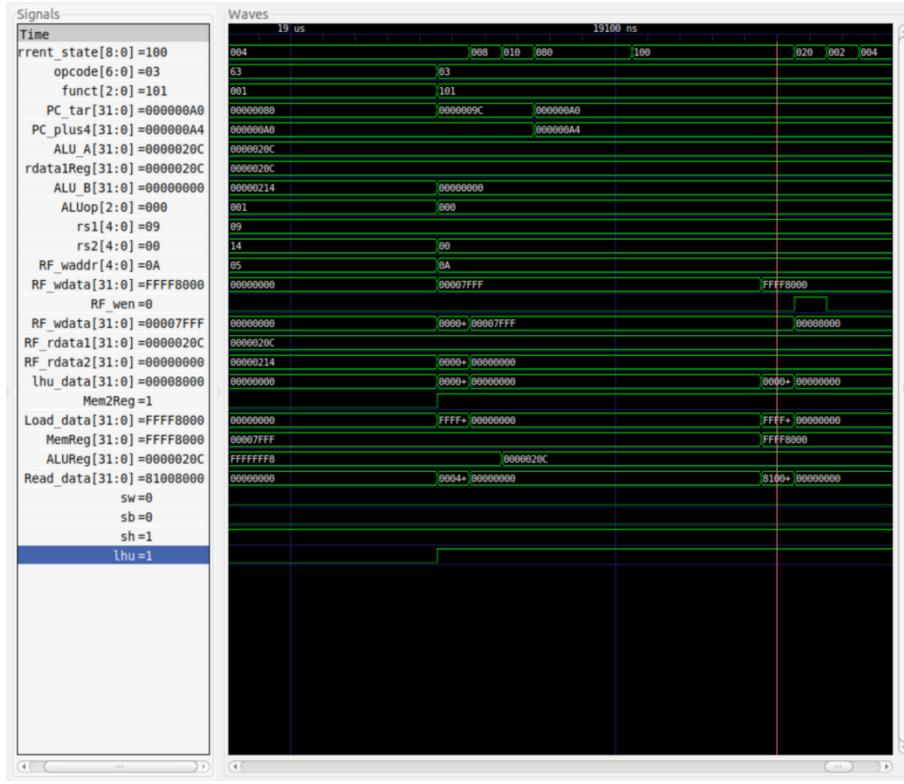
3.load 和 store 里的各种类型在设计时根据编码的相似性共享了一部分控制信号，即 lb, lh, lw 用的是前面解码的 sb, sh, sw。在一开始设计时前面的区分只用了两位，导致 lbu 拉高的时候 sb 一定也是拉高的，不符合控制信号只能有一个的原则，导致出错。

```

...  ... @@ -358,9 +358,9 @@ module custom_cpu(
358 358     /*
359 359     store
360 360     */
361 - assign sb = ~funct[1] & ~funct[0];
362 - assign sh = ~funct[1] & funct[0];
363 - assign sw = funct[1] & ~funct[0];
361 + assign sb = ~funct[2] & ~funct[1] & ~funct[0];
362 + assign sh = ~funct[2] & ~funct[1] & funct[0];
363 + assign sw = ~funct[2] & funct[1] & ~funct[0];
364 364
365 365     assign addrtype[0] = ~ALUReg[1] & ~ALUReg[0];//2'b00;
366 366     assign addrtype[1] = ~ALUReg[1] & ALUReg[0];//2'b01;
... ...
379 379     /*
380 380     load
381 381     */
382 - assign lbu = funct[2] & sb;
383 - assign lhu = funct[2] & sh;
382 + assign lbu = funct[2] & ~funct[1] & ~funct[0];
383 + assign lhu = funct[2] & ~funct[1] & funct[0];

```

错误及改正代码



错误波形

4. 因为 prj4 的代码对 prj3 的代码有依赖关系，共享了相似的状态机代码。

此前写完 4 时 3 还没验收，状态机第三段具有错误的含 latch 的写法，因此在 prj4 最后也做了相似的修正。

### 三、 对讲义中思考题（如有）的理解和回答

#### -MIPS/RISC-V 指令性集性能分析对比

RISC-V 的指令字段对齐较为统一，优化了 CPU 的取指和译码速度，比如立即数按 RISC-V 的设计方法可以立即产生，可以说是一种以空间换时间的方法。

RISC-V 作为 RISC 架构，凸显了指令的精简。同时，除了我们设计的 RV32-I 标准版，RISC-V 指令还分为 RV16 压缩版、RV64 64bit 版本等，既能提高密度压缩也能扩展。同时指令集设计上采用了模块化的设置，任何子集都可以工作，用户能够灵活选择不同的模块组合，以满足不同的应用场景。而 MIPS 则是分开

处理这些不同的场景，分为 32 位、64 位和微型架构。

```
159 [15pz] A* 15-puzzle search: * Passed.  
160 >>cycle_cnt = 538382120  
161 >>load_cnt = 2112799  
162 >>instruction_cnt = 5287775  
163 >>wait_cnt = 145557037  
164 benchmark finished  
165 Hit 0 trap  
166 Hit good trap  
167 Launching bf benchmark...  
168 tggetattr: Inappropriate ioctl for device  
169 argv[1]: ../benchmark/microbench/bin/bf  
170 after init mapping  
171 after setting up CPU reset  
172 after write PL DDR  
173 after read PL DDR  
174 after releasing CPU reset  
175 [bf] Brainf**k interpreter: * Passed.  
176 >>cycle_cnt = 46515254  
177 >>load_cnt = 94514  
178 >>instruction_cnt = 559113  
179 >>wait_cnt = 6588406
```

```
153 [15pz] A* 15-puzzle search: * Passed.  
154 >>cycle_cnt = 529227940  
155 >>instruction_cnt = 5224490  
156 benchmark finished  
157 Hit 0 trap  
158 Hit good trap  
159 Launching bf benchmark...  
160 tggetattr: Inappropriate ioctl for device  
161 argv[1]: ../benchmark/microbench/bin/bf  
162 after init mapping  
163 after setting up CPU reset  
164 after write PL DDR  
165 after read PL DDR  
166 after releasing CPU reset  
167 [bf] Brainf**k interpreter: * Passed.  
168 >>cycle_cnt = 39218079  
169 >>instruction_cnt = 452863
```

用我们设计的性能计数器对比来看，riscv 在时钟周期和指令数上都相对 mips 有一定减少。

四、在课后，你花费了大约 5 小时完成此次实验。

五、对于此次实验的心得、感受和建议（比如实验是否过于简单或复杂，是否缺少了某些你认为重要的信息或参考资料，对实验项目的建议，对提供帮助的同学的感谢，以及其他想与任课老师交流的内容等）

由于是把 mipsCPU 代码复制过来改写，因此我先 commit 了一次原始的 mips 代码，这样就可以方便使用 diff 来看改动的地方。不过后来想起 vscode 可以直接可视化对比代码。改写的时候涉及到很多信号的增删，如果漏掉声明，代码不会报错，但会显示高阻值无法过仿真。但得益于之前对代码风格做的一些

规范（参考了部分例如高通、华为 verilog 规范），将所有信号都分类列于开头并作对齐，因此比较方便判断是否有漏的信号。

还是希望可以看到一些其他同学对于 CPU 设计的处理，取长补短。我想到一个比较简单的实现方式，是每次提交实验报告 ddl 后开放该实验 gitlab 仓库的可见性为 public，让感兴趣的同学可以看看别人的实验报告和代码。