

Prática 03: Álgebra de Boole e família CMOS

Ana Clara Brusamarello Barbosa – 2121101054

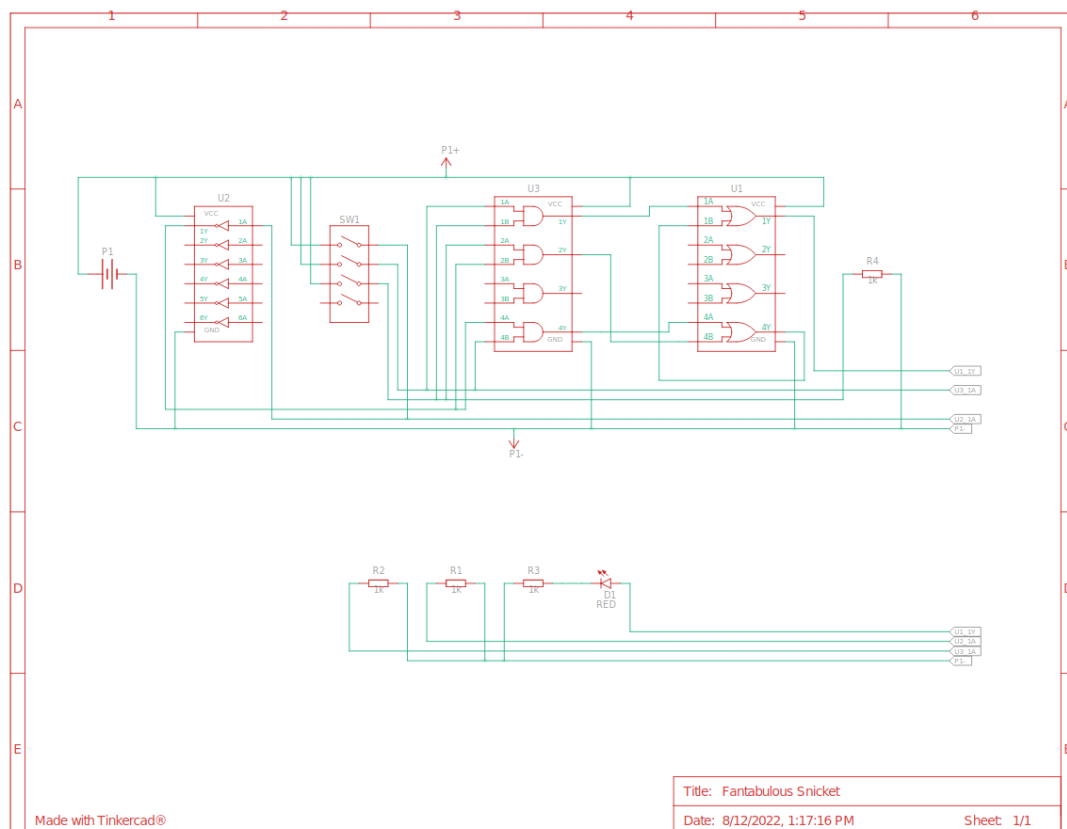
Jonathan Gotz Correa - 2121101052

Professores: Adriano Padilha e Luciano Caimi

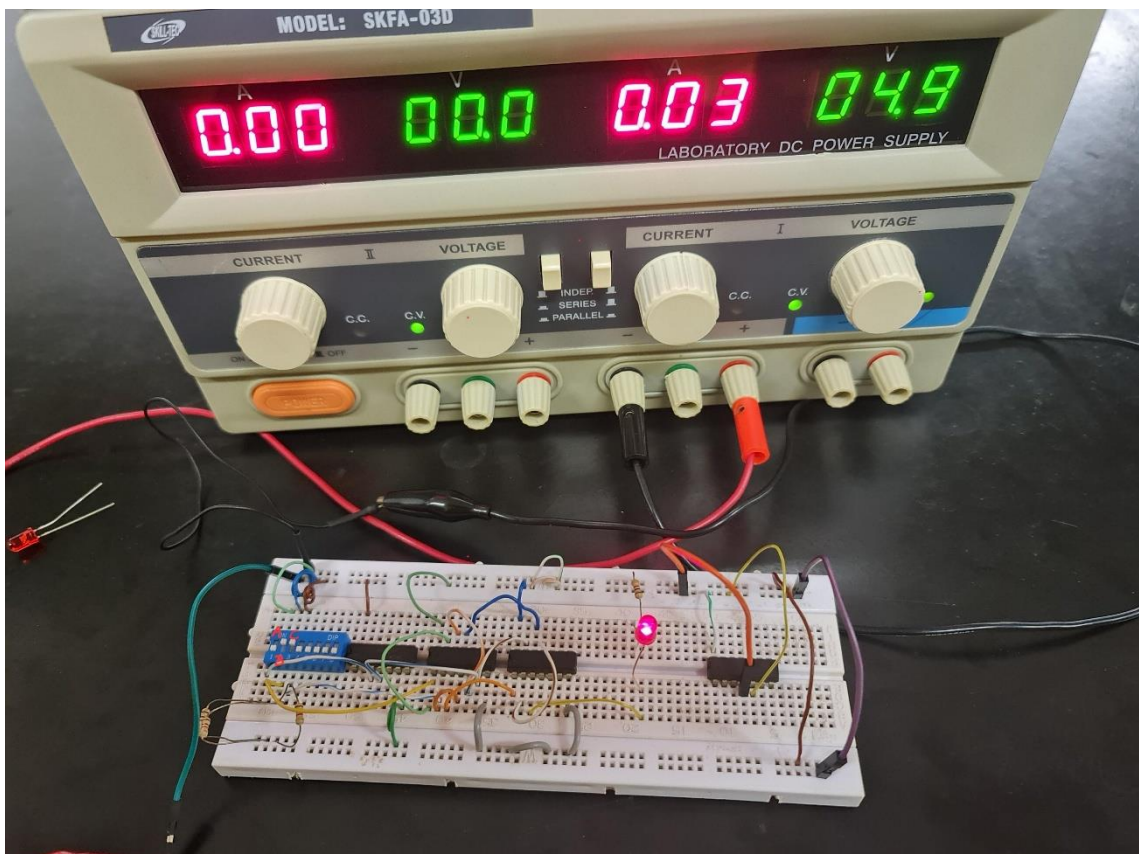
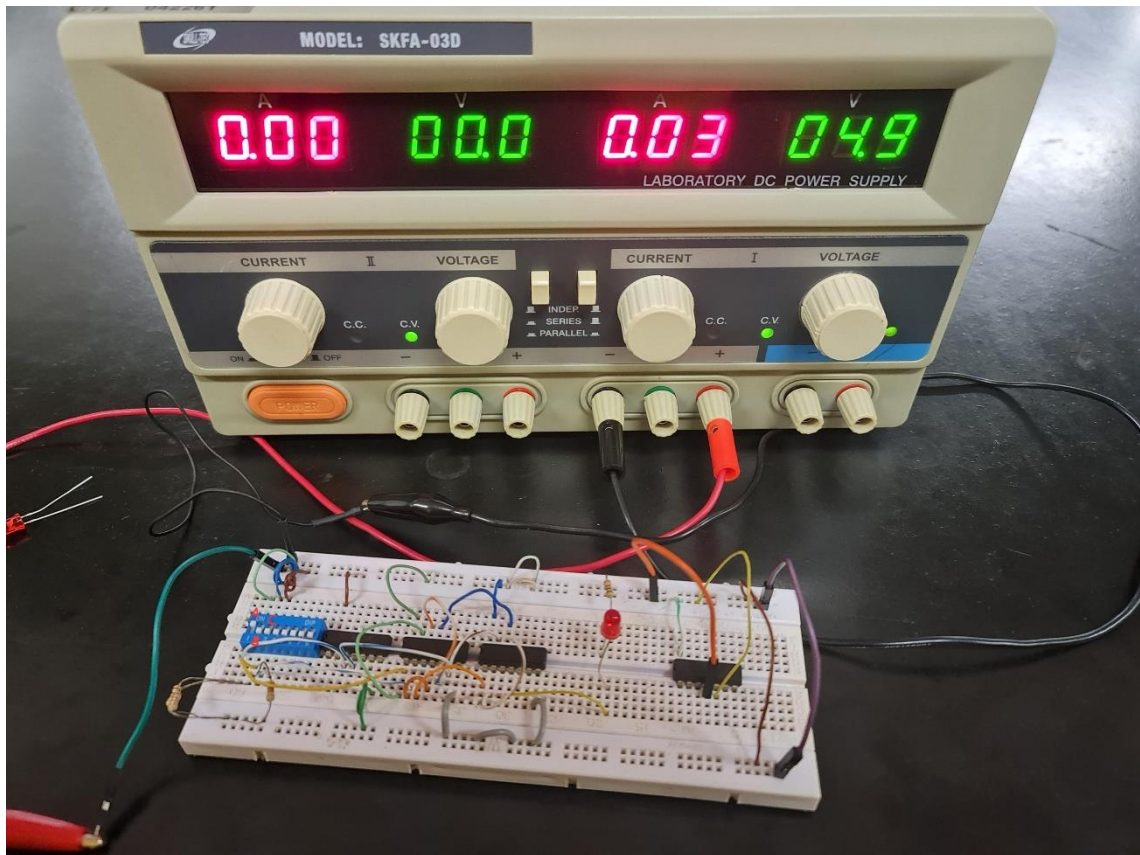
1.1 - Listar os CIs utilizados e a respectiva função lógica:

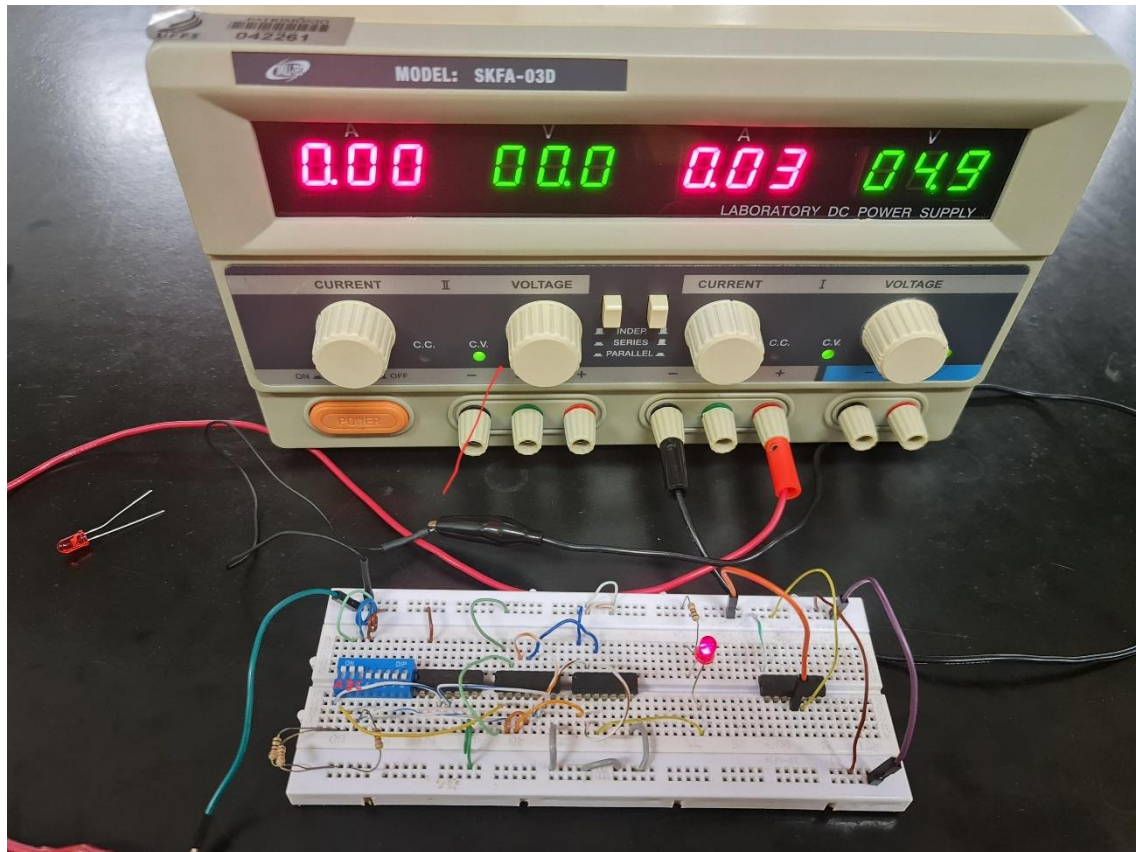
R: Dois CI's 7404 (porta NOT), um CI 7432 (porta OR) e um CI 7408 (porta AND).

1.2 - Apresentar o desenho do circuito lógico efetivamente montado identificando o CI e as entradas e saídas utilizadas de cada CI:



1.3 - Apresentadas fotos identificando entradas e saídas (led); as fotos devem retratar 2 condições de entrada em que o led está ligado e 1 condição em que o led desligado:





1.4 - A tabela-verdade do circuito:

- 1 0 Recolher linhas duplicadas Mostrar todas as linhas

8 das linhas de 8 mostradas

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

1.5 - Apresente o tempo de atraso máximo de cada porta lógica;

R: porta AND = 20 nseg;
 porta OR = 20 nseg;
 porta NOT = 18 nseg.

- Apresente o trecho do datasheet com a informação acima;

Porta AND =

Switching Characteristics

(V _{CC} = 5 V, T _a = 25 °C)						
Item	Symbol	min.	typ.	max.	Unit	Condition
Propagation delay time	t _{PLH}	—	8	15	ns	C _L = 15 pF, R _L = 2 k Ω
	t _{PHL}	—	10	20	ns	

Note: Refer to Test Circuit and Waveform of the Common Item "TTL Common Matter (Document No.: REJ27D0005-0100)".

Porta OR =

Switching Characteristics (C_L = 50 pF, Input t_r = t_f = 6 ns)

Item	Symbol	V _{CC} (V)	T _a = 25 °C			T _a = -40 to +85 °C		Unit	Test Conditions
			Min	Typ	Max	Min	Max		
Propagation delay time	t _{PLH}	2.0	—	—	100	—	125	ns	
		4.5	—	10	20	—	25		
		6.0	—	—	17	—	21		
	t _{PHL}	2.0	—	—	100	—	125	ns	
		4.5	—	10	20	—	25		
		6.0	—	—	17	—	21		

Porta NOT =

Switching Characteristics (C_L = 50 pF, Input t_r = t_f = 6 ns)

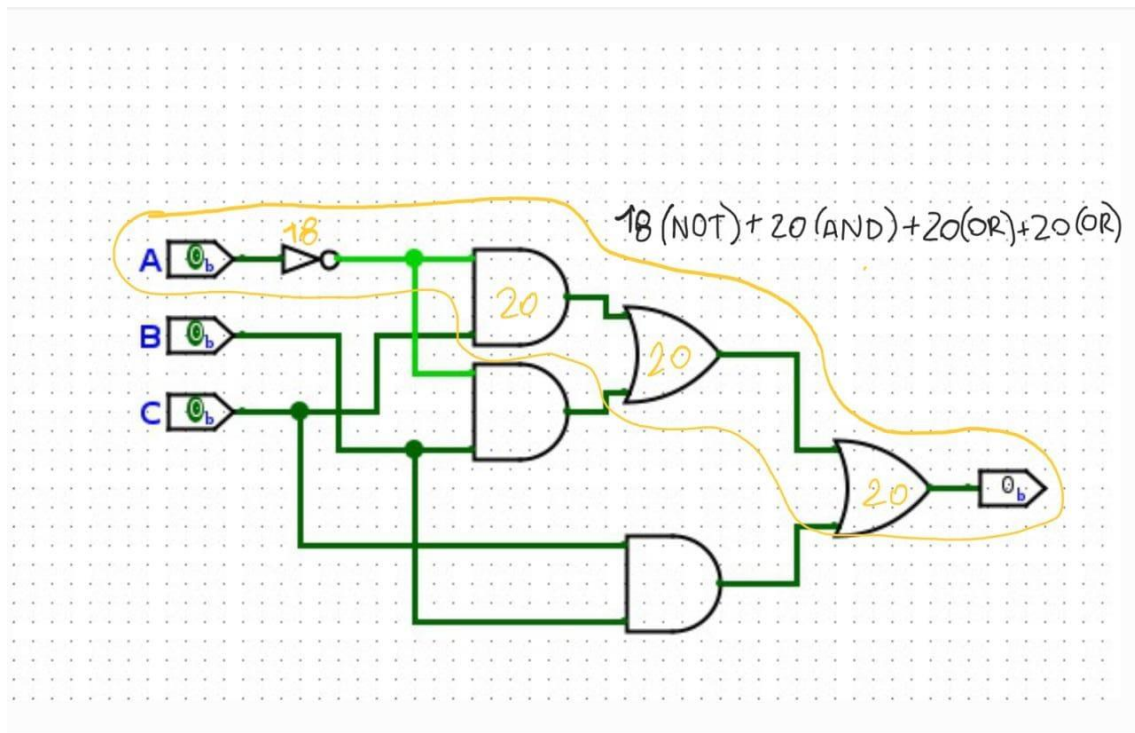
Item	Symbol	V _{CC} (V)	T _a = 25 °C			T _a = -40 to +85 °C		Unit	Test Conditions
			Min	Typ	Max	Min	Max		
Propagation delay time	t _{PLH}	2.0	—	—	90	—	115	ns	
		4.5	—	7	18	—	23		
		6.0	—	—	15	—	20		
	t _{PHL}	2.0	—	—	90	—	115	ns	
		4.5	—	8	18	—	23		
		6.0	—	—	15	—	20		

- Informe qual é o caminho crítico do sistema; (caminho de maior atraso entre uma entrada e a saída)

R: 76 nseg.

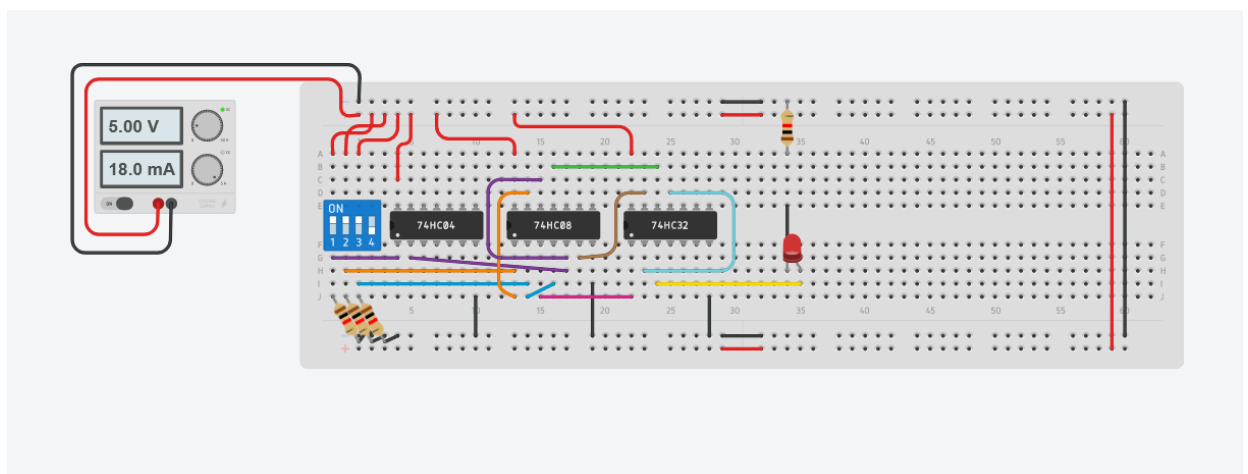
- Apresente o tempo de atraso total do caminho critico;

R: 18 (NOT) + 20 (AND) + 20 (AND) +20 (OR)



2 - Implemente o circuito no TinkerCad como montado na protoboard:

- Apresente o circuito do TinkerCad:



- Informe o link para acesso ao projeto do Tinkercad:

<https://www.tinkercad.com/things/88ot3lTC7QN-fantabulous-snicket/editel?sharecode=wulrELVwmAvmJr5vWafXWPSzV9Do3-8MoaG5Z4ftC1l>

3) Faça o circuito CMOS que implementa o circuito lógico (redes Pull-Up e Pull- Down):

- Apresente o circuito CMOS completo identificando cada uma das portas lógicas em cada uma das redes (Pull-Up) e (Pull-Down).

