

Trabalho 1: Máquinas de Estado no FPGA

Setembro de 2025

Professor: Ricardo Parizotto

GEX1209 - Sistemas Digitais

Turma 1

1 Descrição

O objetivo deste trabalho é desenvolver uma descrição de hardware utilizando HDL (**Verilog** ou VHDL) e sintetizar para FPGA. Mais especificamente, você deve construir uma máquina de estados finitos (FSM) que realize o controle de um elevador. O elevador deverá respeitar, obrigatoriamente, a seguinte especificação:

Se o elevador está parado e o andar requisitado é igual ao andar corrente, então o elevador continua parado.¹ Caso seja outro andar, o elevador irá até o andar desejado. Se o elevador já está em movimento, ele pode atender a novas requisições de andares, contanto que haja vagas no elevador e que o andar requisitado esteja na mesma direção do elevador. Caso esteja parado, e haja requisições simultâneas, deve-se priorizar a do andar que está mais próximo, lembrando de atender posteriormente à outra requisição. Por fim, o elevador deve voltar imediatamente para o primeiro andar caso o botão de emergência seja ativado.

O trabalho deverá apresentar, obrigatoriamente, os seguintes elementos:

- Deve haver pelo menos 5 andares.
- Mostrar o andar atual e se está subindo ou descendo.
- Responder às entradas da placa, correspondendo às requisições em cada andar em particular.
- Sincronizar utilizando um clock do FPGA. Reduza a frequência do clock para sincronizar as animações na placa e permitir teste com requisições simultâneas.
- Representar os andares usando entradas e saídas da placa.
- Atender às requisições do andar mais próximo. Se o elevador não está parado, o elevador não atende requisições para direções opostas.
- Mostrar o número de participantes no elevador. Caso o elevador esteja cheio, indicar usando algum elemento da placa.
- Usar entradas da placa para indicar a situação de emergência.

¹Lembre-se de que uma requisição corresponde ao andar desejado, e não a uma “ordem” para que o elevador vá até você.

Em relação aos elementos do FPGA, seja criativo. Use os elementos já vistos em aula, como LEDs, Displays e Switches para auxiliar na apresentação do trabalho. Além dos elementos já vistos, você pode explorar também outros elementos do FPGA, como a saída VGA para mostrar o elevador subindo ou descendo, ou ativar um beep quando o elevador chegar no andar desejado. Para a descrição do hardware, tente, sempre que possível, tornar o código modular, legível e bem documentado.

Entrega e Apresentação

O trabalho será avaliado através de apresentações presenciais, mostrando o funcionamento no FPGA e nos testbenches. Também é necessário entregar os artefatos produzidos. Há um limite para a data de entrega, que será até as **23h00 do dia 31 de outubro**. O arquivo de entrega deverá conter: (1) o código-fonte completo da descrição em Verilog (ou VHDL), (2) o testbench mostrando casos de teste utilizados durante a apresentação. A máquina de estados deve ser entregue previamente, até o dia 15 de outubro, de maneira digital. Não serão aceitas máquinas escritas a mão.

Critérios de Avaliação

O trabalho será avaliado de acordo com os seguintes critérios:

- (1 Ponto) **Máquina de Estados:** diagrama correto da máquina de estados.
- (3 Pontos) **Demonstração no FPGA:** funcionamento adequado dos requisitos exigidos e uso adequado de funcionalidades de entrada e saída do FPGA (switches, LEDs, botões, display).
- (2 Pontos) **Demonstração na Simulação:** os casos do testbench devem explorar condições da máquina e mostrar a máquina funcionando.
- (2 Pontos) **Organização e Clareza:** código comentado.
- (2 Pontos) **Apresentação Legal:** Clareza e Participação na apresentação [individual].

*Não é encorajado o uso de IA para o desenvolvimento desse trabalho. O objetivo do trabalho não é o resultado, mas **compreender o processo de design, simulação e prototipação**. O professor irá reservar tempo suficiente em aula para desenvolvimento do trabalho. Caso exista uso de IA, os estudantes devem indicar como usaram a ferramenta, qual foi, e a proporção de uso. É responsabilidade dos estudante o funcionamento correto do trabalho.*