Diseño Digital

División: Ingeniería Eléctrica		Departamento: Electrónica

Proyecto Final

Caja Fuerte

Profesor: M.I Ricardo Mota Marzano

Semestre 2022-2

Nombre completo del alumno	Firma
Mendiola Lobera Eduardo	
Roa López Jonathan Raúl	
Fecha de entrega: 06/Junio/2022	**Grupo: 02**

Objetivo general:

Desarrollar un proyecto final en el que se apliquen de forma práctica los conceptos abordados en el curso.

Planteamiento del problema

Desarrollar una caja fuerte con un conteo interno de errores, al tener 3 errores el sistema emite una alarma que solo puede ser desactivada con un botón de reset. Al ingresar la combinación correcta se abre la caja fuerte emitiendo una señal de apertura.

Desarrollo

Figura 1. Caja Negra de la caja de seguridad

Primero se planteó nuestra entidad de la caja de seguridad. Para las entradas se tienen las variables S, R, X que son los botones que controlan al primer, segundo y tercer display respectivamente. Además de también nuestro reloj CLK y el botón de reset que reinicia el sistema en caso de exceder el número de intentos.

Para las salidas se tienen los 7 segmentos de los displays, el buzzer que indica la alarma cuando se excedió el número de errores y el led de apertura que indica que la clave ingresada es la correcta.

Una vez definidas nuestras salidas y entradas procedimos a hacer nuestro análisis desde el máximo nivel de abstracción. Para el desarrollo de esta caja fuerte utilizamos el diseño de tres contadores con la implementación de FF-JK que irán cambiando según el botón que se seleccione y del tiempo que se deje presionado, para ello procedimos a realizar el diseño de los contadores utilizando una máquina de estados, que se realizó como se observa en la figura 2:

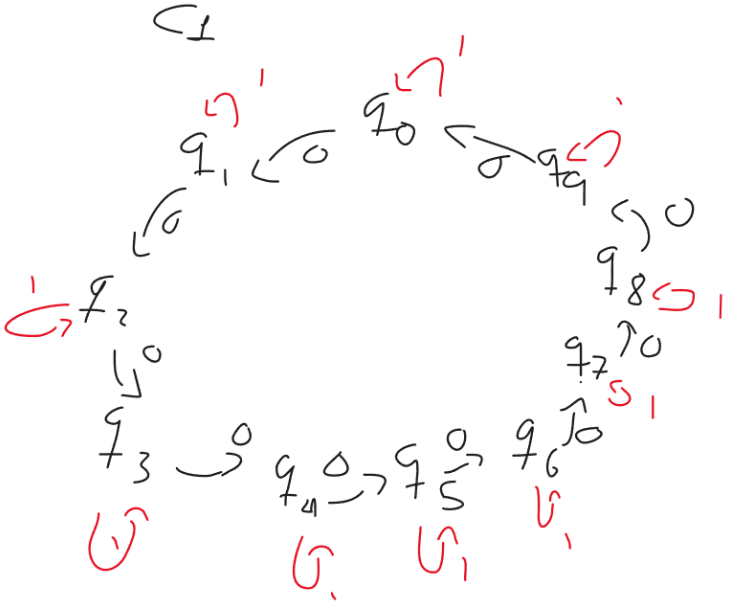


Figura 2. Diagrama de estados de los contadores

Procedente a la máquina de estados se realizó la tabla de transición junto a la de excitación correspondiente a los Flip - Flop JK, en la figura 3 podemos ver dicho procedimiento.

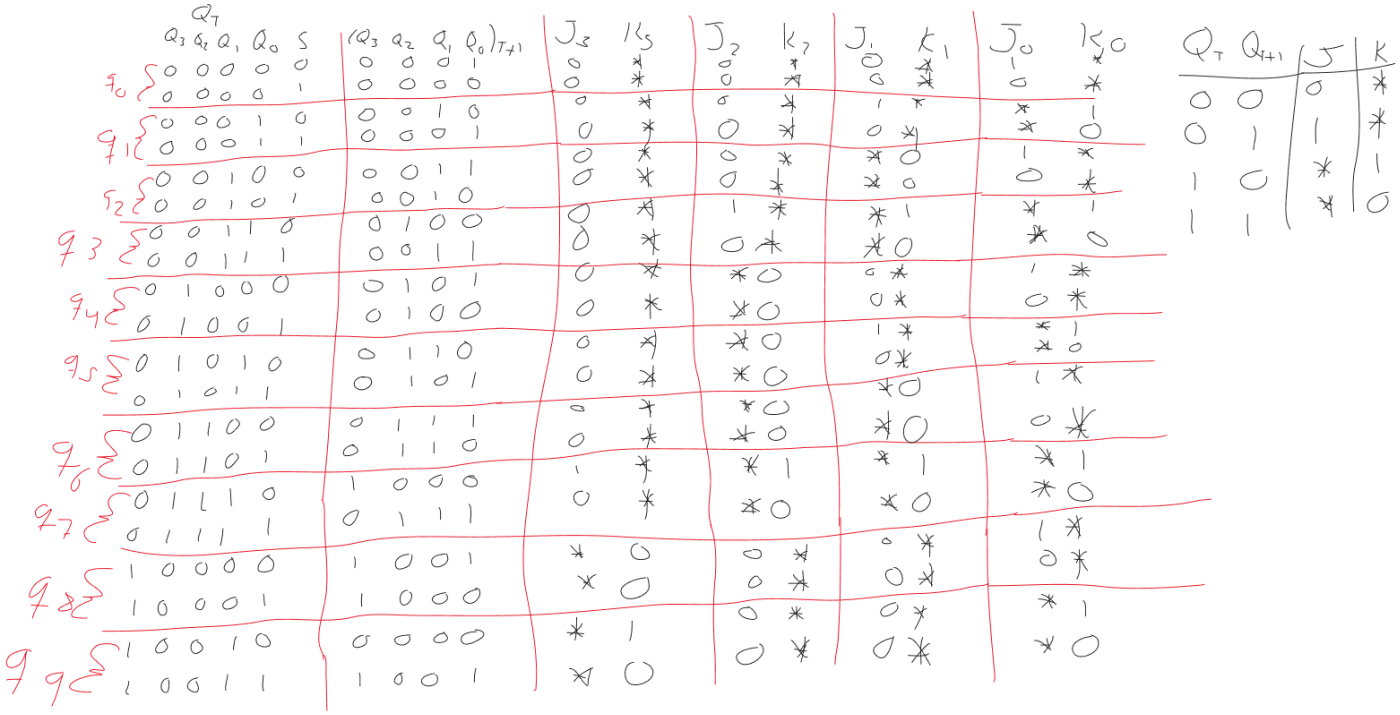


Figura 3. Tablas de transición y excitación

Ya que se desarrollaron ambas tablas solo queda utilizar mapas de Karnaugh para obtener las conexiones en cada flip flop según sea el caso, dicho procedimiento se muestra en la figura 4.

Para J_3:

Q_3Q_2 \ Q_1Q_0S	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	1	0	0	0
11	*	*	*	*	*	*	*	*
10	*	*	*	*	*	*	*	*

$$J_3 = Q_2 Q_1 Q_0 \overline{S}$$

Para K_3

Q_3Q_2 \ Q_1Q_0S	000	001	011	010	110	111	101	100
00	*	*	*	*	*	*	*	*
01		*	*	*	*	*	*	*
11	*	*	*	*	*	*	*	*
10	0	0	0	1	*	*	*	*

$$K_3 = Q_0 \overline{S}$$

Para J_2:

Q_3Q_2 \ Q_1Q_0S	000	001	011	010	110	111	101	100
00	0	0	0	0	1	0	0	0
01	*	*	*	*	*	*	*	*
11	*	*	*	*	*	*	*	*
10	0	0	0	0	*	*	*	*

$$J_2 = Q_1 Q_0 \bar{S}$$

Para K_2:

Q_3Q_2 \ Q_1Q_0S	000	001	011	010	110	111	101	100
00	*	*	*	*	*	*	*	*
01	0	0	0	0	1	0	0	0
11	*	*	*	*	*	*	*	*
10	*	*	*	*	*	*	*	*

$$K_2 = Q_1 Q_0 \bar{S}$$

Para J_1:

$Q_3 Q_2$ \ $Q_1 Q_0 S$	000	001	011	010	110	111	101	100
00	0	0	0	1	*	*	*	*
01	0	0	0	1	*	*	*	*
11	*	*	*	*	*	*	*	*
10	0	0	0	0	*	*	*	*

$J_1 = \overline{Q_3} Q_0 \overline{S}$

Para K_1:

$Q_3 Q_2$ \ $Q_1 Q_0 S$	000	001	011	010	110	111	101	100
00	*	*	*	*	1	0	0	0
01	*	*	*	*	1	0	0	0
11	*	*	*	*	*	*	*	*
10	*	*	*	*	*	*	*	*

$K_1 = Q_0 \overline{S}$

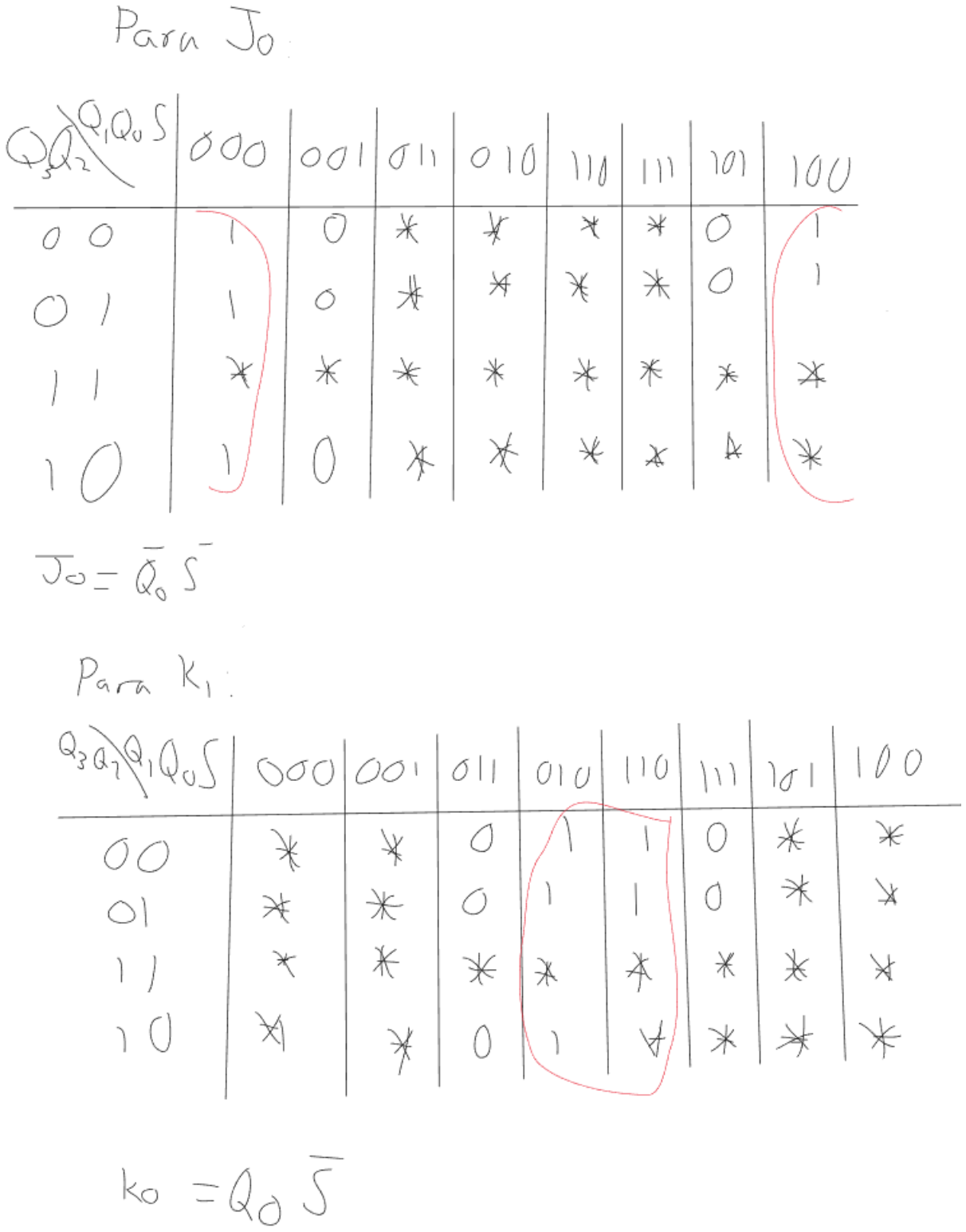


Figura 4. Mapas de karnaugh

Este contador se diseñó para un solo display, ya que, se utilizaran tres de ellos, el proceso es el mismo para los otros dos restantes. Posteriormente para comprobar que el valor ingresado es el correcto, se diseñó un secuenciador mediante compuertas para cada salida Q del contador, el cual tendrán como salidas 1 cuando

la combinación es correcta. El armado en Quartus II se observa en la figura 5, figura 6 y figura 7:

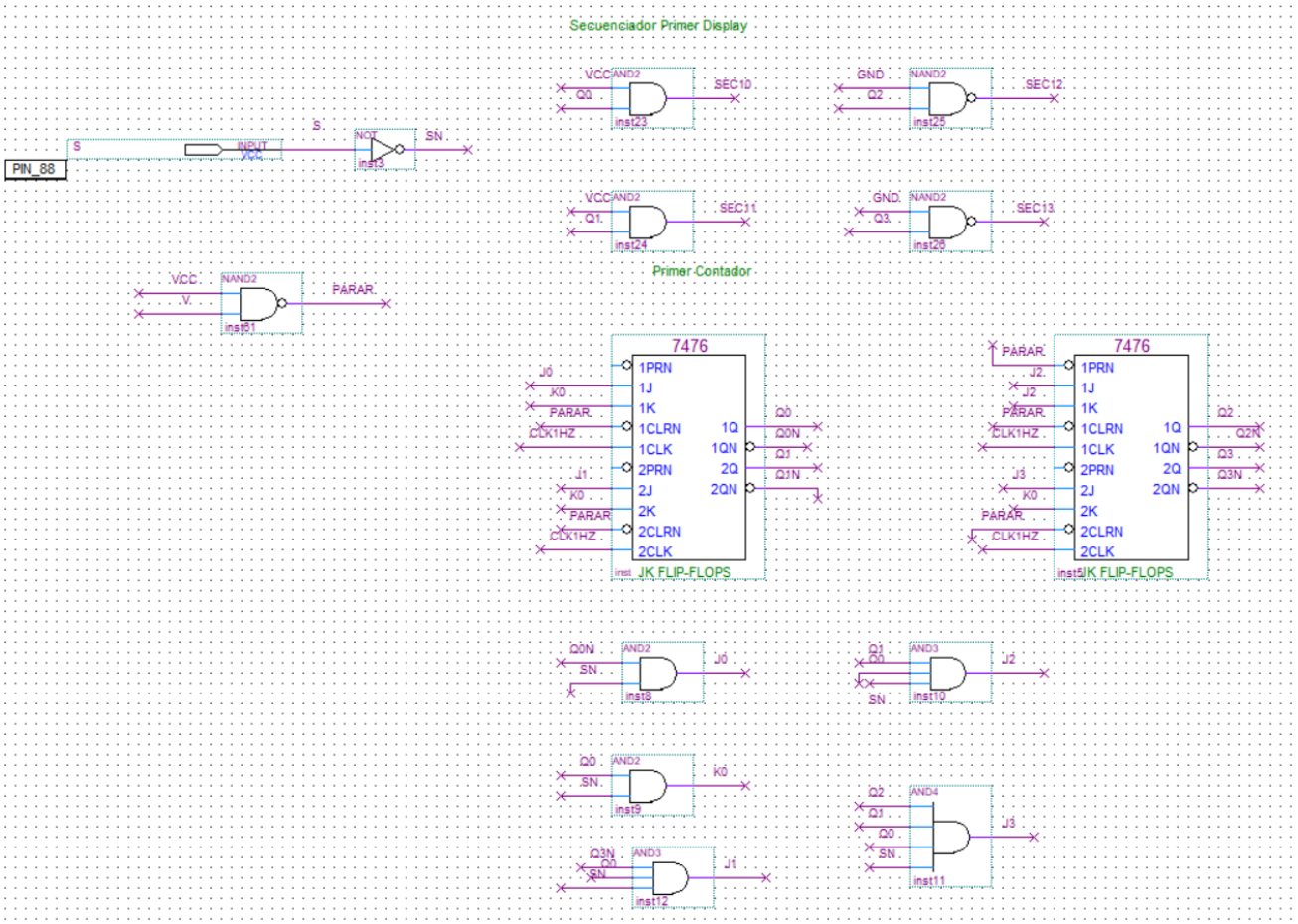


Figura 5. Primer contador con secuenciador

Los contadores tienen una frecuencia de 1 Hz.

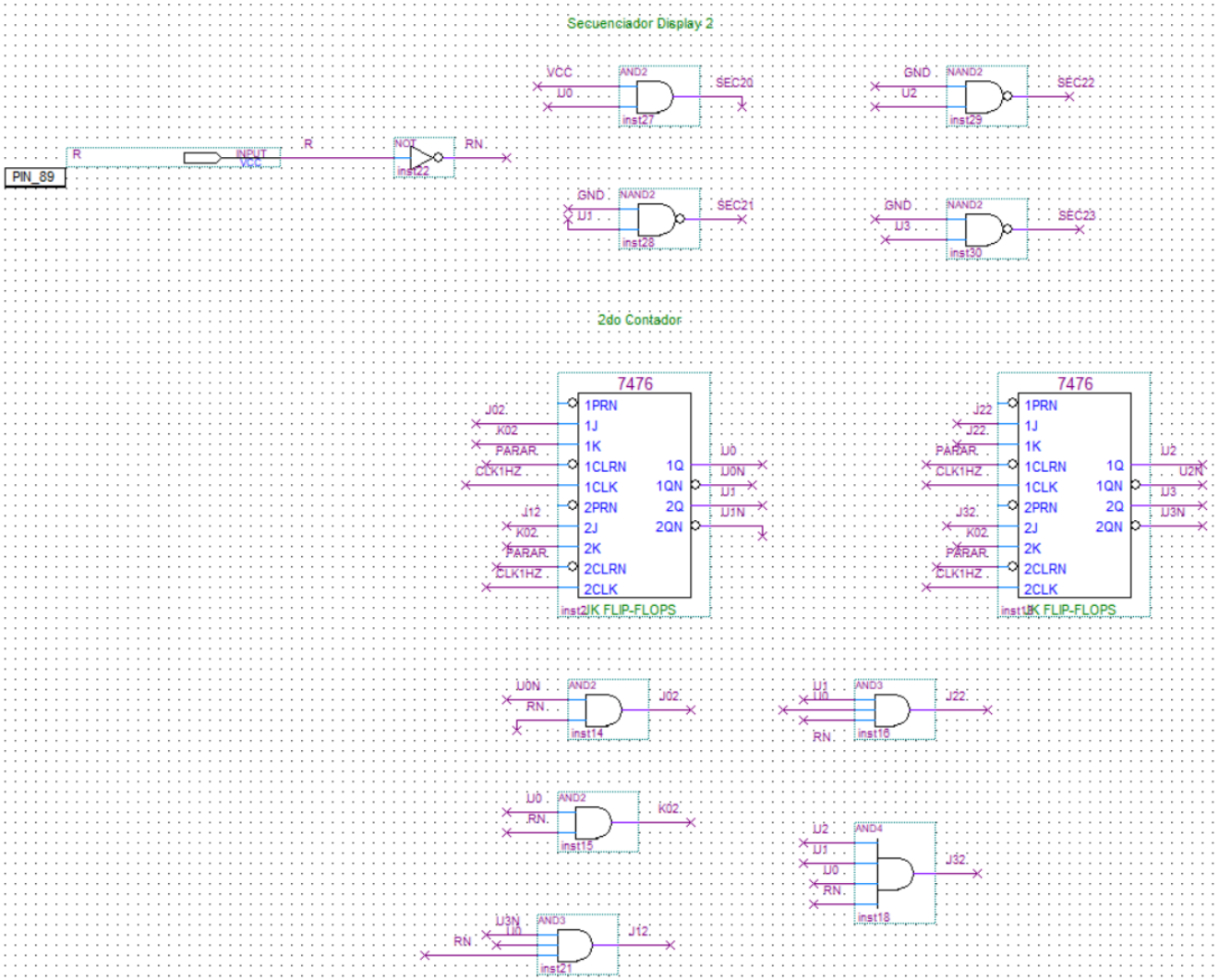


Figura 6. Segundo contador con secuenciador.

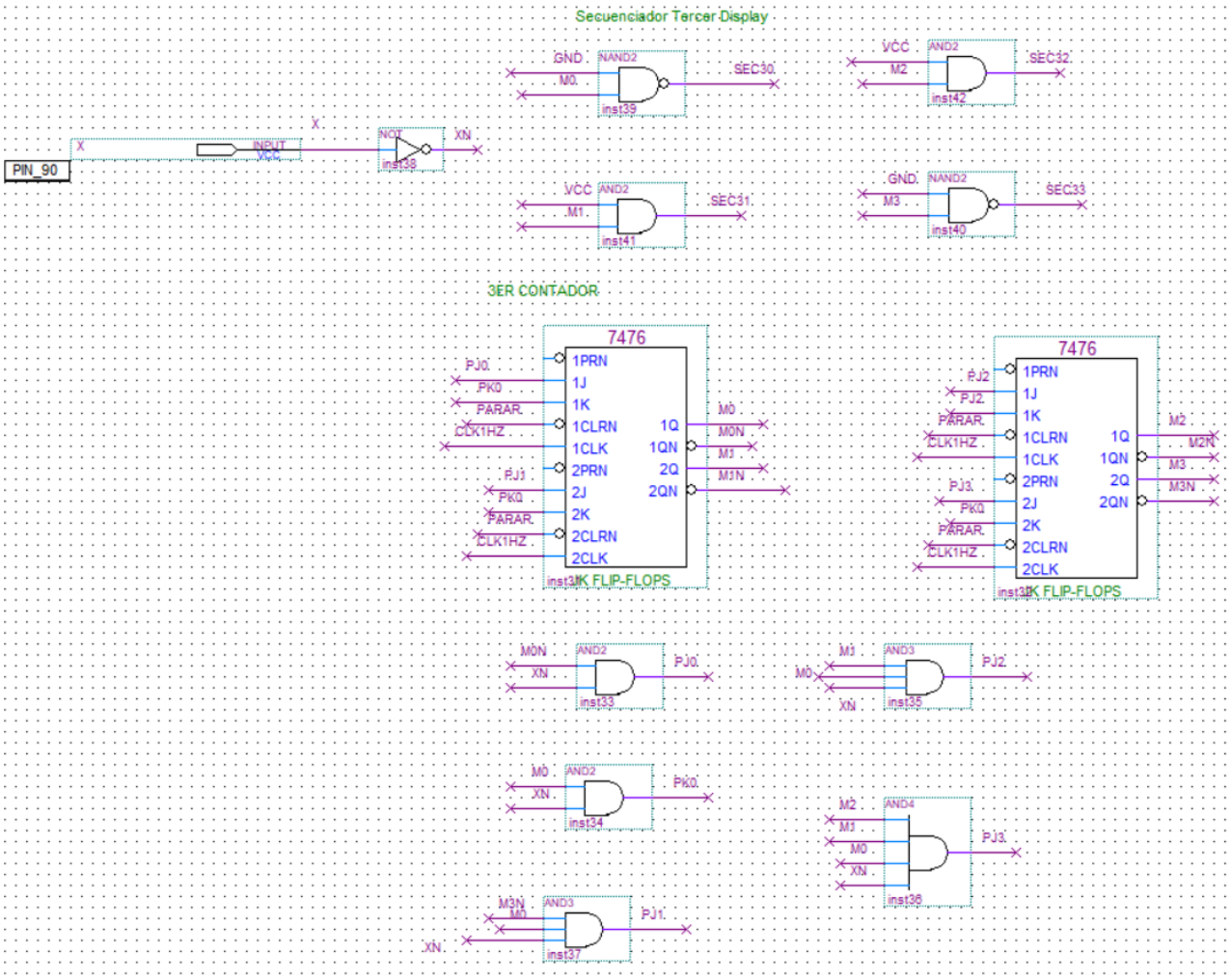


Figura 7. Tercer contador con secuenciador.

A continuación utilizamos multiplexaje para los displays, primero se utilizó un divisor de frecuencia a 100 Hz para poder multiplexar bien los displays. El programa se encuentra descrito en la figura 8:

```vhdl
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY DIV_FREC IS
    PORT(CLK: IN STD_LOGIC;
         DIVF:OUT STD_LOGIC;
         DIVF2: OUT STD_LOGIC);

END ENTITY;
--Para la frecuencia de 1 Hz
--Hay que contar (50,000,000)/2*1 (1/s) = 25,000,000
--La mitad de ellos en "1" (12,500,000) y la otra mitad en "0"
--Para la frecuencia de 30 Hz
--Hay que contar (50,000,000)/2*100 (1/s) = 250,000
--La mitad de ellos en "1" (125,000) y la otra mitad en "0"

ARCHITECTURE CLOCK OF DIV_FREC IS
SIGNAL AUX1: INTEGER RANGE 0 TO 25000000;
SIGNAL AUX1D: STD_LOGIC;
SIGNAL AUX2: INTEGER RANGE 0 TO 250000;
SIGNAL AUX2D: STD_LOGIC;
BEGIN
    PROCESS(CLK)
    BEGIN
        IF RISING_EDGE(CLK) THEN
            IF AUX1=24999999 THEN
               AUX1D<=NOT AUX1D;
               AUX1<=0;
               ELSE
               AUX1<=AUX1+1;
               END IF;
            END IF;
        END PROCESS;
            DIVF<=AUX1D;
PROCESS(CLK)
    BEGIN
        IF RISING_EDGE(CLK) THEN
            IF AUX2=124999 THEN
               AUX2D<=NOT AUX2D;
               AUX2<=0;
               ELSE
               AUX2<=AUX2+1;
               END IF;
            END IF;
        END PROCESS;
            DIVF2<=AUX2D;
END CLOCK;
```

Figura 8. Código en VHDL del divisor de frecuencia.

Para el proceso de multiplexado se utilizaron cuatro multiplexores 4 a 1, donde los bits menos significativos se agregarán a un multiplexor y así sucesivamente hasta llegar al bit más significativo, mostrandose en la figura 9:

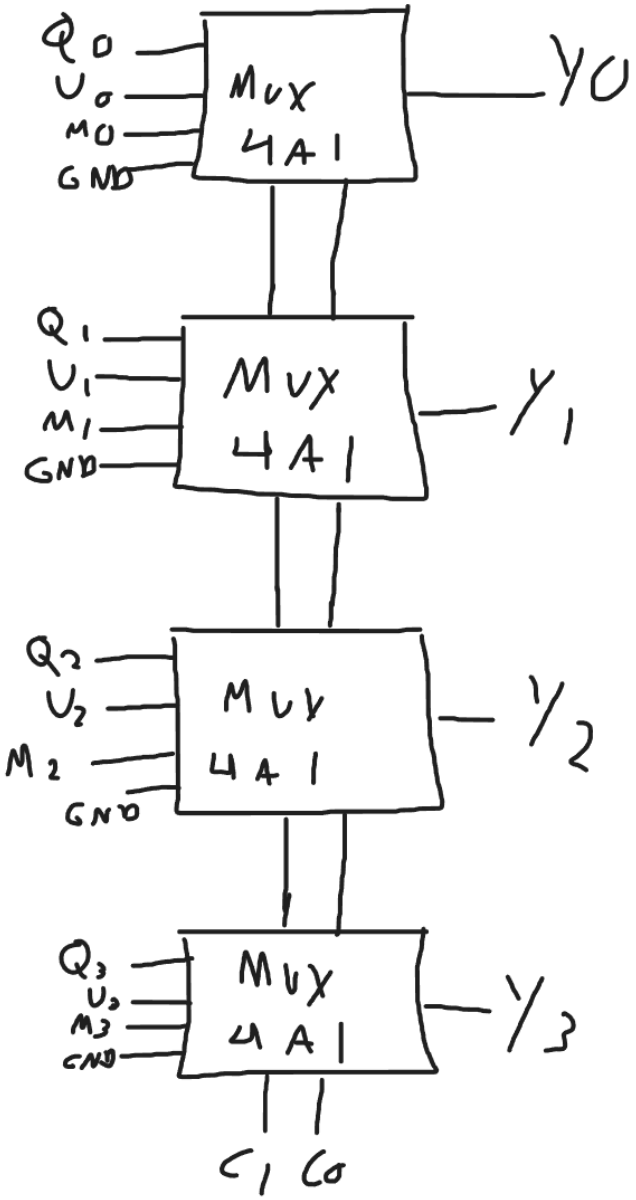


Figura 9. Multiplexaje de las salidas de los contadores

Cabe recalcar que las entradas de los multiplexores (selectores) son las salidas de los contadores que van a 100Hz. Este contador se encuentra mostrados en la figura 10:

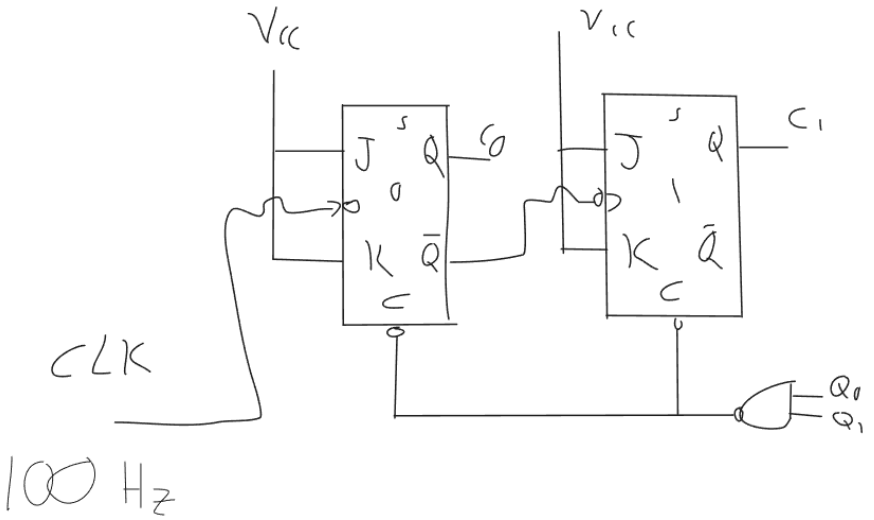


Figura 10. Contador para las entradas de selección

Posteriormente las salidas de cada multiplexor se conectan al decodificador BCD a 7 segmentos y también las selecciones se conectan al decodificador 2 a 4 para los habilitadores del display.

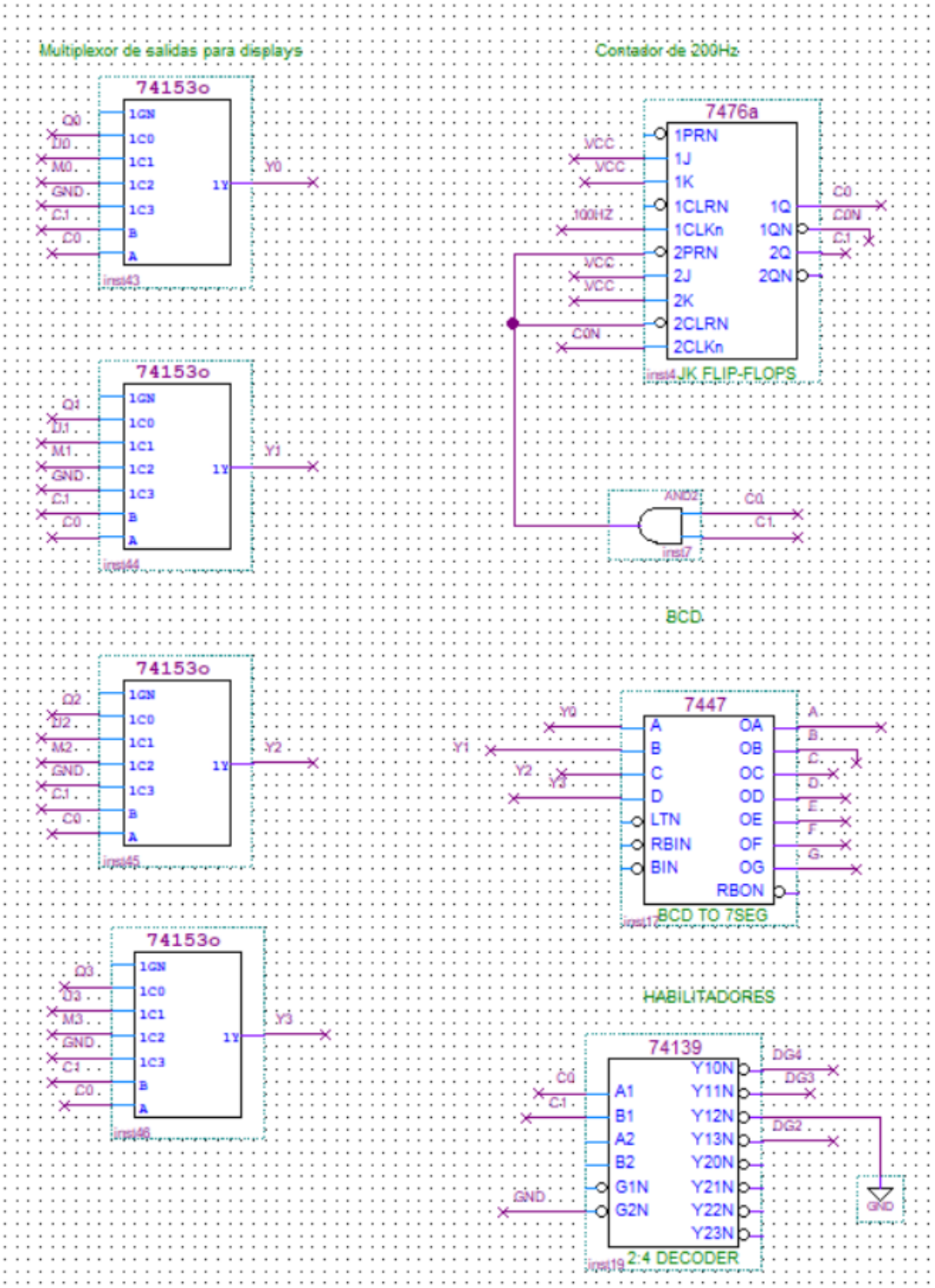
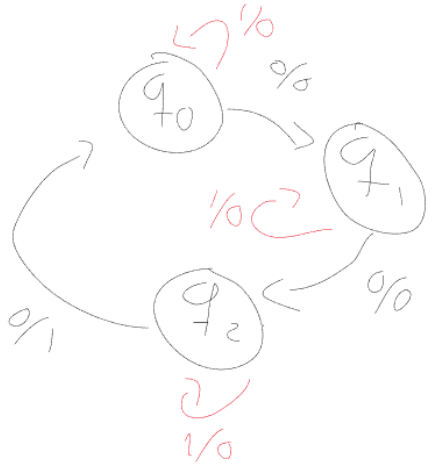


Figura 11. Multiplexaje de Display

Para que nuestra caja de seguridad funcione se necesita un botón que ingrese la clave al sistema. Para eso se utilizaron las salidas de cada secuenciador de cada contador, llevándolas a una AND, donde cuando todas las salidas sean uno, es decir, la contraseña es correcta, al ingresar a la AND de apertura, se tendrá uno igualmente dando como resultado la apertura. Si es cero, es decir, cuando no es correcta la contraseña, se ingresará a un secuenciador de errores, donde al llegar a 3 errores se detiene el funcionamiento del sistema. El contador de errores se explica en la figura 12:

Contador de errores



	Edo Sig		Salida	
Edo Pr	0	1	0	1
ε_0	ε_1	ε_0	0	0
ε_1	ε_2	ε_1	0	0
ε_2	ε_3	ε_2	0	0
ε_3	ε_4	ε_3	1	0

$\varepsilon_0 = 00$
$\varepsilon_1 = 01$
$\varepsilon_2 = 11$
$\varepsilon_3 = 10$

	EDO P		EDO SIG				SALIDA	
			0		1		0	1
	Q_1	Q_0	Q_1	Q_0	Q_1	Q_0		
ε_0	0	0	0	1	0	0	0	0
ε_1	0	1	1	1	0	1	0	0
ε_2	1	1	1	0	1	1	0	0
ε_3	1	0	0	0	1	0	1	0

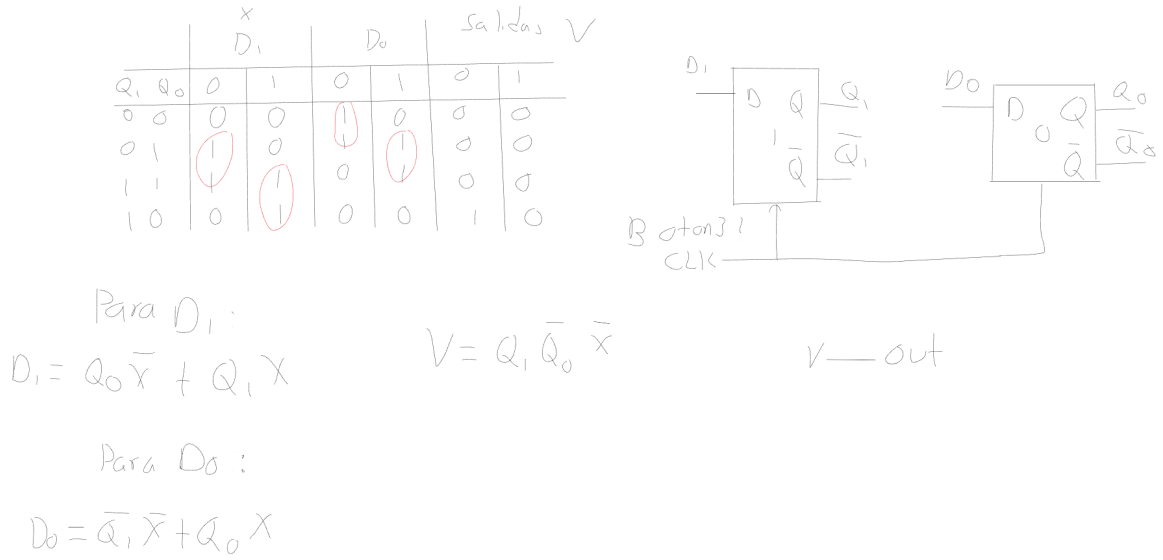


Figura 12. Contador de Errores

La AND de apertura y el secuenciador de errores armados en quartus se observan en la figura 13:

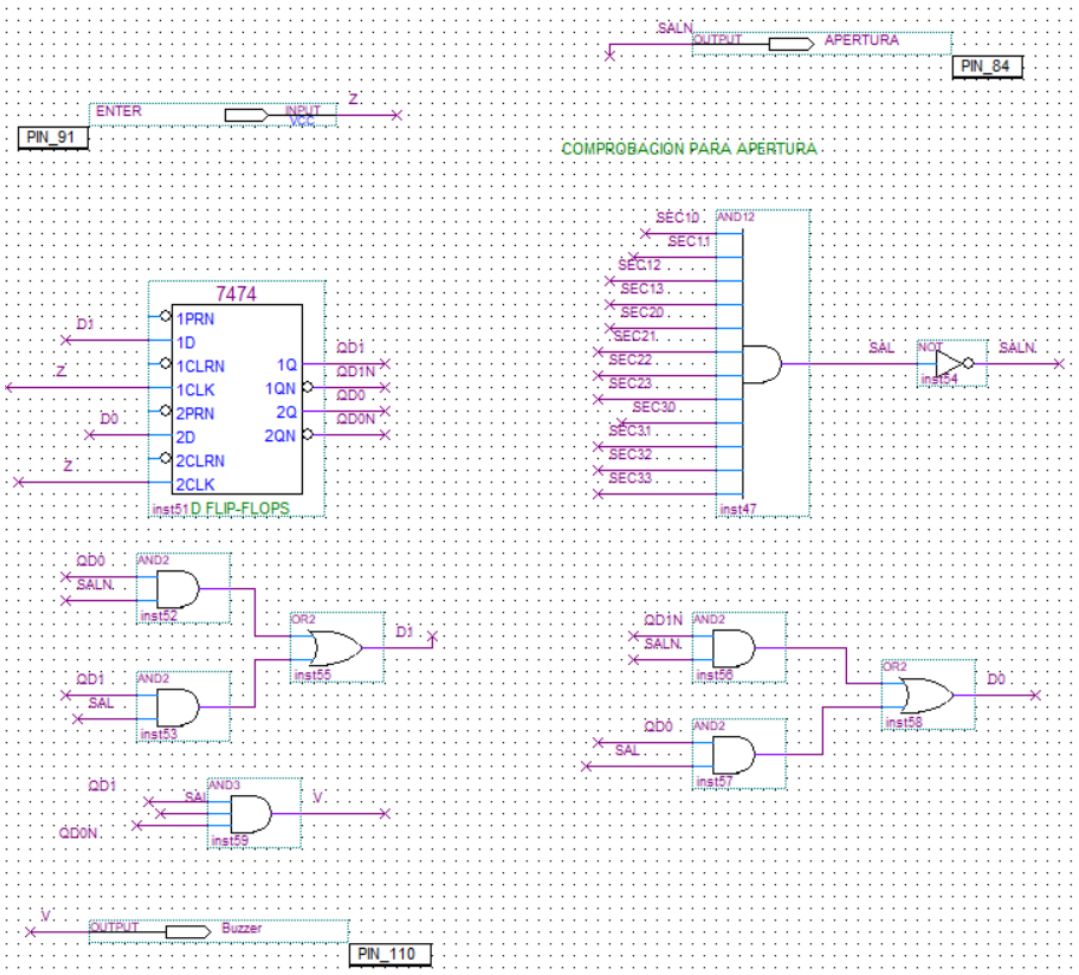


Figura 13. Implementación en Quartus

El reloj de nuestro secuenciador es el botón que ingresa la contraseña, es decir, Z.

Finalmente para poder detener el funcionamiento del sistema, la salida V del secuenciador de errores se manda a una nand para que junto a VCC de un cero y se mande al clear de los flip-flops para que se mantenga en cero, hasta que se presione el botón de reinicio, que en este caso, es el mismo de la tarjeta. Se utilizó una nand debido a que el clear de los flip-flops está negado.

La nand para detener el funcionamiento del sistema se observa en la figura 5.

Resultados

En cuanto a los resultados, el funcionamiento del sistema es correcto ya que abre al ingresar la clave correcta y si se ingresa una clave incorrecta 3 veces este si emite una señal de alerta conectada directamente al buzzer de la tarjeta, esto también hace que el diseño se detenga hasta que se haga reset del circuito en sí.

En cuanto a los errores obtuvimos dos en general, el primero fue que nuestro tercer display por alguna razón no marcaba los números que deseábamos, sin embargo, el funcionamiento en esa parte del display era correcto. El segundo error fue que el botón de reset no funcionó y el sistema se quedaba con su alarma siempre hasta que se apagara la tarjeta.

La lógica utilizada para este diseño era negada debido a que nuestra tarjeta se maneja de esa manera, principalmente para los botones, los displays y los leds.

Conclusiones

El desarrollo de este proyecto nos ayudó de forma práctica para la materia de diseño digital ya que se implementaron todas las cosas vistas en el curso, desde compuertas lógicas y mapas de Karnaugh, así como tambíen la implementación de decodificadores, multiplexores, contadores y flip flop según fuera el caso, prácticamente unimos todo lo visto en clase para obtener un proyecto más completo y con una operación más aplicable para la vida real.

En cuanto a las conclusiones en base a los resultados, podemos mencionar que para mejorar nuestro proyecto sería necesaria la correcta implementación del botón que resetea todo el programa y buscar de manera más minuciosa porque no funciona el display como debe ser.

Para mejorar el funcionamiento para un mejor proyecto y sea más accesible para el usuario solo se buscaría aumentar la frecuencia de los botones y que se muevan de manera más rápida.