

**INGENIERIA EN MECATRONICA**

**Asignatura: SISTEMAS EMBEBIDOS**

**Maestro: Carlos Enrique Moran Garabito**

**Alumno: Fonseca Camarena Jonathan 8A**

**Matricula: 17310857**

**Periodo: Enero - Abril 20**

**Lugar:** [Universidad Politécnica de la Zona Metropolitana de Guadalajara](https://upzmg.edu.jalisco.gob.mx/lugar/13061)

Carretera Tlajomulco-Santa Fe, km 3.5 #595, Colonia: Lomas de Tejeda, CP: 45670   
Municipio: Tlajomulco de Zúñiga

PLD

**Descripción.**

El nombre de Dispositivos lógicos Programables ó PLD (Programmable Logic Device) es una acepción genérica establecida para cualquier sistema digital cuyo funcionamiento está determinado por el usuario, después que dicho dispositivo fuera fabricado.Al referirnos a usuario, generalmente nos dirigimos a un profesional del diseño lógico, aunque pudiera ser realmente el cliente final.

El PLD, o Dispositivo Lógico Programable, es un dispositivo con características que pueden ser configuradas por el usuario por medio de un programa y se le pueden implementar funciones lógicas que el usuario necesite en un sistema.

La mayoría de los PLDs integran una matriz de compuerta AND y una matriz de compuerta OR (fijas o programables), una matriz de conexiones, y algunas ocasiones, también registros.

Actualmente se los utiliza para realizar todo tipo de circuitos digitales, desde los más sencillos a los más complejos; que en el pasado se realizaba con lógica cableada a través del uso de una gran cantidad de elementos lógicos convencionales SSI ó MSI; utilizados en forma discreta.

Estos circuitos PLD conforman una estructura básica compacta, perfectamente estructurada y por lo general realizada en un solo circuito integrado (aunque aveces puede ser más de uno) fabricados en alta (LSI), muy alta (VLSI) ó ultra alta (ULSI) escala de integración.

**CLASIFICACION GENERAL**

Esta clasificación se presenta muy compleja pues se establece mucha confusión debido a que cada fabricante establece su nomenclatura particular, con la finalidad de lograr su propio espacio de poder en la comercialización de dichos dispositivos. Cada empresa fabricante de circuitos integrados digitales establece un nombre, aunque dicho producto ya exista en el mercado con otra denominación, aún más correcta. Generalmente estas ideas se aclaran estudiando detenidamente el significado de dichas siglas.

Por lo antes, indicado realizaremos familias de PLD y ahora las analizaremos brevemente, para luego dedicarnos de lleno al estudio pormenorizado de cada una de ellas.

1. Redes Lógicas Programables, PAL (Programmable Array Logic) ó PLA (Programmable Logic Array). Se las puede dividir en tres grandes subfamilias, según el tipo de matriz Programable que incluya en su estructura lógica:

a) Matriz Y programable – matriz O programable: PLA.

b) Matriz Y fija – matriz O programable: PROM

c) Matriz Y programable – matriz Y fija: PAL propiamente dichas, y que según el tipo de dispositivo lógico que incluya en su estructura interna, pueden ser:

* PAL combinacionales ó PAL simples.
* PAL secuenciales. ó FPLS.

Desde el punto de vista de la tecnología de programación, se las divide en dos tipos:

a) PAL Bipolares.

b) PAL CMOS.

2. EPLD (Erasable Programmable Logic Device) Son circuitos lógicos programables eléctricamente y borrables con luz ultravioleta, que permiten desarrollar un diseño, borrando y regrabando hasta sacarle todos los problemas lógicos ó eléctricos. Tenemos las siguientes familias:

· EPLD Simples ó clásicas: Familia de serie EPXXXX.

· EPLD Complejas ó CPLD (Complex Programmable Logic Device): Familia MAX ó de la serie EPMXXXX. Múltiple Array matriz.

Familia FLEX ó Flexible Lógic Element Matrix.

Familia APEX ó Advanced Programmable Element Matrix.

· EPLD Específicas: Familia de serie EPB

Familia de serie EPS

3. GAL (Generic Array Logic) Son equivalente a las memorias EEPROM, es decir que permiten ser borradas y grabadas eléctricamente. Se pueden establecer las siguientes subfamilias:

a) Tipo PAL: Matriz Y / Macrocelda programable de salida:

· Borrables y Programables fuera del circuito.

Borrables y Programables en circuito.

b) TIPO FPLA: Matriz Y / Matriz O / Macrocelda programable de salida. Se introduce un nuevo concepto más general de redes/macroceldas programables.

4. ASIC: Son circuitos digitales completos, de uso directo por los diseñadores, sin necesidad de programación posterior. Aparecieron al mismo tiempo que las PAL, pero como son programables por máscaras en fábrica sólo se aplica a grandes producciones en serie, pues su costo es elevado y su amortización se justifica solo en esos casos.

5. LCA (Logic Cell Array) ó FPGA (Field Programmable Gate Array) ó red de celdas lógicas. Podemos decir que es un producto similar a las ASIC, pero programables por el usuario. Se caracteriza por poseer una gran cantidad de bloques funcionales básicos, que en el estadio de diseño e implementación el usuario interconecta para obtener las funciones lógicas deseadas.

6. FPGA de antifusibles: se trata de redes de compuertas lógicas muy similares a las LCA, pero con una técnica de programación de las uniones totalmente diferentes, cuya denominación es la que identifica a estos circuitos, es decir antifusibles.

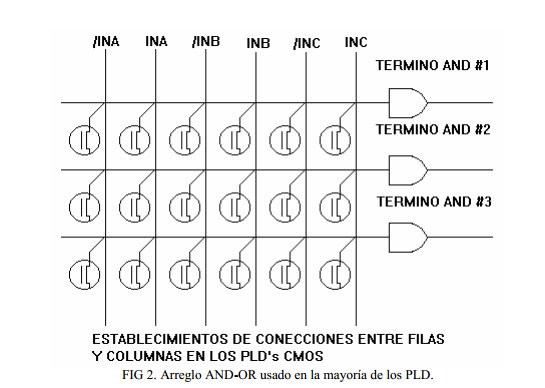
**Usos.**

La flexibilidad y programabilidad de los PLDs hacen que su diseño con ellos sea mucho más rápido que diseñar con lógica discreta. Esto es, se puede utilizar el PLD para implementar la mayoría de las funciones hechas con los cientos de dispositivos de la familia lógica "7400". También cabe recalcar que toman menos espacio sobre el circuito impreso que con los dispositivos discretos.

Una vez tomada la decisión de cambiar de lógica discreta a los PLD´s. Hay que escoger PLD's que sean compatibles con los otros dispositivos que se estén utilizando. Hay que tomar en consideración la potencia que se requiere, ya que varía la potencia necesaria de un PLD a otro y otro factor importante es su estabilidad.

**Arquitectura básica de un PLD**.

Las entradas del PLD entran al arreglo lógico los cuales son hechos de columnas y filas (en la figura se muestra tal arreglo) cada par de columnas representa la entrada negada o complementada y la misma entrada sin negar, cada fila constituye un término AND. Las conexiones lógicas se establecen entre diferentes columnas y filas en la matriz para determinar cuál combinación de entradas llevaran al termino AND a un nivel alto. Más de un término AND alimenta una compuerta OR. La salida es la suma de productos.



|  |  |
| --- | --- |
| **Tipos de PLD’s** | |
| **ROM:** Mask Read-Only Memory (Memoria de Máscara Programable de Solo Lectura). En un circuito combinacional que genera 2 a la n miniterminos de n variables en su plano AND. A pesar de tener solo 2 niveles cuando tiene muchas entradas y salidas tienden a ser lentas las comparaciones con los circuitos lógicos. |  |
| **PROM:** Programmable Read-Only Memory (Memoria Programable de Solo Lectura), Dispositivo el cual es programado por el usuario y no borrable o reprogramable. |  |
| **EPROM:** Erasable Programmable Read-Only Memory (Memoria Programable y Borrable de Solo Lectura); este tipo de Memorias se borran Mediante Luz ultravioleta; con la ventaja de que puede ser programada por el usuario. |  |
| **EEPROM:** Electrically Erasable Programmable Read-Only Memory (Memoria Programable y Borrable Eléctricamente de Solo Lectura); al igual que EPROM puede ser programada por el usuario. |  |
| **PAL:**Programmable Array Logic (Lógica en un Arreglo Programable), la arquitectura de éste  PLD está compuesta por AND programable y el OR fijo. Este dispositivo es el intermedio entre una PROM y un PLA. |  |
| **PLA:** Programmable Logic Array (Arreglo Lógico Programable), este tipo de dispositivos resuelve el problema de las PROM; debido a que, tiene tanto la matriz AND como la matriz OR programables. De forma que solo se seleccionan los productos de términos necesarios para las diferentes aplicaciones. |  |

**PAL: Nomenclatura**

Si bien existe una gran disparidad de referencias en el momento de catalogarlas, algunos fabricantes han tratado de establecer una normalización básica, cuyos lineamientos generales se indicará a continuación. Veremos la nomenclatura adoptada por AMD y Texas Instruments, que asemejan bastante sus principios.

**AMD T ( P ) X X O Y Y P V DEF**

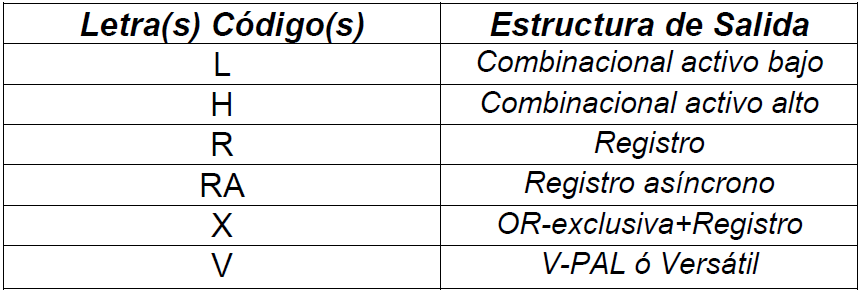
Referencias:

- **T** : Tipo de circuito programable, een este caso cabe siempre la sigla **PAL**

- **P:** Tipo de PAL . ( Nada ) PAL Bipolar CE PAL CMOS

- **XX** Número de entradas disponibles**.** Esta referencia se encuentra en todas las marcas de una u otra forma.

- **O** Estructura de salida. Consta de una ó dos letras según la siguiente tabla:



Casi todas las marcas usan la misma nomenclatura.

- **YY** Número de salidas disponibles. Pudiendo ser salidas simples ó Entrada/Salidas También lo usan todos los fabricantes.

- **P** Potencia consumida: Normal, Bajo ó muy Bajo.

- **V** Velocidad de la PAL. Indicado a través de un Nº que muestra el tiempo de propagación típico y expresado en nanosegundos (nseg).

- **DEF** Un conjunto de letras que en general describen varios parámetros del dispositivo, como: Tipo de encapsulado, rango de temperatura de trabajo, etc.

**Texas Instruments TI F ( P ) X X O Y Y -V DEF**

Referencias:

- **F** : Familia tecnológica de **PAL:**

**B: Bipolar**

**C: CMOS**

**E: ECL**

- **P:** Tipo de PAL. Según una clasificación propia de Texas.

- **XX** Número de entradas disponibles**.**

- **O** Estructura de salida. Idem a lo mencionado para AMD

- **YY** Número de salidas disponibles.

- **P** Potencia consumida: Normal, Bajo ó muy Bajo.

**- V** Velocidad de la PAL. Indicado a través de un Guión seguido de un número que indica el tiempo de propagación típico por puerta.

- **DEF** Un conjunto de letras que en general describen varios parámetros del dispositivo, como: Tipo de encapsulado, rango de temperatura de trabajo, etc.

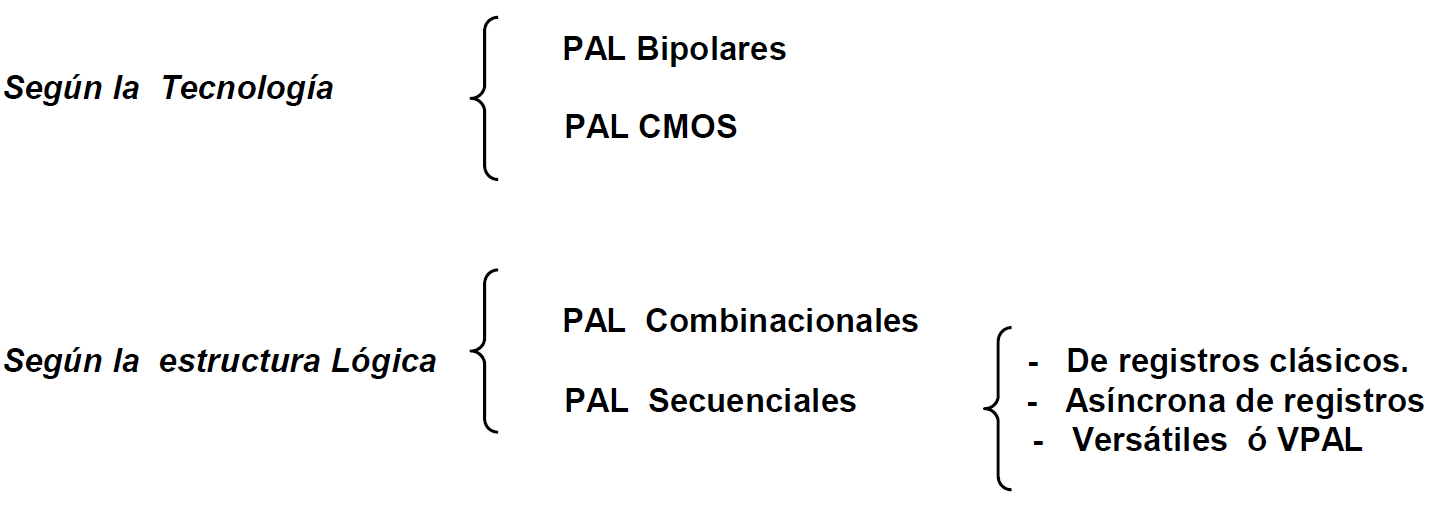
Ejemplos:

**PAL16R8H15PC:** Indica que se trata de una PAL Bipolar, que tiene 16 entradas y que es una PAL de Registros. Dispone de 8 salidas, es un modelo de medina potencia, tiene encapsulado plástico DIL, y trabaja en el rango de temperaturas normales.

**TIBPAL16R8-15CN:** Indica que se trata de una PAL de texas, y es equivalente a la descripta para AMD en el ejemplo anterior.

**Clasificación:**

Según la característica que se analize, se las puede clasificar de dos formas diferentes; como se ve a continuación:



***a) Considerando la tecnología de fabricación,*** se las divide en dos tipos:

· **PAL Bipolares**. Son programables por fusibles, como las memorias PROM.

Al igual que sus parientes, las PROM de fusibles, aunque son realmente de muy bajo costo, sólo permiten la programación por una única vez, pues lo que se realiza es la ruptura física de una conexión. La retención de la información es infinita, por cuanto dicha unión no puede volverse a recomponer. Por lo manifestado, vemos que no existe ninguna posibilidad de ser borradas, y las únicas modificaciones que se pueden realizar sobre una PAL programada es destruir los fusibles que aún están intactos.

Como las PAL bipolares no pueden ser verificadas al 100 % en el proceso de fabricación, cuando se produce una partida con problemas de programabilidad verificables, las fábricas de los mismos las recambian en forma gratuita.

Durante el período de implementación y prueba del prototipo y hasta tanto se ajuste el diseño, se realiza una gran quema de dispositivos, aumentando considerablemente el costo de desarrollo. Pero luego en el proceso de fabricación, una vez que el prototipo está “depurado” resultan con una mejor relación costo/performance.

Los tiempos de propagación duplican a las PAL CMOS, y actualmente están en el orden de 4 a 5 nseg.

En la actualidad, salvo casos muy especiales, han caído en desuso por ser obsoletas frente a otros productos, con mejores prestaciones.

· **PAL CMOS:** Para solucionar el problema presentado por las PAL Bipolares, se desarrollaron dispositivos programables eléctricamente y borrables eléctricamente ó por radiación de luz ultravioleta. Por ello en la actualidad existen dos familias de PAL CMOS:

UV-CmosPAL y EE-CmosPAL. Es un dispositivo idéntico a las GAL, pero como Lattice Semiconductor fue quien las puso primero en el mercado y obtuvo la patente correspondiente. Los nuevos fabricantes, como AMD y Ciprés, las incluyeron dentro de las PAL, pero con el nombre de PAL CMOS. Considerando el concepto de borrado, las UVCmosPAL se parecen a los EPLD, y las EECmosPAL a las GAL.

Como mencionaramos en el item anterior, la aparición en el mercado de las PAL CMOS (ó los circuitos programables equivalentes como GAL ó EPLD) ha posibilitado mejorar la fase de puesta a punto de un producto, por cuanto la posibilidad de borrado reduce notablemente los costos. Debido a la reducción considerable que han sufrido los costos de estos productos, es que también se los utiliza ampliamente en la fase de producción.

Existen reemplazos directos, de las Bipolares, no sólo de la estructura lógica sino pata a pata. Y como algunas familias han incorporado importantes innovaciones en su arquitectura interna, se pueden reemplazar todas las PAL bipolares por CMOS, apelando a una adecuada programación de las celdas de salida.

Actualmente, se han logrado tiempos de propagación muy buenos, en el orden de los 10 nseg; por lo cual la enorme ventaja de ser borrables, las hace un producto cada vez más usado. Resultando muy pocos los casos dónde la velocidad es el parámetro crítico, deba usarse otro componente programable.

Todas las PAL, tanto Bipolares como CMOS se programan con equipos apropiados, los cuales pueden ser autónomos ó simplemente placas para ser colocadas en computadores personales. También, en ambos casos, se puede realizar un desarrollo manual ó apelar a poderosas herramientas de diseño, con software dedicado a tal fin.



