



**DIGITAL SYSTEM DESIGN FINAL PROJECT REPORT
DEPARTMENT OF ELECTRICAL ENGINEERING
UNIVERSITAS INDONESIA**

SIMPLE CALCULATOR WITH TIME CONVERTER

GROUP PA20

RAFI NAUFAL ARYAPUTRA	2306250680
JONATHAN FREDERICK KOSASIH	2306225981
GANENDRA GARDA PRATAMA	2306250642
GEDE RAMA PRADNYA WIDADGA	2306161914

PREFACE

Puji syukur kami panjatkan kepada Tuhan Yang Maha Esa, yang telah melimpahkan rahmat dan hidayahnya sehingga kami dapat menyelesaikan Laporan Proyek Akhir Praktikum Perancangan Sistem Digital dengan judul "Simple Calculator with Time Converter" ini.

Kami ingin mengucapkan terima kasih kepada dosen mata kuliah Perancangan Sistem Digital, Bapak Dr. Ruki Harwahyu, ST. MT. MSc., Bapak Fransiskus Astha Ekadiyanto, dan Bapak Yan Maraden, S.T., M.T., M.Sc.. Selain itu, kami juga ingin menyampaikan terima kasih kepada Bang Edgrant Henderson Suryajaya (ED) selaku asisten laboratorium yang telah memberikan arahan, bimbingan, serta masukan yang berharga.

Kami menyadari bahwa penyusunan makalah ini tidak lepas dari keterbatasan pengetahuan dan kemampuan kami. Oleh karena itu, saran dan kritik yang membangun sangat diharapkan untuk perbaikan di masa mendatang. Semoga apa yang kami kerjakan dapat bermanfaat bagi Pembaca. Akhir kata, mohon maaf atas segala kekurangan dan kesalahan yang mungkin ada dalam laporan ini.

Depok, December 08, 2024

Group PA20

TABLE OF CONTENTS

CHAPTER 1: INRODUCTION1

- 1.1 Background
- 1.2 Project Description
- 1.3 Objectives
- 1.4 Roles and Responsibilities

CHAPTER 2: IMPLEMENTATION

- 2.1 Equipment
- 2.2 Implementation

CHAPTER 3: TESTING AND ANALYSIS

- 3.1 Testing
- 3.2 Result
- 3.3 Analysis

CHAPTER 4: CONCLUSION

REFERENCES

APPENDICES

- Appendix A: Project Schematic
- Appendix B: Documentation

CHAPTER 1

INTRODUCTION

1.1 BACKGROUND

Proyek ini didasari oleh kebutuhan akan alat multifungsi yang tidak hanya mampu menangani operasi aritmatika dasar, tetapi juga mendukung pengelolaan waktu secara efisien. Dalam kehidupan sehari-hari, banyak pengguna yang membutuhkan kalkulator tidak hanya untuk menghitung angka, tetapi juga untuk membantu mereka mengatur waktu, menghitung selisih waktu, atau mengonversi zona waktu, terutama dalam lingkungan global yang semakin terkoneksi. Misalnya, pekerja internasional, pelajar, atau profesional sering kali harus memahami waktu di zona berbeda untuk menjadwalkan pertemuan atau aktivitas lainnya.

Dengan menggabungkan fungsi aritmatika dan manajemen waktu dalam satu perangkat, proyek ini bertujuan memberikan solusi praktis bagi pengguna. Fungsi seperti penjumlahan dan pengurangan waktu, konversi waktu berdasarkan GMT, serta timer dirancang untuk memenuhi kebutuhan sehari-hari maupun profesional. Selain itu, proyek ini juga menjadi media pembelajaran dan pengembangan teknologi bagi mahasiswa atau pengembang untuk memahami cara kerja ALU dalam menangani operasi yang kompleks, baik berbasis angka maupun berbasis waktu.

Proyek ini merupakan pengembangan sebuah program berbasis VHDL yang dirancang untuk meningkatkan pengelolaan waktu secara efisien. Dengan fokus pada simulasi rangkaian dan tanpa implementasi langsung pada perangkat keras, program ini menggunakan pendekatan berbasis Truth Table dan Testbench. Dengan metode ini, proyek tidak hanya berfungsi sebagai solusi praktis dalam manajemen waktu, tetapi juga menjadi media pembelajaran untuk memahami bagaimana konsep logika digital dapat diterapkan dalam desain dan pengembangan sistem berbasis VHDL.

1.2 PROJECT DESCRIPTION

Sebuah kalkulator berbasis ALU (Arithmetic Logic Unit) dapat dirancang untuk melakukan operasi penjumlahan dan pengurangan, baik dalam konteks nilai numerik biasa maupun manipulasi waktu. Dalam operasi matematis standar, kalkulator ini dapat menjumlahkan dan mengurangi angka-angka dengan presisi tinggi. Untuk manipulasi waktu, kalkulator mampu menghitung jumlah atau selisih antara dua waktu tertentu, misalnya menghitung berapa lama waktu yang tersisa antara dua jam atau menghitung total durasi dari dua periode waktu. Semua ini dilakukan dengan bantuan ALU yang dirancang khusus untuk menangani operasi aritmatika berbasis format angka dan format waktu.

Selain itu, kalkulator ini juga dilengkapi fungsi untuk mengonversi waktu berdasarkan Greenwich Mean Time (GMT). Pengguna dapat menentukan waktu di zona waktu tertentu, dan kalkulator akan menghitung konversi waktu ke GMT atau sebaliknya. Kalkulator ini juga memiliki fitur timer yang memungkinkan pengguna untuk mengatur hitung mundur waktu atau menghitung waktu yang telah berlalu. Dengan fitur-fitur tersebut, kalkulator ini cocok digunakan dalam berbagai aplikasi, seperti perencanaan jadwal, pengaturan waktu, atau kebutuhan penghitungan waktu secara presisi.

1.3 OBJECTIVES

Tujuan proyek akhir Perancangan Sistem Digital ini adalah sebagai berikut:

1. Membuat sebuah kalkulator yang dilengkapi dengan fitur konversi waktu.
2. Mengimplementasikan Pemrograman menggunakan bahasa VHDL untuk perancangan sebuah sistem digital.
3. Memenuhi nilai proyek akhir dalam Praktikum Perancangan Sistem Digital.
4. Membantu para mahasiswa untuk mengatur mengelola waktu dengan efisien

1.4 ROLES AND RESPONSIBILITIES

The roles and responsibilities assigned to the group members are as follows:

Roles	Responsibilities	Person
Membuat Timer	Set Timer dan Countdown Timer	Ganendra Garda Pratama
Membuat Clock	Sistem waktu apabila detik sudah mencapai 59, langsung di reset 0 dan Menit akan bertambah 1, Dst.	Ganendra Garda Pratama
Membuat Calculator	Kalkulator yang dapat menghitung jumlah dan selisih dari 2 input	Jonathan Frederick Kosasih
Membuat Time Calculator	Kalkulator Waktu yang dapat menghitung jumlah dan selisih 2 input dalam satuan waktu.	Jonathan Frederick Kosasih
Membuat Time Converter	Time Converter dari satu zona waktu ke zona waktu yang lain	Ganendra Garda Pratama
Membuat Laporan PDF	Laporan dari apa yang telah dilakukan	Rafi Naufal Aryaputra
Membuat Presentasi PPT	Membuat Power Point berdasarkan Laporan yang ada	Rafi Naufal Aryaputra & Jonathan Frederick Kosasih
Membuat Top Level	Menyatukan Komponen-komponen yang ada	Gede Rama Pradnya Widadga

Table 1. Roles and Responsibilities

CHAPTER 2

IMPLEMENTATION

2.1 EQUIPMENT

Peralatan yang digunakan dalam membuat proyek akhir ini antara lain:

- Visual Studio Code
- Model Sim
- Quartus Prime
- PowerPoint
- Google Docs
- GitHub

2.2 IMPLEMENTATION

Pertama-tama kami membuat setiap komponen yang ingin kami buat, seperti Timer, Clock, Calculator, Time Calculator, dan Time Converter. Lalu Kami akan membuat Top Level yang mampu memberikan pilihan dari opsi-opsi yang ada diatas dan memanggil opsi yang dipilih.

CHAPTER 3

TESTING AND ANALYSIS

3.1 TESTING

Pada pengujian rangkaian digital “Simple Calculator with Time Converter” ini, kami menggunakan testbench yang berlatarkan jam 14.30. Lalu di Test kedua kami menjalankan waktu seperti umumnya. Di Test ketiga, kami merubah format waktu dari 24 jam menjadi format 12 jam dengan AM PMnya. Di Test keempat, kami melakukan operasi penjumlahan angka biasa yaitu $5 + 3$. Di Test kelima ada Time zone Converter, untuk di Test ini kami menambah 2 Zona waktu (Bertambah 2 Jam). Lalu di Test keenam ada End Clock yang nantinya akan memunculkan jam akhir setelah melakukan 3 operasi diatas. Terakhir untuk di Test ketujuh kami melakukan penjumlahan waktu, kami menentukan waktu awal yaitu Jam 01.30 dan dikurangi 30 Menit.

3.2 RESULT

Dari pengujian yang dilakukan, didapatkan hasil sebagai berikut:

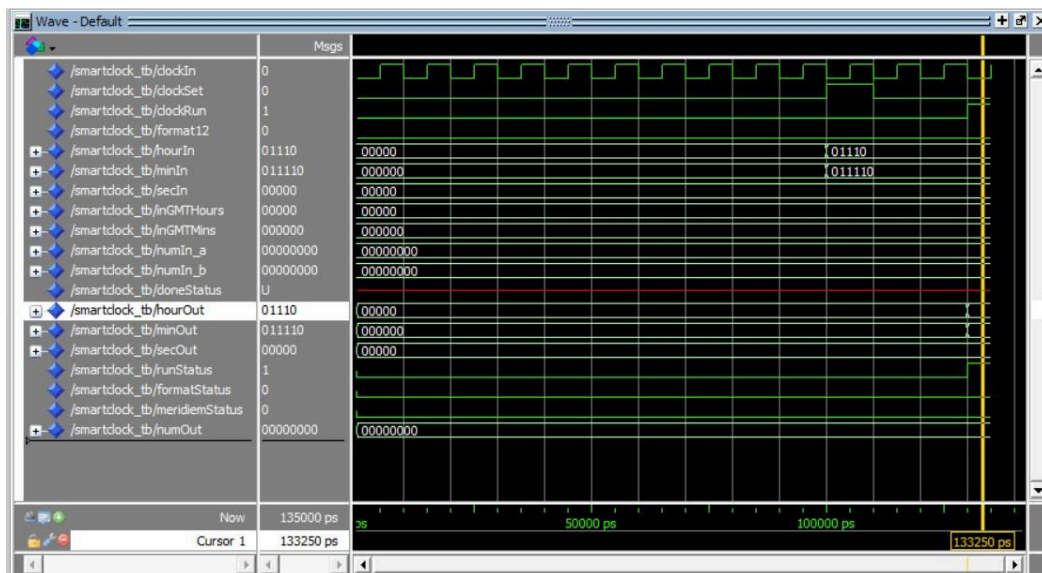


Fig 1. Hasil Testing menggunakan Model Sim

3.3 ANALYSIS

SmartClock adalah sebuah modul VHDL yang mengintegrasikan beberapa komponen seperti TimerConverter, TimeCalculator, ClockFSM, dan Calculator untuk membentuk sebuah sistem jam pintar. Modul ini menerima berbagai input seperti sinyal clock, pengaturan waktu, format waktu (12 atau 24 jam), serta dua angka untuk operasi kalkulator. Berdasarkan input ini, modul akan menghasilkan output berupa waktu (jam, menit, detik), status operasi, format waktu, status meridiem (AM/PM), dan hasil operasi kalkulator.

Testbench dari SmartClock digunakan untuk menguji fungsionalitas dari SmartClock sendiri. Testbench ini mensimulasikan berbagai skenario seperti pengaturan waktu awal, menjalankan jam, mengubah format waktu, menguji fungsi kalkulator, konversi zona waktu, dan menghentikan jam. Misalnya, pada Test 1, waktu diatur ke 14:30:00 dan kemudian jam dijalankan. Pada Test 3, format waktu diubah ke 12 jam. Test 4 menguji fungsi kalkulator dengan menambahkan dua angka. Test 5 menguji konversi zona waktu dengan mengatur GMT+2. Test 7 menguji fungsi kalkulator waktu dengan mengatur dua waktu dan memverifikasi hasil pengurangan.

Output dari testbench ini akan menunjukkan apakah SmartClock berfungsi sesuai dengan yang diharapkan. Misalnya, setelah pengaturan waktu dan menjalankan jam, output waktu harus sesuai dengan waktu yang diatur dan berjalan dengan benar. Perubahan format waktu harus tercermin dalam output. Hasil operasi kalkulator harus sesuai dengan operasi yang dilakukan. Jika ada kesalahan, seperti pada verifikasi pengurangan waktu, testbench akan menghasilkan pesan error yang menunjukkan kegagalan. Secara keseluruhan, testbench ini memastikan bahwa semua fungsi dari SmartClock bekerja dengan benar dan sesuai spesifikasi.

CHAPTER 4

CONCLUSION

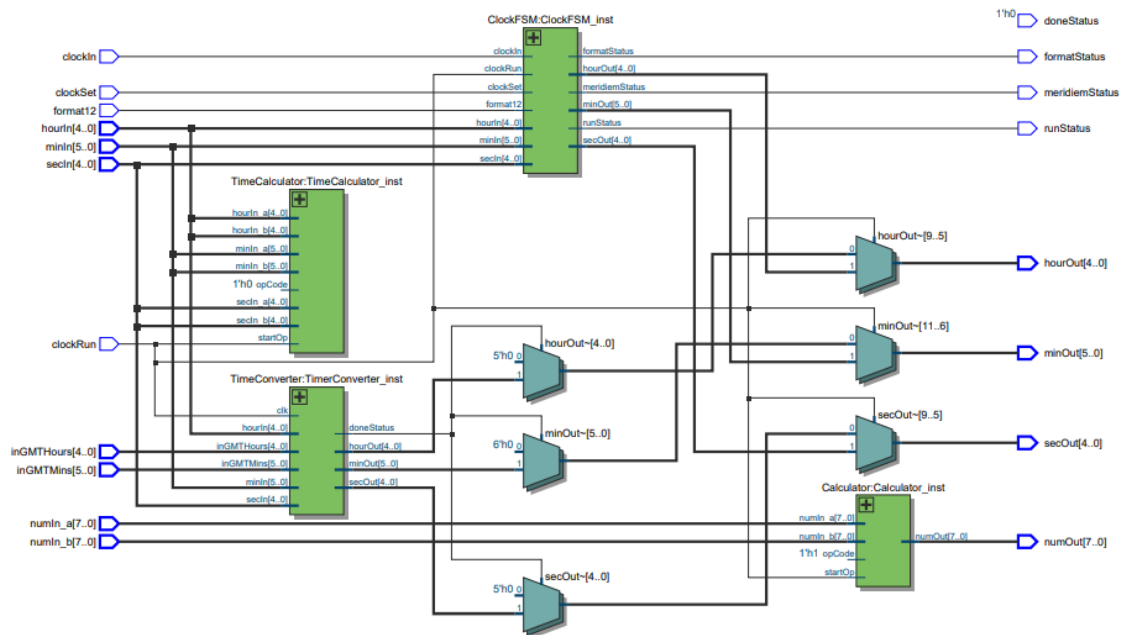
- Rangkaian ini memiliki beberapa opsi yaitu Timer, Clock, Calculator, Time Calculator, dan Time Converter.
- Opsi Timer digunakan untuk melakukan rangkaian Timer pada umumnya
- Opsi Clock digunakan untuk menjalankan waktu seperti pada umumnya
- Opsi Calculator untuk melakukan penjumlahan angka biasa seperti penjumlahan dan pengurangan
- Opsi Time Calculator untuk melakukan penjumlahan waktu seperti jam 1.30 apabila dikurang 30 menit akan menjadi jam 1.00
- Opsi Time Converter untuk melakukan konversi antar zona waktu, seperti misalkan di WIB jam 14.30, maka di WIT jam 16.30 (menambah 2 zona waktu)

REFERENCES

- Admin, "VHDL Modelling Styles: Behavioral, Dataflow, Structural", _Buzztech_, [Online]. Available: <https://buzztech.in/vhdl-modelling-styles-behavioral-dataflow-structural/>. [Accessed: 8 Desember 2024].
- - GI, "Sensitivity List & Clock Trigger", _Digilab DTE_, [Online]. Available: <https://learn.digilabdte.com/books/perancangan-sistem-digital/page/sensitivity-list-clock-trigger>. [Accessed: 8 Desember 2024].
- A. Rifqi, A. Raffi, "Structural Style Programming in VHDL", [Online]. Available: https://emas2.ui.ac.id/pluginfile.php/4741443/mod_resource/content/2/Modul5_PSD23.pdf. [Accessed: 8 Desember 2024].
- Digital Laboratory DTE FTUI, "Tutorial Praktikum PSD Modul 5: Structural Circuit Design" YouTube, 31 March 2021 [Video]. Available: <https://www.youtube.com/watch?v=8k3NMWf6OG0>. [Accessed: 8 Desember 2024].
- Admin, "VHDL Structural Modeling Style", _SurfVHDL_, [Online]. Available: <https://surf-vhdl.com/vhdl-syntax-web-course-surf-vhdl/vhdl-structural-modeling-style/>. [Accessed: 8 Desember 2024].
- E. Hadasa, "Structural Style Programming in VHDL", _Digilab DTE_, [Online]. Available: https://emas2.ui.ac.id/pluginfile.php/4752463/mod_resource/content/1/Modul6_PSD23.pdf. [Accessed: 8 Desember 2024].
- Admin, "Finite State Machines", _All About Circuits_, [Online]. Available: <https://www.allaboutcircuits.com/textbook/digital/chpt-11/finite-state-machines/>. [Accessed: 8 Desember 2024].

APPENDICES

Appendix A: Project Schematic



Appendix B: Documentation

