

| | |
|--|--|
| Instituto Tecnológico de Costa Rica Área Académica de Ingeniería en Computadores (Computer Engineering Academic Area) Programa de Licenciatura en Ingeniería en Computadores (Licentiate Degree Program in Computer Engineering) Curso: CE-3201 Taller de Diseño Digital (Course: CE-3201 Digital Design Laboratory) Profesor: M.Sc. Ing. Jeferson González Gómez. (Professor) Semestre: I, 2020 (Semester) | Qüiz No. 3 (Quiz Test No.3) Fecha: 19 de mayo de 2020 (Date) Grupo: 1 (Group: 1) Tema: Lógica Aritmética (Topic): Aritmethic Logic Tiempo: N/A (Time: N/A) Valor: 20pts. (Value: 20 pts.) Puntos obtenidos: _____ (Score) Nota: _____ (Percentage) |
| Nombre del (la) estudiante: _____ (Student's full name) Carné: _____ (Student's ID) | |

INSTRUCCIONES GENERALES.

- Esta evaluación es individual.
- La evaluación es asincrónica.
- La fecha de entrega máxima será el Miércoles de 20 de mayo, ANTES de media noche.

Conteste las siguientes preguntas de manera adecuada. Realice el planteo del problema y todos los procedimientos necesarios para llegar a la solución correcta.

1. Explique cómo se relaciona el tamaño de la lógica con la ruta crítica y la frecuencia máxima de operación de un sistema digital (5pts)
2. Explique la diferencia entre la bandera de acarreo (carry) y la de desbordamiento (overflow). Muestre un ejemplo en que se presenten los siguientes casos:
 - Carry, pero no overflow.
 - Overflow, pero no carry.
 - Carry y overflow.

(5pts)

3. Suponga que se desea diseñar una ALU simple de 2 bits, con cuatro operaciones: suma, resta, AND y XOR. La ALU tiene un como entrada los dos operandos, así como una señal ALUOp de dos bits, que permite seleccionar entre las operaciones. La salida de la unidad es solamente el resultado de la operación como tal. Muestre el circuito que implementa la ALU, incluya tablas de verdad o especificación de diseño de todos los componentes que incluya en el circuito. (10 pts)