

Laboratorio 1: Características Eléctricas de las Compuertas Lógicas

David Cordero, Jonathan Guzmán, Darío Rodríguez
 dcorderoch@ieee.org jonathana1196@gmail.com darior1227@gmail.com
 Área Académica de Ingeniería en Computadores
 Instituto Tecnológico de Costa Rica

Resumen—En este laboratorio se implementó un circuito simple con unas resistencia variable para así comprobar los valores y rangos de voltaje con los que trabajan los CMOS y los TTL para estos altos y bajos de tensión, además se presentan características eléctricas de compuertas lógicas TTL y CMOS, la construcción de un circuito eléctrico que funcionó como interfaz entre estos y el uso de una resistencia para conectar de manera segura un LED a una compuerta lógica.

Palabras clave—Características Eléctricas, CMOS, Diseño, TTL.

I. INTRODUCCIÓN

En este laboratorio, se estudiaron las características eléctricas de compuertas lógicas TTL y CMOS, como una introducción a la electrónica digital, esto para agregar conocimiento fundamental para los criterios a considerar en el diseño de circuitos y componentes digitales a lo largo de la vida profesional de actuales estudiantes de ingeniería en computadores.

El laboratorio consistió de 2 ejercicios en los cuales se debió realizar mediciones y comprobaciones de un circuito, además de un diseño de un circuito que debe funcionar como interfaz de dos compuertas de diferentes tecnologías, lo cual es considerablemente diferente a lo realizado en laboratorios anteriores, que sólo introducen a los estudiantes a la implementación de circuitos previamente existentes, o al dimensionamiento guiado de circuitos.

II. INVESTIGACIÓN

Asumiendo que VDD se refiere a la tensión de alimentación, esta no debe sobrepasar los 7V, y se recomienda que esté en $5V \pm 0.25V$, según la hoja de datos de un DM74LS00 (ya que la hoja de datos habla de V_{CC} , no de V_{DD}) en la hoja de datos se detallan V_{IL} como la tensión de entrada de bajo nivel, V_{IH} como la tensión de entrada de alto nivel, V_{OL} como la tensión de salida de bajo nivel, y V_{OH} como la tensión de salida de alto nivel para el 74LS00 el rango de operación es de 4.75V a 5.25V para el CMOS 4011, según la hoja de datos de un CTD4011BP. Para la conexión CMOS a TTL se puede usar un circuito similar al de la Figura 4.

III. EXPERIMENTO 1

Para la primera parte se dimensionaron las resistencias de la Figura 1, para generar el estado High y Low en las compuertas de ambas tecnologías. Esto con el fin de realizar una comprobación de los valores teóricos que se pueden

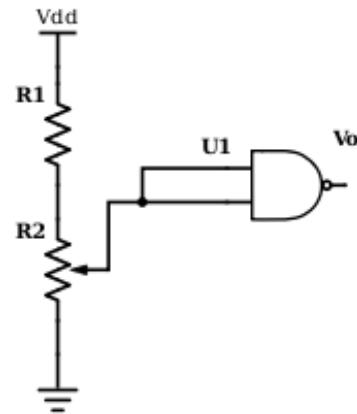


Figura 1. Circuito de medición base

Cuadro I
VALORES TEÓRICOS DE TENSIONES DE LAS COMPUERTAS LÓGICAS 74LS00 Y 4011

	TTL (74LS00)	CMOS (4011)
V_{DD}	4.75V a 5.25V	0.5V a 20V
V_{IL}	$< 0.8V$	$< 1.5V$ con $V_{DD} = 5V$
V_{IH}	$> 2V$	$> 3.5V$ con $V_{DD} = 5V$
$V_{OL}(I_{O1} = 4mA)$	$< 0.4V$	$< 0.5V$
$V_{OL}(I_{O1} = 8mA)$	$< 0.5V$	$< 0.5V$
V_{OH}	> 2.7	> 4.95 con $V_{DD} = 5V$

Cuadro II
VALORES EXPERIMENTALES DE TENSIONES EN HIGH DEL TTL 74LS00 CON $R_1 = 1k\Omega$, VARIANDO R_2

R_2 (k Ω)	V_1 (V)	V_O (V)
1.5	3.125	0.1713
3.018	3.873	0.1592
5.035	4.309	0.1616
7.008	4.524	0.1560
9.030	4.550	0.1672
11.330	4.60	0.1668

observar en el Cuadro I. Los valores obtenidos se encuentran en los Cuadros II, III, IV y V.

Para la conexión TTL a CMOS, se debe mantener I_{IN} a no más de 0.3uA, y como V_{OH} de la compuerta TTL es de típicamente 3.4V, se debe usar una resistencia de alrededor de 15M Ω , para obtener alrededor de 0.227uA.

Cuadro III
VALORES EXPERIMENTALES DE TENSIONES EN HIGH DEL TTL 74LS00
CON $R_1 = 1k\Omega$, VARIANDO R_2

R_2 (k Ω)	V_1 (V)	V_O (V)
45.9	0.17	4.40
67.5	0.25	4.40
112.2	0.51	4.40
120.5	0.59	4.38
146.3	0.67	4.39
163.0	0.74	4.32

Cuadro IV
VALORES EXPERIMENTALES DE TENSIONES EN HIGH DEL CMOS 4011
CON $R_1 = 1k\Omega$, VARIANDO R_2

R_2 (k Ω)	V_1 (V)	V_O (V)
8.46	4.54	0.01
9.02	4.59	0.02
9.36	4.61	0.01
9.58	4.62	0.01
9.75	4.54	0.01
10.02	4.65	0.01

Cuadro V
VALORES EXPERIMENTALES DE TENSIONES EN HIGH DEL CMOS 4011
CON $R_1 = 1k\Omega$, VARIANDO R_2

R_2 (k Ω)	V_1 (V)	V_O (V)
44.5	0.37	4.96
93.5	0.47	4.97
159.5	0.71	4.99
198.5	0.83	4.92
259.0	1.04	5.01
382.0	1.39	5.03

Cuadro VI
CONDICIONES DE OPERACIÓN RECOMENDADAS PARA EL DM74LS00

Parámetro	Min	Nominal	Máx	Unidad
V_{CC}	4.75	5	5.25	V
V_{IH}	2			V
V_{IL}			0.8	V
I_{OH}			-0.4	mA
I_{OL}			0.8	mA
V_{OH}	2.7	3.4		V
V_{OL}		0.35	0.5	V

Cuadro VII
CARACTERÍSTICAS ELÉCTRICAS DEL CTD4011BP EN CD A 25°C, CON
 $V_{CC} = 5V$

Parámetro	Min	Nominal	Máx	Unidad
V_{OL}		0	0.04	V
V_{OH}	4.95	5		V
V_{IL}		2	1.5	V
V_{IH}	3.5	3		V

IV. EXPERIMENTO 2

Se pide diseñar un circuito que implemente la tecnología CMOS y TTL desarrollando una interfaz que interconecte ambas familias ya que los valores de entrada y salida necesarios para una familia u otra varían. Algunas de las interfaces que pueden ser utilizadas se pueden observar en las Figuras 2, 3.

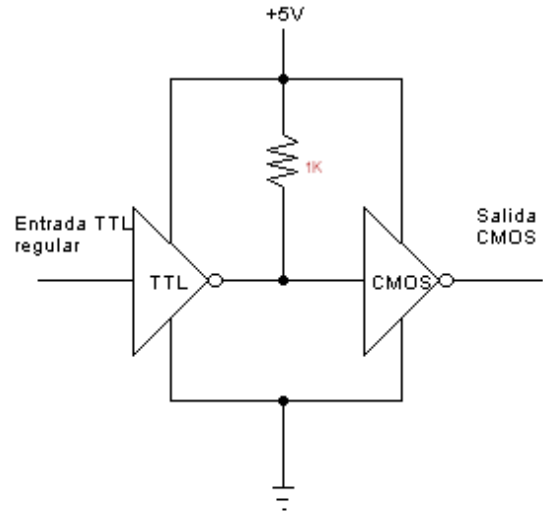


Figura 2. Circuito para interfazar compuerta TTL y CMOS

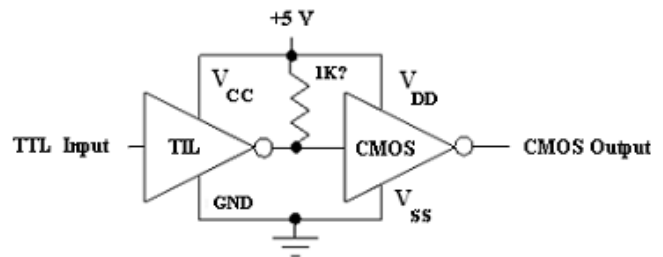


Figura 3. Interfaz de TTL a CMOS usando una resistencia de pull-up.

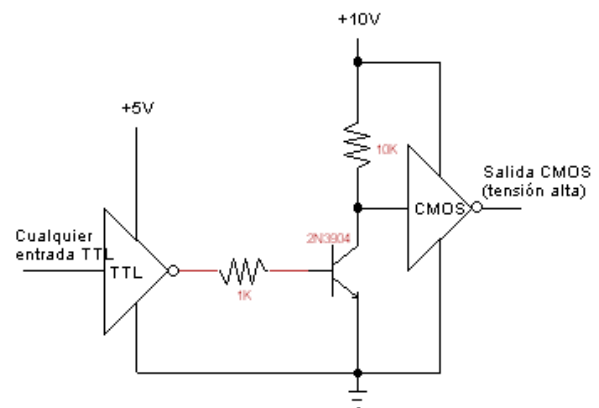


Figura 4. Interfaz de TTL a CMOS usando un transistor.

Para este caso se decidió utilizar una interfaz como la que se puede observar en la Figura 2, donde se utiliza una resistencia de "pull-up" para nivelar la diferencia de voltajes que existen entre las dos tecnologías para ciertos valores.

El diseño quedó como se muestra en la Figura 6.

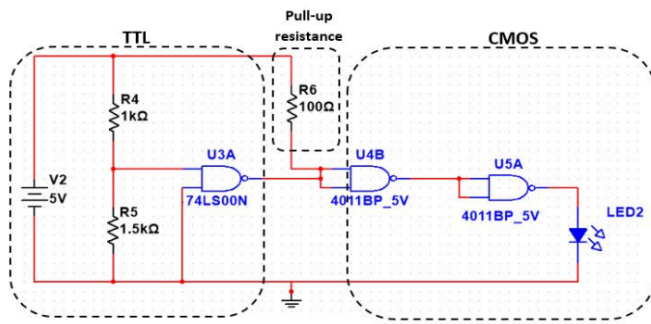


Figura 5. Interfaz de TTL a CMOS usando un transistor.

REFERENCIAS

- [1] National Instruments, *Interfacing TTL and CMOS Circuits*, Jan, 2019. tomado de: knowledge.ni.com/KnowledgeArticleDetails?id=kA00Z0000019MNOSA2
- [2] Razavi, B. (2002). *Design of Analog CMOS Integrated Circuits*. McGraw Hill.
- [3] FAIRCHILD. (Aug 1986). alldatasheet.com. Obtenido de 74LS00 Datasheet (PDF), Fairchild Semiconductor: alldatasheet.com/datasheet-pdf/pdf/51021/FAIRCHILD/74LS00.html
- [4] TOSHIBA. (Aug 1999). alldatasheet.com Obtenido de TC4011BP Datasheet (PDF), Toshiba Semiconductor: alldatasheet.com/datasheet-pdf/pdf/31627/TOSHIBA/TC4011BP.html

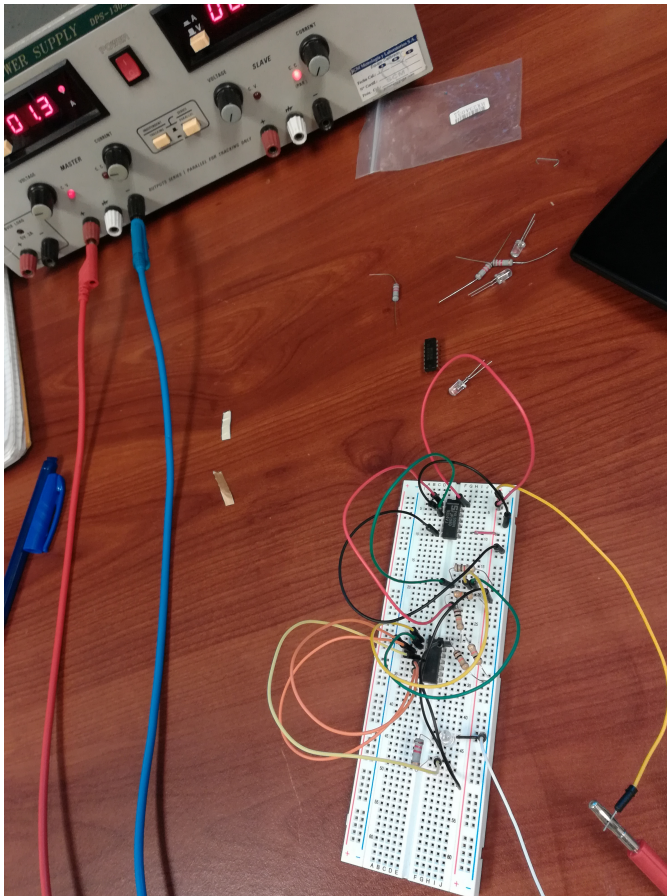


Figura 6. Circuito armado en el laboratorio.

V. CONCLUSIONES

- Se logró hacer una comparación entre valores teóricos y experimentales de los voltajes de entrada y salida para los estados lógicos (alto y bajo), dimensionando las resistencias del circuito del experimento 1 con la fórmula de la figura 1.
- La implementación de una resistencia “pull-up” permite utilizar dos familias de tecnologías distintas como lo es el integrado HD74LS00P (TTL) y el CD4011BE (CMOS), esta resistencia crea una interfaz para poder nivelar valores de voltaje de entrada y salida que no son compatibles entre sí.