

Laboratorio 2: Introducción a los lenguajes de descripción de hardware

Índice

1. Introducción	1
1.1. Procedimiento	1
2. Investigación	2
3. Ejercicios	2
3.1. Problema 1	2
3.2. Problema 2	2
3.3. Problema 3	2

1. Introducción

Este laboratorio introduce al estudiante al diseño de circuitos digitales por medio de lenguajes de descripción de hardware (HDL). Un HDL es una forma de describir la especificación, comportamiento o estructura de un módulo de hardware, por medio de una estructura programática. Pese a su similitud con un lenguaje de programación (tipos de datos, estructuras básicas, sintaxis, etc) los HDL **deben describir hardware**, por lo que para todo diseño, se debe tener conocimiento completo de qué componente se está diseñando. Esto implica la realización previa de tablas de verdad, diagramas de estados, diagramas de bloques, etc.

En este laboratorio se trabajarán los lenguajes *SystemVerilog* y VHDL. Para más información sobre los lenguajes a utilizar, se recomienda estudiar el capítulo 4 de [1].

1.1. Procedimiento

A lo largo del laboratorio se desarrollarán varios ejercicios que guiarán a los estudiantes por el proceso de diseño, implementación y verificación de circuitos digitales básicos, por medio de lenguajes de descripción de hardware. En la bitácora correspondiente usted debe realizar las tablas de verdad, diagramas de bloque y/o diagramas de estado correspondiente con cada diseño.

1. Lea y trate de comprender todo el trabajo solicitado antes de iniciarlo.
2. Para cada ejercicio, utilice hojas de bitácora separadas. Muestre en la bitácora todas las tablas de verdad, circuitos, figuras, diagramas, etc. usados en las preguntas planteadas.
3. Para la presentación funcional, se le pedirá que muestre algunos de los circuitos propuestos, ya sea en implementación o simulación. Dicha selección se hará el día de la presentación.

2. Investigación

Para el desarrollo de este laboratorio se deben responder las siguientes preguntas.

1. Explique el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno.
2. Explique el proceso de síntesis lógica en el diseño de circuitos digitales.
3. Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.

3. Ejercicios

A continuación se presentan 3 ejercicios prácticos, los cuales debe resolver de manera completa. En cada ejercicio muestre en la bitácora todos los pasos de diseño que llevan a la solución del problema.

3.1. Problema 1

1. Diseñe un decodificador para display 7 segmentos con un modelo de comportamiento en SystemVerilog, para números de 4 bits (0-9, A-F).
2. Realice un *testbench*, en SystemVerilog, en el que se muestre de manera simple el funcionamiento del decodificador. Muestre el resultado de la prueba para al menos 4 valores diferentes.
3. Implemente el decodificador en la FPGA. Utilice los switches como entrada y un display para 7 segmentos para visualizar el funcionamiento del decodificador.

3.2. Problema 2

1. Diseñe un sumador completo de 4 bits con modelo de estructura en VHDL. Parta del diseño un sumador completo de 1 bit.
2. Realice un *testbench* para el sumador del punto anterior, en VHDL. Muestre las pruebas para al menos 4 valores diferentes de operandos.
3. Implemente el sumador completo en FPGA. Utilice los switches de las tarjeta para los datos de entrada, así como los display de 7 segmentos (diseñado en punto anterior) para el resultado.

3.3. Problema 3

1. Diseñe contador parametrizable de N bits con reset asincrónico en el lenguaje de descripción de su preferencia.
2. Realice un *testbench* de auto-chequeo (self-checking) para el contador del punto anterior. Muestre el resultado del *testbench* para 2, 4 y 6 bits.
3. Implemente el contador para 3 bits en la FPGA, utilice un botón como reloj, un switch como reset, así como el display de 7 segmentos para visualizar el funcionamiento del contador.

Referencias

- [1] Sarah Harris and David Harris. *Digital Design and Computer Architecture: ARM Edition*. Morgan Kaufmann, 2015.