

# Laboratorio 1: Características eléctricas de las compuertas lógicas

Jonathan Guzmán Araya, Mariano Muñoz Masís

Instituto Tecnológico de Costa Rica

Área Académica Ingeniería en Computadores

jonathana1196@gmail.com marianomm1301@gmail.com

**Resumen**—The logic gates are built by semiconductor devices and taking into account their own specifications, these will have different functional characteristics that will make them belong to one or another family of logic gates. Each family has advantages one over the other, depending on the application that is needed, the one that best suits is selected, although they can also be combined through interfaces to achieve more specific applications.

**Index Terms**—Arreglos, compuerta lógica, interfaz, NPN, PNP, tensión, transistor.

## I. INTRODUCCIÓN

EL siguiente informe de laboratorio tiene como objetivo acercar al estudiante a las realidades que puede enfrentar en las prácticas de campo en cuanto al comportamiento eléctrico de las compuertas de las familias Lógica Transistor-Transistor llamadas comúnmente por sus siglas en inglés TTL y las compuertas Metal-óxido-semiconductor complementario llamadas CMOS, además de guiar al estudiante al uso de herramientas y dispositivos relacionados con estos dispositivos.

Las Compuertas Lógicas son circuitos electrónicos conformados internamente por transistores que se encuentran con arreglos especiales con los que otorgan señales de voltaje como resultado o una salida de forma booleana, están obtenidos por operaciones lógicas binarias (suma, multiplicación). También niegan, afirman, incluyen o excluyen según sus propiedades lógicas [8].

Existen diferentes tipos de compuertas y algunas son más complejas, con la posibilidad de ser simuladas por compuertas más sencillas, algunas de estas compuertas lógicas son:

- **AND:** Esta compuerta es representada por una multiplicación en álgebra de Boole, lo que indica que es necesario que en todas sus entradas se tenga un estado binario 1 (positivo) para que la salida genere un 1 binario. En caso contrario de que falte alguna de sus entradas con este estado o no tenga si quiera una accionada, la salida no podrá cambiar de estado y permanecerá en 0 (negativo) [8].

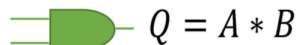


Figura 1. Compuerta AND y su representación en álgebra de Boole [8]

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Cuadro I

TABLA DE VERDAD DE LA COMPUERTA AND

- **NAND:** También denominada como AND negada, esta compuerta trabaja al contrario de una AND ya que al no tener entradas en 1 o solamente alguna de ellas, esta concede un 1 en su salida, pero si esta tiene todas sus entradas en 1 la salida se presenta con un 0 [8].

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Cuadro II

TABLA DE VERDAD DE LA COMPUERTA NAND

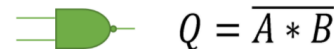


Figura 2. Compuerta NAND y su representación en álgebra de Boole [8]

- **OR:** En el álgebra de Boole esta es una suma. Esta compuerta permite que con cualquiera de sus entradas que este en estado binario 1, su salida pasara a un estado 1 también. No es necesario que todas sus entradas estén accionadas para conseguir un estado 1 a la salida pero tampoco causa algún inconveniente. Para lograr un estado 0 a la salida, todas sus entradas deben estar en el mismo valor de 0 [8].

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

Cuadro III

TABLA DE VERDAD DE LA COMPUERTA OR

- **NOT:** Esta compuerta solo tiene una entrada y una salida, actúa como un inversor [8].



Figura 3. Compuerta OR y su representación en álgebra de Boole [8]

Q	Q'
0	1
1	0

Cuadro IV

TABLA DE VERDAD DE LA COMPUERTA NOT



Figura 4. Compuerta NOT y su representación en álgebra de Boole [8]

- **XOR:** También llamada OR exclusiva, esta actúa como una suma binaria de un dígito cada uno y el resultado de la suma sería la salida. Otra manera de verlo es que con valores de entrada igual el estado de salida es 0 y con valores de entrada diferente, la salida será 1 [8].

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Cuadro V

TABLA DE VERDAD DE LA COMPUERTA XOR



Figura 5. Compuerta XOR y su representación en álgebra de Boole [8]

A diferencia de una compuerta lógica ideal, una compuerta lógica real debe ajustarse a la naturaleza de los elementos y materiales que la componen, dando así origen a las familias lógicas. Una familia lógica es un grupo de dispositivos que comparten un tecnología común de fabricación y tienen estandarizadas sus características de entrada y de salida; es decir son compatibles entre sí.

#### I-A. Alimentación CD

Tanto la familia TTL como la CMOS requieren de un voltaje de alimentación para funcionar, en el caso de la familia TTL el voltaje de alimentación CD ( $V_{CC}$ ) es de +5 V, y la familia CMOS tiene distintos valores de voltaje de alimentación ( $V_{DD}$ ) +5 V, +3.3 V, +2.5 V y +1.2 V.

#### I-B. Significado de Términos

Indistintamente de la familia las compuertas trabajan con "0's" y "1's" lógicos, para representar el estado ALTO (HIGH) o el estado BAJO (LOW), la distinción se hace en el termino de rango de valores admitidos, de esta manera es importante definir los términos  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  y  $V_{OH}$ .

- $V_{IL}$  : Rango de tensiones de entrada que representan un nivel bajo.
- $V_{IH}$  : Rango de tensiones de entrada que representan un nivel alto.
- $V_{OL}$  : Rango de tensiones de salida que representan un nivel bajo.
- $V_{OH}$  : Rango de tensiones de salida que representan un nivel alto.

	CMOS 5V	CMOS 3.3V	TTL
$V_{IH}$ máx.	5	3.3	5
$V_{IH}$ mín.	3.5	2	2
$V_{IL}$ máx.	1.5	0.8	0.8
$V_{IL}$ mín.	0	0	0

Cuadro VI

VALORES NOMINALES DE TENSIÓN DE ENTRADA PARA CADA TECNOLOGÍA

	CMOS 5V	CMOS 3.3V	TTL
$V_{OH}$ máx.	5	3.3	5
$V_{OH}$ mín.	4.4	2.4	2.5
$V_{OL}$ máx.	0.33	0.4	0.4
$V_{OL}$ mín.	0	0	0

Cuadro VII

VALORES NOMINALES DE TENSIÓN SALIDA PARA CADA TECNOLOGÍA

#### I-C. Fan-out y Fan-in

Otro término que se debe conocer es el *fan-out*, básicamente este término se refiere a la cantidad de compuertas lógicas que se pueden conectar a la salida de una compuerta lógica. Se determina de la siguiente manera:

$$fan - out = \frac{I_{OH}}{I_{IH}} \quad (1)$$

$$fan - out = \frac{I_{OL}}{I_{IL}} \quad (2)$$

Tomando como referencia el valor mas pequeño de las ecuaciones (1) y (2). Este valor es de suma importancia, ya que nos indica que cantidad de compuertas se puede manejar con las corrientes en Alto y en Bajo, para evitar daños en los componentes.

#### I-D. Interfaces

Conocer a fondo ambas tecnologías nos permite realizar circuitos que ayuden a mejorar los tiempos de propagación y disminuir la potencia disipada. La tecnología CMOS ofrece ventajas en cuanto a la tensión de alimentación, la temperatura de trabajo, inmunidad al ruido, el fan-out y potencia disipada, por su lado la tecnología TTL presenta ventajas con un menor tiempo de conmutación y un costo ligeramente más bajo.

Además, según las ventajas que ofrece cada tecnología se pueden realizar interfaces. Una interfaz es la interconexión eficiente de dos dispositivos, circuitos o sistemas que no son compatibles entre sí y tiene características eléctricas diferentes. Las interfaces lógicas permiten que dispositivos de diferentes familias puedan comunicarse satisfactoriamente entre sí.

Una entrada CMOS es relativamente fácil de manejar a partir de una salida TTL cuando los dispositivos involucrados en la interfaz operan a partir de una misma fuente de +5V. Las características de corriente de salida de TTL son más que adecuadas para manejar entradas CMOS, solo deben hacerse compatibles los niveles de tensión. Entre los tipos de interfaces posibles de TTL a CMOS y viceversa tenemos:

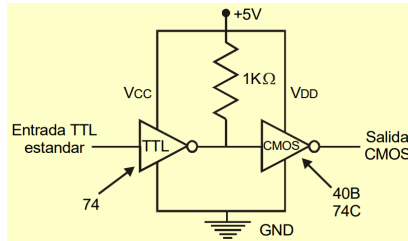


Figura 6. Interfaz TTL a CMOS con resistencia [7]

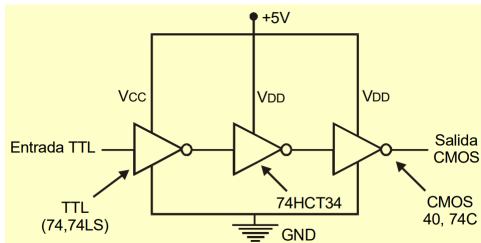


Figura 7. Interfaz TTL a CMOS con 74HCT34 [7]

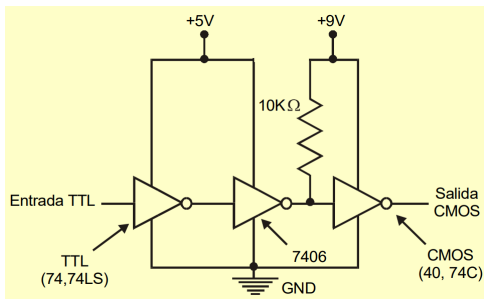


Figura 8. Interfaz TTL a CMOS con colector abierto [7]

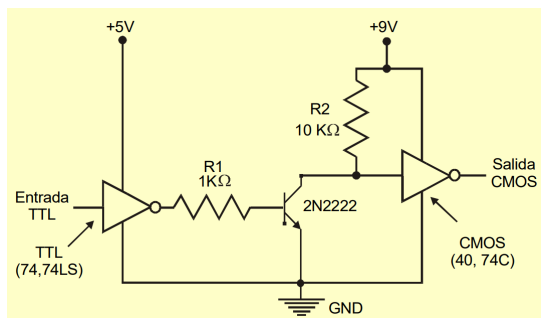


Figura 9. Interfaz TTL a CMOS con transistor [7]

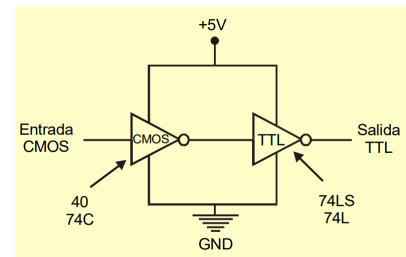


Figura 10. Interfaz directa CMOS a TTL [7]

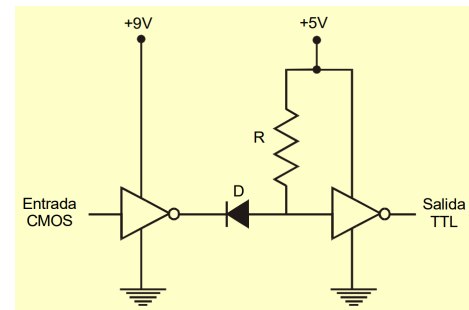


Figura 11. Interfaz CMOS a TTL con resistencia [7]

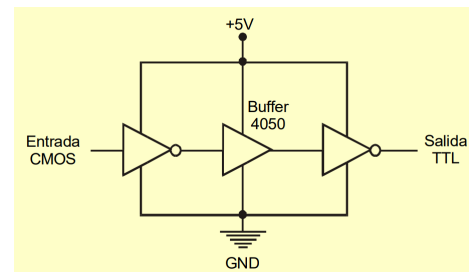


Figura 12. Interfaz CMOS a TTL con buffer CMOS [7]

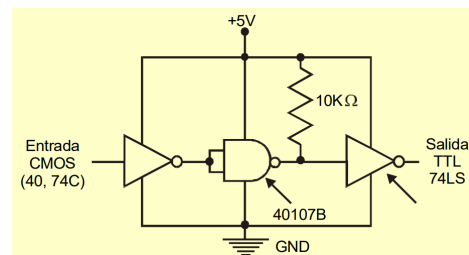


Figura 13. Interfaz de CMOS a TTL con 40107B [7]

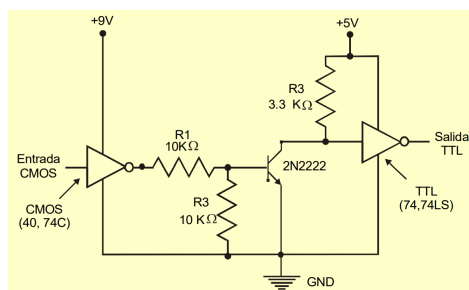


Figura 14. Interfaz de CMOS a TTL con transistor [7]

## II. SISTEMA DESARROLLADO

### II-A. Experimento 1

En este experimento es necesario modificar y dimensionar el circuito de la Figura 15, además se deben dimensionar las resistencias que se muestran en dicho circuito, para esto se utilizará la Ecuación 3:

$$V_I = \frac{R_2 * V_{DD}}{R_1 + R_2}, R_1 = 1k\Omega \quad (3)$$

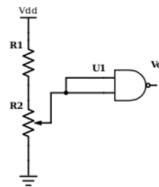


Figura 15. Circuito base para la medición del experimento 1

Utilizando la familia de tecnologías TTL, se tiene el circuito de la Figura 16, la comparación entre sus valores teóricos y prácticos se encuentran en la Tabla VIII.

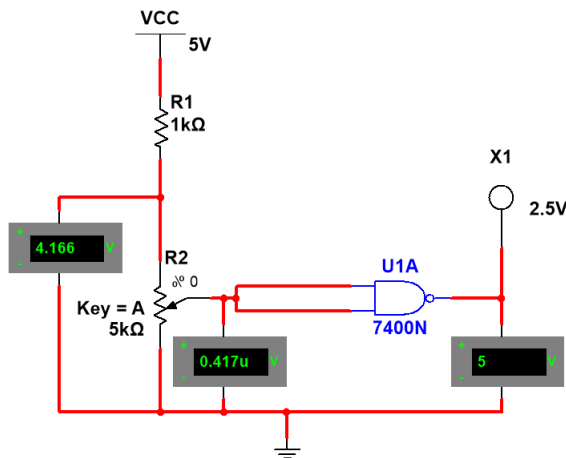


Figura 16. Circuito 1 adaptado TTL

NAND TTL	Teórico (V)	Práctico (V)
$V_{IH}$	5 - 2	4.999 - 2.549
$V_{IL}$	0.8 - 0	2.499 - 0.4 $\mu$
$V_{OH}$	5 - 3.4	5
$V_{OL}$	0.2 - 0	0

Cuadro VIII

VALORES TEÓRICOS VS VALORES PRÁCTICOS TTL

A su vez utilizando la familia de tecnologías CMOS, se tiene el circuito de la Figura 17, la comparación entre sus valores teóricos y prácticos se encuentran en la Tabla IX.

NAND TTL	Teórico (V)	Práctico (V)
$V_{IH}$	6 - 2	4.545 - 2.045
$V_{IL}$	2.1 - 0	2 - 0.455 $\mu$
$V_{OH}$	4 - 2.25	4
$V_{OL}$	0	0

Cuadro IX

VALORES TEÓRICOS VS VALORES PRÁCTICOS CMOS

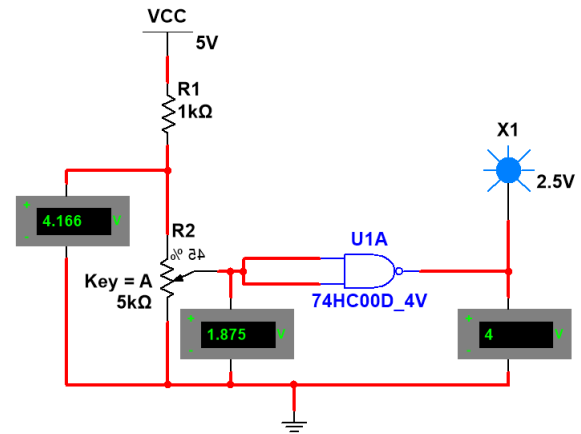


Figura 17. Circuito 1 adaptado CMOS

### II-B. Experimento 2

Para este experimento se desea desarrollar la función que se muestra en la Ecuación 4, donde  $\uparrow$  denota la operación NAND.

$$F = (A \uparrow B) \cdot C + (A \oplus C) \quad (4)$$

Por lo que el primer paso a realizar será obtener la tabla de verdad de la misma.

A	B	C	$A \uparrow B$	$(A \uparrow B) \cdot C$	$A \oplus C$	F
0	0	0	1	0	0	0
0	0	1	1	1	1	1
0	1	0	1	0	0	0
0	1	1	1	1	1	1
1	0	0	1	0	1	1
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	1	0	0	0	0

Cuadro X

TABLA DE VERDAD DE LA ECUACIÓN 4

Explicación del diseño.

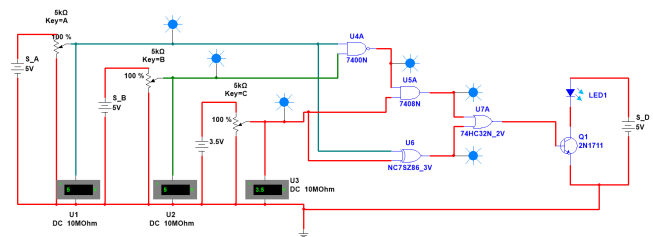


Figura 18. Circuito diseñado para desarrollar la Ecuación 4

### II-C. Experimento 3

Se desea diseñar un sumador completo de 2 bits a partir de un sumador completo de 1 bit sin el uso de la compuerta XOR, esta se puede desarrollar mediante el uso de compuertas más simples (NOT, OR, AND) como se observa en la Figura 19. La tabla de verdad de un sumador completo de 1 bit se puede observar en la Tabla XI y su circuito se observa en la Figura 20.

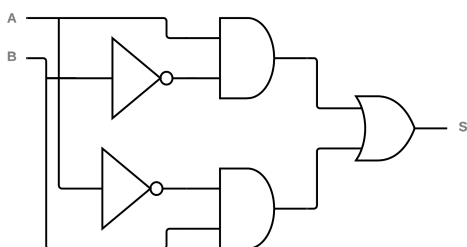


Figura 19. Compuerta XOR a partir de compuertas NOT, AND y OR.

A	B	$C_{in}$	$C_{out}$	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Cuadro XI

TABLA DE VERDAD SUMADOR COMPLETO DE 1 BIT

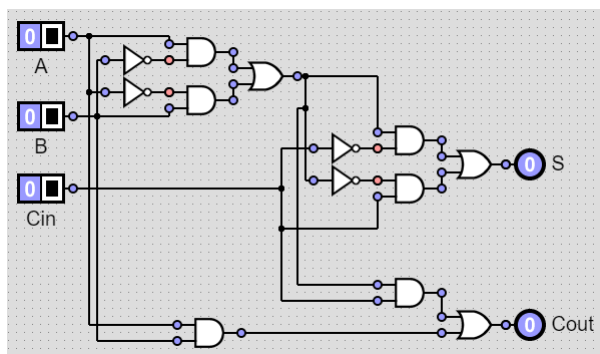


Figura 20. Sumador completo de 1 bit con compuertas lógicas

A	B	$C_{in}$	$C_{out}$	Sd	Su
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	1	1
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

Cuadro XII

TABLA DE VERDAD SUMADOR COMPLETO DE 2 BITS

Además es necesario desarrollar el mismo a nivel de chip sin utilizar la compuerta XOR. Es por esto que el sistema que se desarrolló para el sumador de 1 bit se muestra en la Figura 22, este se compone de un de un bloque que se puede

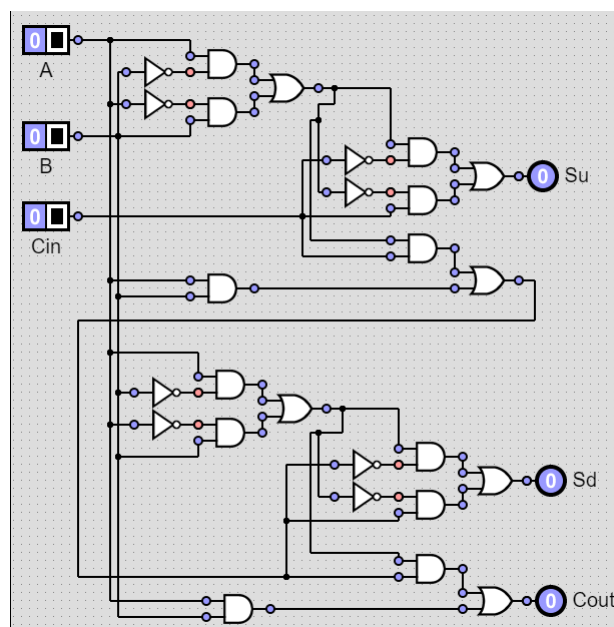


Figura 21. Sumador completo de 2 bits con compuertas lógicas

observar más detalladamente en la Figura 23, como se puede notar este se contiene a su vez de dos bloques *XOR* donde cada uno está compuesto de compuertas lógicas básicas como AND, NOT y OR y se detallan en la Figura 24.

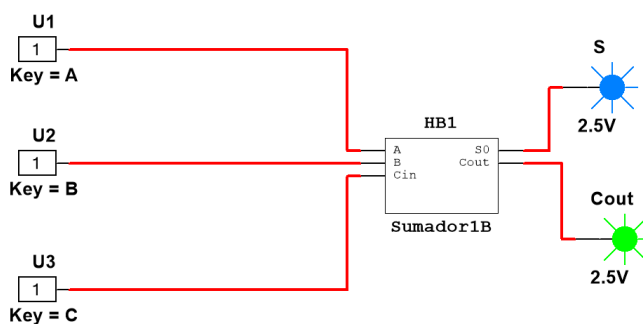


Figura 22. Sumador de 1 bit

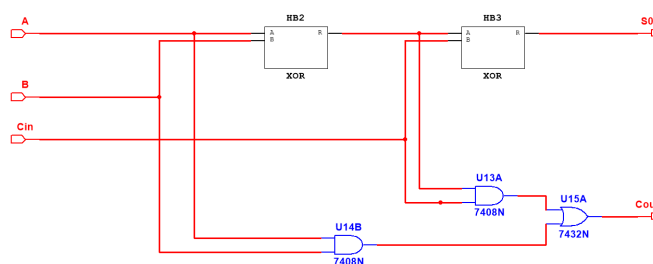


Figura 23. Bloque del sumador de 1 bit

Para el sumador de 2 bits se realizó un análisis similar, este se puede componer de dos sumadores de 1 bit cada uno, es por esto que como se observa en la Figura 25 contiene dos bloques, la información detallada de estos se puede observar en las Figuras 22, 23 y 24, ya que se aplicó un diseño modular

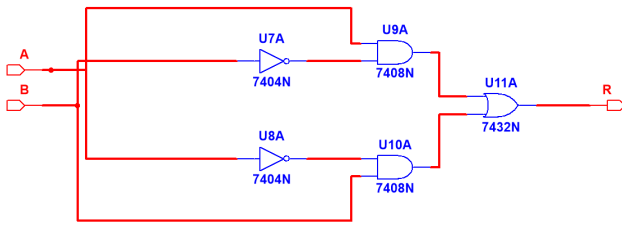


Figura 24. Compuerta XOR desarrollada mediante chips de compuertas básicas

para el sumador de 1 bit y estos se utilizaron para desarrollar en el sumador de 2 bits.

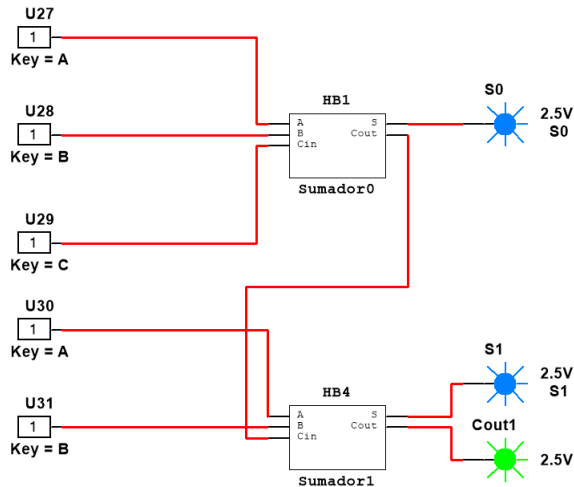


Figura 25. Sumador de 2 bits

### III. ANÁLISIS DE RESULTADOS

#### III-A. Experimento 1

En este caso como se puede apreciar en las Tablas VIII y IX, los valores teóricos y prácticos difieren mucho unos de los otros, se pueden asignar estas diferencias al uso de un simulador dado que este funciona con comportamientos ideales y/o limitados, con medidas muy distantes de la realidad. Uno de las observaciones mas importantes es que no se aprecia con claridad la región de la compuerta con comportamiento inestable, debido al cambio de funcionamiento de región de operación.

**III-A1.  $V_{IH}$ :** En el caso de la tecnología TTL los valores teóricos están dentro del rango de 5V a 2V, pero en la práctica están en el rango de 4.99V a 2.549V.

Para el caso de la tecnología CMOS se muestra una diferencia mas significativa, dado que los valores en este estado son de 6V a 2V en cuanto a los valores teóricos, pero según las mediciones con el simulador estos valores son 4.545V a 2.045V, acá vemos una pérdida de 1.5V aproximadamente hacia el límite superior.

**III-A2.  $V_{IL}$ :** En la compuerta TTL podemos apreciar quizás el caso mas marcado de todo el cuadro, los valores prácticos de funcionamiento están en el rango de 0.8V a 0V,

pero la práctica (simulación) nos indica que estos valores están en el rango de 2.499V a 0.4μV lo que supone una pérdida en el funcionamiento real, dado que según la teoría, los valores dentro del rango de 2V a 0.8V deberían considerarse valores inciertos, pero como resultados de simulación nos indica que aun estos deben considerarse como estados de "operación" de la compuerta.

En el caso de la CMOS el comportamiento se acerca un poco al ideal, dada la peculiaridad que la compuerta CMOS tiene "definida" el rango de cambio, podemos observar que la sección de incertidumbre es de apenas 0.1V.

**III-A3.  $V_{OH}$ :** Para el caso de la familia TTL, al igual que el caso anterior se ve un desfase en los rangos teóricos y prácticos, pero con la diferencia que la salida nos muestra un resultado único, en este estado la salida en alto solo muestra 5V, siendo contrario a la teoría que nos da un rango de valores, que van desde los 5V a los 3.4V

Lo mismo se puede apreciar en la familia CMOS que a pesar de la gran diferencia de valores que se presenta, de igual manera se tiene un unico valor de salida en la practica.

**III-A4.  $V_{OL}$ :** Para la familia TTL el cambio no es relevante, de igual manera que para la familia CMOS

Para ambos experimentos se utilizaron resistencias de 1KΩ y un potenciómetro de 5kΩ, la primer resistencia se encuentra de manera experimental, dado que según los datos de las compuertas, la corriente de entrada es de 50 mA para ambos casos lo que nos deja una resistencia de 10Ω sin embargo no muestra una caída de tensión significativa para los propósitos del experimento. Por lo cual se sustituye con la resistencia anteriormente mencionada

#### III-B. Experimento 2

Para este experimento se utilizan dos cosas fundamentales, primeramente se realiza la investigación de las compuertas de la serie 7xxx de la tecnología CMOS la cual nos permite una conexión directa con la familia TTL, gracias a sus pines compatibles con dicha familia. Luego, como podemos observar en la figura 10, se nos permite conectar a ambas familias de forma directa, esto sumado a que los valores de tensión de la familia CMOS están dentro de los valores de la familia TTL, por lo que no se ve directamente afectada pro dicha conexión. Se hace la aclaración que se pudo escoger la conexion Pull-Up o Pull-Down para dicha interfaz, pero esto significa un gasto en componentes que no es deseado en los proyectos.

#### III-C. Experimento 3

En el caso del experimento 3 se desarrolló para el caso del sumador de 1 bit dos versiones, el primero desde el una versión gráfica de compuertas lógicas como el que se observa en la Figura 20 además de una versión a nivel de chip como el de la Figura 22. A nivel de compuertas gráficas mediante el simulador en línea se obtuvo la tabla de verdad que se observa en la Figura 26, al comparar esta tabla de valores simulados con la Tabla XI que presenta los resultados teóricos podemos observar que sus resultados son los mismos, por lo que se demuestra que esta simulación presenta un correcto funcionamiento.



Además al realizar las pruebas en la versión simulada mediante chips también se llegó a los mismos resultados al ingresar cada entrada una a una, lo cual nos indica que también funciona correctamente.

Cin	b	a	Count	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

Figura 26. Resultado simulador en línea sumador completo de 1 bit

Por otro lado para el caso del sumador de 2 bits también se desarrollaron dos versiones, el primero desde el una versión gráfica de compuertas lógicas como el que se encuentra en la Figura 21 además de una versión a nivel de chip como el de la Figura 25. A nivel de compuertas gráficas mediante el simulador en línea se obtuvo la tabla de verdad que de la Figura 27, al comparar esta tabla de valores simulados con la Tabla XII que presenta los resultados teóricos podemos observar que sus resultados son los mismos, por lo que se demuestra que esta simulación presenta un correcto funcionamiento.

Además al realizar las pruebas en la versión simulada mediante chips también se llegó a los mismos resultados al ingresar cada entrada una a una, lo cual nos confirma el correcto funcionamiento de esta.

Cin	b	a	Count	Sd	Su
0	0	0	0	0	0
1	0	0	0	0	1
0	1	0	0	1	1
1	1	0	1	0	0
0	0	1	0	1	1
1	0	1	1	0	0
0	1	1	1	1	0
1	1	1	1	1	1

Figura 27. Resultado simulador en línea sumador completo de 2 bits

Cabe destacar que en las Figuras 26 y 27 en las entradas el LSB (Least Significant Bit) es el que se encuentra en la primer columna y el MSB (Most-significant bit) en la tercera.

#### IV. CONCLUSIONES

En el pasado realizar la conexión entre dos familias distintas como lo son las tecnologías TTL y CMOS requería de utilizar distintas interfaces como las de las Figuras 6, 7, 8, 9, 10, 11, 12, 13 y 14, pero con el desarrollo de la tecnología HC (High speed CMOS), que es un caso especial de la tecnología CMOS no es necesario realizar una interfaz entre estos, ya que la serie HC tiene niveles lógicos compatibles con la tecnología TTL [9].

Las compuertas lógicas son fundamentales para realizar distintos circuitos en electrónica y se pudo comprobar mediante la realización de sumadores de 1 bit, 2 bits y funciones más complejas como 4. Demostrando que es escalable ya que el sumador de 2 bits se realizó mediante el diseño modular utilizando el sumador de 1 bit, y este a su vez podría escalarse para implementar un sumador de 4 o n bits.

El uso de herramientas de simulación supone en muchas ocasiones estar anuentes a comportamientos ideales, o fallas en la programación que puede afectar el funcionamiento de nuestro modelo, en este caso la región de incertidumbre de las compuertas no pudo ser medida dado el comportamiento ideal del simulador, el cambio de estado no se da de manera escalonada, sino de manera continua ascendente o descendente según sea el caso. Por ello se debe tener en cuenta que las simulaciones son un paso mas del método de diseño modular, y no debería ser la ultima opción antes de sacar un dispositivo a producción, las simulaciones nos guían a través del problema para encontrar la solución, pero no son la respuesta definitiva, sin duda alguna debemos prepararnos para hacer prototipos y verificar el funcionamiento del modelo de forma física.

#### V. BIBLIOGRAFÍA

##### REFERENCIAS

- [1] "74HC00D pdf, 74HC00D description, 74HC00D datasheets, 74HC00D view :: ALLDATASHEET ::", Pdf1.alldatasheet.com, 2021. [En línea]. Disponible: <https://pdf1.alldatasheet.com/datasheet-pdf/view/344388/NXP/74HC00D.html>. [Accesado: 23- Feb- 2021].
- [2] "74HC32N pdf, 74HC32N description, 74HC32N datasheets, 74HC32N view :: ALLDATASHEET ::", Pdf1.alldatasheet.com, 2021. [En línea]. Disponible: <https://pdf1.alldatasheet.com/datasheet-pdf/view/536726/PHILIPS/74HC32N.html>. [Accesado: 23- Feb- 2021].
- [3] Ti.com, 2021. [En línea]. Disponible: <https://www.ti.com/lit/ds/sdls025d/sdls025d.pdf>. [Accesado: 23- Feb- 2021].
- [4] Onsemi.com, 2021. [En línea]. Disponible: <https://www.onsemi.com/pub/Collateral/NC7SZ86-D.PDF>. [Accesado: 23- Feb- 2021].
- [5] "fan-in and fan-out", Intel.com, 2021. [En línea]. Disponible: [https://www.intel.com/content/www/us/en/programmable/quartushelp/13.0/mergedProjects/reference/glossary/def\\_fan.htm](https://www.intel.com/content/www/us/en/programmable/quartushelp/13.0/mergedProjects/reference/glossary/def_fan.htm). [Accesado: 23- Feb- 2021].
- [6] "Interfacing TTL and CMOS Circuits - National Instruments", Knowledge.ni.com, 2021. [En línea]. Disponible: <https://knowledge.ni.com/KnowledgeArticleDetails?id=kA03q000000YHhjCAG&l=en-US>. [Accesado: 18- Feb- 2021].
- [7] J. Jiménez, "Interfases entre TTL y CMOS", Ladelec.com, 2021. [En línea]. Disponible: <http://www.ladelec.com/teoria/electronica-digital/369-interfases-entre-ttl-y-cmos>. [Accesado: 22- Feb- 2021].
- [8] "Las Compuertas Lógicas y sus Operaciones Lógicas (AND, OR, NOT, NAND, NOR, XOR, XNOR)", Logicbus.com.mx, 2021. [En línea]. Disponible: <https://www.logicbus.com.mx/compuertas-logicas.php>. [Accesado: 18- Feb- 2021].
- [9] "Niveles lógicos (alto, bajo, 0, 1, Low, High) - Electrónica Unicrom", Electrónica Unicrom, 2021. [En línea]. Disponible: <https://unicrom.com/niveles-logicos-alto-bajo-0-1-low-high/>. [Accesado: 18- Feb- 2021].
- [10] "SN7408N pdf, SN7408N Description, SN7408N datasheets, SN7408N Vista :: ALLDATASHEET ::", Pdf1.alldatasheet.es, 2021. [En línea]. Disponible: <https://pdf1.alldatasheet.es/datasheet-pdf/view/177352/TI/SN7408N.html>. [Accesado: 23- Feb- 2021].
- [11] "Sumador binario completo de 1 bit - Electrónica Unicrom", Electrónica Unicrom, 2021. [En línea]. Disponible: <https://unicrom.com/sumador-binario-completo-de-1-bit>. [Accesado: 22- Feb- 2021].