

# Projekt stanowiska pomiarowego podstawowych wielkości fizycznych wykorzystywanych w systemach HVAC

w oparciu o zestaw STM32F746G-Discovery z wyświetlaczem TFT

Paweł Bałbatun

27 października 2025

## Streszczenie

Praca przedstawia projekt oraz weryfikację stanowiska pomiarowego dla wybranych wielkości fizycznych typowych w systemach HVAC (temperatura, wilgotność, ciśnienie, przepływ oraz sygnały sterujące 0 V–10 V). Rozwiążanie bazuje na zestawie uruchomieniowym STM32F746G-Discovery z wyświetlaczem TFT oraz na dedykowanej karcie pomiarowo-wyjściowej 0 V–10 V zaprojektowanej w KiCad. Oprogramowanie wykonano w środowisku Zephyr RTOS z wykorzystaniem sterowników peryferiów i biblioteki LVGL do obsługi interfejsu graficznego. Przedstawiono wymagania funkcjonalne, projekt części analogowej (tory wejściowe z ochroną i skalowaniem, tor wyjściowy 0 V–10 V), architekturę oprogramowania (wątki RTOS, kolejki, sterowniki), a także wyniki walidacji dokładności i powtarzalności pomiarów na podstawie wzorców i porównania z przyrządami referencyjnymi.

## Spis treści

<b>1 Wstęp</b>	<b>2</b>
<b>2 Stan wiedzy i rozwiązania pokrewne</b>	<b>2</b>
<b>3 Wymagania</b>	<b>2</b>
3.1 Funkcjonalne . . . . .	2
3.2 Niefunkcjonalne . . . . .	2
<b>4 Projekt części sprzętowej</b>	<b>2</b>
4.1 Wymagania sprzętowe — przegląd . . . . .	2
4.2 Moduł zasilania . . . . .	3
4.3 Tor wyjściowy 0–10 V: przetwornik DAC + wzmacniacze operacyjne . . . . .	3
4.4 Tor wejściowy 0–10 V: interfejs pomiarowy . . . . .	4
<b>5 Firmware</b>	<b>5</b>
5.1 Wybór środowiska uruchomieniowego . . . . .	5

<b>6 Walidacja</b>	<b>7</b>
6.1 Metodyka . . . . .	7
6.2 Wyniki . . . . .	7
6.3 Dyskusja . . . . .	7

## 1 Wstęp

Celem pracy jest zaprojektowanie i weryfikacja stanowiska pomiarowego dla podstawowych wielkości fizycznych spotykanych w HVAC oraz interfejsu sterującego 0 V–10 V, z wykorzystaniem zestawu STM32F746G-Discovery (STM32F746NG, Cortex-M7) i dedykowanego modułu pomiarowego PCB. Motywacją jest potrzeba ekonomicznego, dydaktycznego stanowiska do testów i demonstracji algorytmów sterowania.

Omówiono kontekst przemysłowy sygnałów 0 V–10 V, przegląd czujników oraz wymagania co do dokładności i izolacji torów.

## 2 Stan wiedzy i rozwiązania pokrewne

Krótki przegląd: interfejsy analogowe w HVAC (0–10 V, 4–20 mA), standardy i zalecenia, dostępne moduły komercyjne oraz przykłady platform STM32 z wyświetlaczem TFT.

## 3 Wymagania

### 3.1 Funkcjonalne

- Pomiar napięć wejściowych w zakresie 0 V do 10 V z rozdzielczością  $\leq 10 \text{ mV}$ .
- Generacja sygnału wyjściowego 0 V do 10 V obciążalność  $\geq 5 \text{ mA}$ .
- GUI na TFT: wizualizacja trendów, konfiguracja kanałów.

### 3.2 Niefunkcjonalne

EMC, bezpieczeństwo, ESD, kalibracja (offset/gain), testowalność.

## 4 Projekt części sprzętowej

### 4.1 Wymagania sprzętowe — przegląd

Projektowana płytka stanowi jedną, spójną platformę do pomiaru i generacji sygnałów 0–10 V w aplikacjach HVAC, współpracującą z zestawem uruchomieniowym wyposażonym w m.in. MCU STM32F7 i panel TFT. Od strony zasilania przewidziano wejście instalacyjne DC z podstawowym torem ochronnym (odwrotna polaryzacja, przepięcia, wstępna filtracja), następnie podział zasilania na osobne gałęzie dla części cyfrowej, analogowej i elementów interfejsowych. Taki układ zmniejsza wpływ zakłóceń na pomiary i stabilizuje pracę torów. Interfejs do świata zewnętrznego obejmuje wejścia 0–10 V przygotowane do bezpiecznego próbkowania przez ADC (buforowanie i prosta filtracja antialiasingowa) oraz wyjścia 0–10 V realizowane przez DAC i wzmacniacze operacyjne. Warstwa analogowa jest topologicznie

oddzielona od cyfrowej (kontrolowane powroty prądowe, wydzielone obszary masy, filtry na przejściach między domenami), co ogranicza przesłuchy i dryft.

## 4.2 Moduł zasilania

Układ zasilania płytki został zaprojektowany tak, aby bezpiecznie przyjąć instalacyjne napięcie stałe (do ok. 24 V) i rozdzielić je na dwie stabilne linie: +5 V oraz +3,3 V. Na wejściu zastosowano gniazdo **J1** (DC jack  $5,5 \times 2,1$  mm), za którym znajduje się polimeryowy bezpiecznik samoresetujący **F1** (PPTC 1,1 A/30 V) pełniący rolę zabezpieczenia nadprądowego. Dodatkowo tranzystor **Q1** (PMOS *IRLML9301*) realizuje ochronę przed odwrotną polaryzacją zasilania; rezystory **R5/R4** służą do wysterowania tranzystora.

Równolegle do toru wejściowego umieszczono diodę TVS **D3** (SMBJ33A) tłumiącą przepięcia oraz diodę **D4** (SOD323) do szybkiego klampowania krótkich impulsów. Włącznik **SW1** odcina cały moduł zasilania, a wskaźnik **D5** z rezystorem **R14** sygnalizuje obecność napięcia.

Za sekcją ochronną znajduje się wstępna filtracja: dławik **L3** ( $33 \mu\text{H}$ ) oraz kondensatory **C15** ( $100 \mu\text{F}/63 \text{ V}$ ), **C26** ( $100 \text{ nF}$ ), **C27** ( $47 \mu\text{F}$ ) i **C16** ( $1 \mu\text{F}$ ) ograniczają wahania napięcia i szpilki prądowe ładujące przetwornice. Dodatkowy koralik ferrytowy **FB1** poprawia tłumienie zakłóceń o wyższych częstotliwościach.

Konwersję napięcia realizują dwie niezależne przetwornice buck z rodziną *LM2596S*. Układ **U1** (*LM2596S-5*) generuje linię +5 V; w jego torze znajdują się: dławik **L2** ( $33 \mu\text{H}$ ), dioda Schottky'ego **D1** (SK56) oraz kondensatory wejściowe **C2** ( $100 \mu\text{F}/63 \text{ V}$ ) i **C1** ( $470 \text{ nF}$ ) oraz wyjściowe **C4/C3**. Analogicznie **U2** (*LM2596S-3,3*) dostarcza +3,3 V z użyciem dławika **L1** ( $68 \mu\text{H}$ ), diody **D2** (SK56) oraz zestawu kondensatorów **C5, C6** po stronie wejściowej i **C7, C8** po stronie wyjściowej. Dobór elementów został wykonany w zgodności z zaleceniami producenta przetwornic. Wspólny punkt masy prowadzony jest od strony wejściowej, a rozdział linii +5 V i +3,3 V pozwala zasilać oddzielnie część cyfrową, analogową i interfejsową, co ogranicza przesłuchy i wrażliwość torów pomiarowych.

Stan szyn wyjściowych jest sygnalizowany diodami LED: **D7** (+5 V) z rezystorem **R16** oraz **D6** (+3,3 V) z rezystorem **R15**. Na schemacie umieszczono również znaczniki **PWR\_FLAG**, ułatwiające kontrolę ciągów zasilania w narzędziu CADE. Całość tworzy spójny, tor: *wejście i zabezpieczenia → filtracja wstępna → konwersja +5 V/+3,3 V → dystrybucja i sygnalizacja*, co przekłada się na stabilną pracę układu w warunkach typowych dla instalacji HVAC.

## 4.3 Tor wyjściowy 0–10 V: przetwornik DAC + wzmacniacze operacyjne

Tor wyjściowy generujący sygnały 0–10 V oparto na ośmiokanałowym przetworniku cyfrowo-analogowym **U3** (*DAC7568IAPW*) współpracującym z dwoma czterokanałowymi wzmacniaczami operacyjnymi **U5** i **U6** (*TLV9304xPW*). DAC zasilany jest z linii +3,3 V, a komunikację z STM32 discovery realizuje przez interfejs SPI wykluczając przewód DOUT/MISO. Wyprowadzenie **VREFIN/VREFOUT** służy do ustalenia napięcia referencyjnego, a wszystkie masy części analogowej prowadzone są do **GND** (GND ale po prostej filtracji dla czystego sygnału wyjściowego). Kondensator **C17** ( $150 \text{ nF}$ ) umieszczono możliwie blisko zgodnie z zaleceniami producenta przy używaniu wewnętrznego napięcia referencyjnego (TUTAJ CYTAT NOTY KATALOGOWEJ GAMONIU).

**Filtracja sygnału analogowego** Każdy z ośmiu kanałów VOUTA–VOUTH jest dalej kształtowany przez prosty filtr dolnoprzepustowy RC na wejściu wzmacniacza: rezistor szeregowy (**R8, R9, R11–R13, R6, R7, R10**,  $3,3\text{ k}\Omega$ ) oraz kondensator do masy (**C18, C21–C25**,  $1\text{ }\mu\text{F}$ ). Wyznacza to częstotliwość odcięcia rzędu

$$f_c \approx \frac{1}{2\pi RC} \approx \frac{1}{2\pi \cdot 3,3\text{ k}\Omega \cdot 1\text{ }\mu\text{F}} \approx 48\text{ Hz},$$

co skutecznie powinno tłumić szum i poszarpanie przebiegu pochodzące z aktualizacji DAC, a jednocześnie jest wystarczająco szybkie dla aplikacji HVAC.

**Skalowanie sygnału do zakresów 0–10 V** Wzmacniacze **U5A–U5D** oraz **U6A–U6D** pracują w konfiguracji nieodwracającej i są zasilane bezpośrednio z linii +24 V, co zapewnia odpowiedni zapas napięciowy dla wyjść 0–10 V. Dla każdego kanału zastosowano identyczną sieć sprzężenia zwrotnego: rezistor do masy (**RG1/RG2/.../RG8**,  $10\text{ k}\Omega$ ) oraz rezistor w pętli sprzężenia (**RF1/RF2/.../RF8**,  $30\text{ k}\Omega$ ). Wzmocnienie napięciowe pojedynczego toru wynosi więc

$$A_v = 1 + \frac{R_F}{R_G} = 1 + \frac{30\text{ k}\Omega}{10\text{ k}\Omega} = 4,$$

co przy referencji DAC rzędu 2,5 V pozwala uzyskać zakres 0–10 V na wyjściu wzmacniacza. Dodatkowe kondensatory (**C19, C20, ..., C23**,  $1\text{ }\mu\text{F}$ ) pełnią funkcję lokalnej filtracji i wraz z impedancją obciążenia wygładzają sygnał na wyjściu, ograniczając szybkie skoki prądu podczas przełączeń.

Wyjścia poszczególnych wzmacniaczy są wyprowadzone na uniwersalne złącza **J6–J13**. Każde złącze udostępnia linię sygnałową 0–10 V, odniesienie **SG** (*signal ground*) oraz pin **SHIELD** przeznaczony do ekranowania przewodów.

Cały tor wyjściowy ma zatem strukturę:

*STM32 → DAC → filtr RC → wzmacniacz nieodwracający x4 → złącze sygnałowe z ekranem.*

#### 4.4 Tor wejściowy 0–10 V: interfejs pomiarowy

Tor wejściowy odpowiada za obłuzenie czujników przemysłowych (pasywnych i aktywnych) i bezpieczne doprowadzenie sygnałów 0–10 V do przetwornicy A/C **ADS8688**. Sygnał cyfrowy **SPI** następnie jest doprowadzany na **GPIO** mikrokontrolera.

**Wejście pseudo-różnicowe i powroty sygnałowe** Linia **SIG** każdego złącza jest prowadzona bezpośrednio do odpowiedniego pinu wejścia przetwornika (**AIN\_xP**), natomiast odpowiadający jej pin **SG** trafia do przypisanego ujemnego wejścia odniesienia kanału (**AIN\_xGND**). Taka topologia kompensuje spadki i przesłuchy na przewodzie powrotnym oraz poprawia odporność na zakłócenia, co jest kluczowe przy dłuższych odcinkach oka-blowania. W torze nie stosuje się zewnętrznych dzielników ani filtrów antialiasingowych — skalowanie i zabezpieczenie wejść realizuje wewnętrzny front-end ADC (rezystorowa sieć wejściowa, przełączane zakresy).

**Ekranowanie i separacja mas** Piny **SHIELD** wszystkich wejść są połączone do wspólnego ekranu wylanego pod ścieżkami sygnału i dociążonego względem masy przez tłumik

RC: rezystor **R2** = 1 M $\Omega$  równolegle z kondensatorem **C11** = 10 nF (GND → GND). Zapewnia to upływ ładunków statycznych i tłumienie składowych o wysokiej częstotliwości, a jednocześnie ogranicza prądy pętli masy i chroni ekran przed "brudną" masą cyfrową.

**Zasilanie i interfejs cyfrowy ADC** Część analogowa układu zasilana jest z +5 V (filtracja **C9** 1  $\mu$ F blisko pinów zasilania), a część cyfrowa z +3,3 V (filtracja **C10** 10  $\mu$ F). Linia RST/PD jest podciagana przez rezystor  $\sim$ 10 k $\Omega$  do +3,3 V i może być sterowana z MCU. Komunikacja odbywa się po SPI: SDO, SDI, SCLK, CS.

**Odniesienie napięciowe** Wykorzystano wewnętrzną referencję przetwornika: wyprowadzenia REFCAP/REFIO/REFGND są odsprzegnięte kondensatorami klasy X7R (**C11X7R** 1  $\mu$ F pomiędzy REFCAP i REFGND oraz **C12**, **C13** po 1  $\mu$ F przy REFIO), zgodnie z zaleceniami producenta dla uzyskania niskoszumowego, stabilnego odniesienia.

**Zasilanie czujników w polu** Na pin +V każdego złącza doprowadzono +24 V z magistrali instalacyjnej — umożliwia to zasilanie zewnętrznych przetworników/wyjść 0–10 V bez dodatkowych przewodów. Linie +24 V nie są wprowadzane do ADC; pełnią wyłącznie funkcję zasilającą urządzenia polowe.

**Podsumowanie ścieżki sygnału** Złącze (*SIG, SG, SHIELD, +24 V*) → wejście pseudoróżnicowe *AIN\_xP/AIN\_xGND* → wewnętrzny front-end i multiplekser ADC → konwersja SAR z referencją wewnętrzną → interfejs SPI. Rozwiązanie minimalizuje liczbę elementów analogowych na płytce, a jednocześnie zwiększa odporność EMC dzięki osobnym powrotom SG dla każdego kanału oraz kontrolowanemu połączeniu ekranów z masą przez  $R \parallel C$ .

## 5 Firmware

Opis i rozważania metod budowy oprogramowania i samego firmware-u mikrokontrolera odpowiedzialnego za kompletną logikę rozwiązania projektu.

### 5.1 Wybór środowiska uruchomieniowego

Projekt wymaga równoległego i deterministycznego wykonywania kilku zadań: odświeżania interfejsu HMI na TFT, akwizycji i filtracji pomiarów, generacji sygnałów 0–10 V (SPI do DAC) oraz obsługi komunikacji i diagnostyki. Z tych powodów wybrano **Zephyr RTOS** z wbudowaną integracją **LVGL** jako główne środowisko uruchomieniowe.

#### Dlaczego Zephyr + LVGL?

- **Deterministyczny kernel i prosty model współprzeźności** Wątki o priorytetach, workqueue, przerwania i timery wysokiej rozdzielczości umożliwiają wydzielenie zadań: wątku interfejsu, wątku przetwarzania oraz wątku komunikacji ze sprzętem. Tryb *tickless* ogranicza narzut czasowy, a jednocześnie pozwala utrzymać stałe okresy odświeżania UI.
- **Spójny ekosystem sterowników i konfiguracji** Standardowe API (SPI, I<sup>2</sup>C, ADC, DAC / PWM, GPIO, DMA) oraz konfiguracja sprzętu przez DeviceTree i Kconfig redukują ilość kodu klejacego do minimum. Dla mikrokontrolerów STM32

dostępne są gotowe warstwy abstrakcji oraz integracja z biblioteką HAL, co znacząco przyspiesza uruchomienie peryferiów (np. SPI dla zewnętrznych przetwornic).

- **Prosta integracja z LVGL** Zephyr dostarcza oficjalny subsystem LVGL (obsługa zegara tick, wątku renderującego, pamięci i sterowników wyświetlaczy/wejść). Konfiguracja odbywa się parami Kconfig+DeviceTree (bufory, *flush callback*, wejście dotykowe), dzięki czemu UI działa stabilnie bez ręcznego sklejania sterowników.
- **Narzędzia deweloperskie** Jednolity system budowania (**CMake+west**), logger, konsola shell, persistent settings (NVS), systemy plików (FAT/LittleFS), testy (**twister**) oraz bogate przykłady ułatwiają utrzymanie i automatyzację.
- **Skalowalność i przyszła rozbudowa.** W razie potrzeby dostępne są strosy sieciowe (Ethernet, BLE, IP) i bootloader **MCUboot**.
- **Licencja i wsparcie.** Zephyr (Apache-2.0) i LVGL (MIT) mają dojrzałe, permietywne licencje oraz aktywne społeczności, co sprzyja długoterminowemu utrzymaniu.

### Porównanie z podejściem bare-metal

- **Koszt wytworzenia i ryzyko** W bare-metal należałyby samodzielnie zaimplementować harmonogram zadań, synchronizację, wieloźródłowe timery, kolejki zdarzeń oraz integrację z DMA i przerwaniami. To zwiększa złożoność, czas prac i ryzyko błędów w sytuacjach granicznych (priorytety przerwań, zakleszczenia, jitter czasów odświeżania).
- **Utrzymywalność** Każda zmiana sprzętu lub peryferiów wymaga przeróbek w wielu miejscach. Brak standaryzowanego DeviceTree/Kconfig utrudnia przenoszenie konfiguracji i automatyzację budowania.

### Porównanie z FreeRTOS i innymi RTOS.

- **Zakres projektu** FreeRTOS dostarcza głównie kernel; większość elementów ekosystemu (sterowniki, pliki, logowanie, sieć, integracja z LVGL) trzeba dobierać i łączyć samodzielnie. W Zephyrze te klocki są spójne i utrzymywane w jednym repozytorium z jednolitym API.
- **Konfiguracja i portowalność** Zephyrowe DeviceTree i Kconfig zapewniają powtarzaną konfigurację sprzętu i budowy na różnych płytach. W FreeRTOS typowo używa się mieszanki plików **board support** i skryptów producenta, co zwiększa różnice między platformami.
- **Integracja LVGL** Zarówno FreeRTOS, jak i Zephyr mogą uruchomić LVGL, ale w FreeRTOS wymaga to ręcznego spięcia *tick*, zadań, sterowników wyświetlacza i wejść. W Zephyrze LVGL jest pierwszoplanowym komponentem z gotowymi opcjami Kconfig i przykładowymi driverami. Co znacząco ułatwia opanowanie narzędzia i implementacje rozwiązania.
- **Utrzymanie i testy** Zephyr oferuje ustandaryzowane narzędzia CI/testów (**twister**), **west** do zarządzania modułami i bogaty katalog przykładów, w tym z integracją LVGL.

**Konkluzja.** Z perspektywy wymagań projektu (stabilne odświeżanie UI, deterministyczna akwizycja i generacja sygnałów, szybkie uruchomienie peryferiów, łatwa rozbudowa) wybór **Zephyr RTOS + LVGL** minimalizuje ilość kodu specyficznego dla sprzętu, skraca czas integracji i zmniejsza ryzyko błędów *czasowych*. W porównaniu z bare-metal oraz z kernelami pokroju FreeRTOS, Zephyr dostarcza pełniejszy, spójny ekosystem, który lepiej wspiera zarówno bieżące wymagania, jak i przyszłe rozszerzenia projektu.

## 6 Walidacja

### 6.1 Metodyka

Źródła wzorcowe (kalibrator napięcia), obciążenie dla wyjścia 0–10 V, środowisko testowe.

### 6.2 Wyniki

Tabele dokładności, histogram odchyleń, niepewność typu A/B, budżet niepewności.

### 6.3 Dyskusja

Ograniczenia, dryft temperaturowy, histereza, propozycje ulepszeń.

[1]

## Bibliografia

- [1] *Application Guidelines for 0–10 V Control Interfaces in HVAC*. ASHRAE. 2019  
(cyt. na s. 7).