

Student's name and surname: Paweł Bałbatun

ID: 193652

Cycle of studies: bachelor's degree studies

Mode of study: full-time studies

Field of study: Automatic Control, Cybernetics and Robotics

Profile: Automation Systems

ENGINEERING DIPLOMA THESIS

Title of the thesis: Design of a measurement card for a laboratory stand for measuring physical quantities in HVAC systems, based on a selected design kit with a TFT graphic display.

Title of the thesis (in Polish): Projekt stanowiska pomiarowego podstawowych wielkości fizycznych wykorzystywanych w systemach HVAC w oparciu o wybrany zestaw uruchomieniowy wyposażony w wyświetlacz graficzny TFT

Supervisor: mgr inż. Piotr Darski

SPIS TREŚCI

0.1	Wstęp	2
0.2	Stan wiedzy i rozwiązania pokrewne	2
0.3	Wymagania	2
0.3.1	Funkcjonalne	2
0.3.2	Niefunkcjonalne	2
1	PROJEKT CZĘŚCI SPRZĘTOWEJ	3
1.1	Wymagania sprzętowe — przegląd	3
1.2	Moduł zasilania	4
1.3	Tor wyjściowy 0–10 V: przetwornik DAC + wzmacniacze operacyjne	5
1.4	Tor wejściowy 0–10 V: interfejs pomiarowy	6
1.5	Projekt PCB i separacja stref	8
1.6	Firmware	9
1.6.1	Wybór środowiska uruchomieniowego	9
1.7	Walidacja	11
1.7.1	Metodyka	11
1.7.2	Wyniki	11
1.7.3	Dyskusja	11

Streszczenie

Praca przedstawia projekt oraz weryfikację stanowiska pomiarowego dla wybranych wielkości fizycznych typowych w systemach HVAC (temperatura, wilgotność, ciśnienie, przepływ oraz sygnały sterujące 0 V–10 V). Rozwiązanie bazuje na zestawie uruchomieniowym STM32F746G-Discovery z wyświetlaczem TFT oraz na dedykowanej karcie pomiarowo-wyjściowej 0 V–10 V zaprojektowanej w KiCad. Oprogramowanie wykonano w środowisku Zephyr RTOS z wykorzystaniem sterowników peryferiów i biblioteki LVGL do obsługi interfejsu graficznego. Przedstawiono wymagania funkcjonalne, projekt części analogowej (tory wejściowe z ochroną i skalowaniem, tor wyjściowy 0 V–10 V), architekturę oprogramowania (wątki RTOS, kolejki, sterowniki), a także wyniki walidacji dokładności i powtarzalności pomiarów na podstawie wzorców i porównania z przyrządami referencyjnymi.

0.1. Wstęp

Celem pracy jest zaprojektowanie i weryfikacja stanowiska pomiarowego dla podstawowych wielkości fizycznych spotykanych w HVAC oraz interfejsu sterującego 0 V–10 V, z wykorzystaniem zestawu STM32F746G-Discovery (STM32F746NG, Cortex-M7) i dedykowanego modułu pomiarowego PCB. Motywacją jest potrzeba ekonomicznego, dydaktycznego stanowiska do testów i demonstracji algorytmów sterowania.

Omówiono kontekst przemysłowy sygnałów 0 V–10 V, przegląd czujników oraz wymagania co do dokładności i izolacji torów.

0.2. Stan wiedzy i rozwiązania pokrewne

Krótki przegląd: interfejsy analogowe w HVAC (0–10 V, 4–20 mA), standardy i zalecenia, dostępne moduły komercyjne oraz przykłady platform STM32 z wyświetlaczem TFT.

0.3. Wymagania

0.3.1. Funkcjonalne

- Pomiar napięć wejściowych w zakresie 0 V do 10 V z rozdzielcością $\leq 10 \text{ mV}$.
- Generacja sygnału wyjściowego 0 V do 10 V obciążalność $\geq 5 \text{ mA}$.
- GUI na TFT: wizualizacja trendów, konfiguracja kanałów.

0.3.2. Niefunkcjonalne

EMC, bezpieczeństwo, ESD, kalibracja (offset/gain), testowalność.

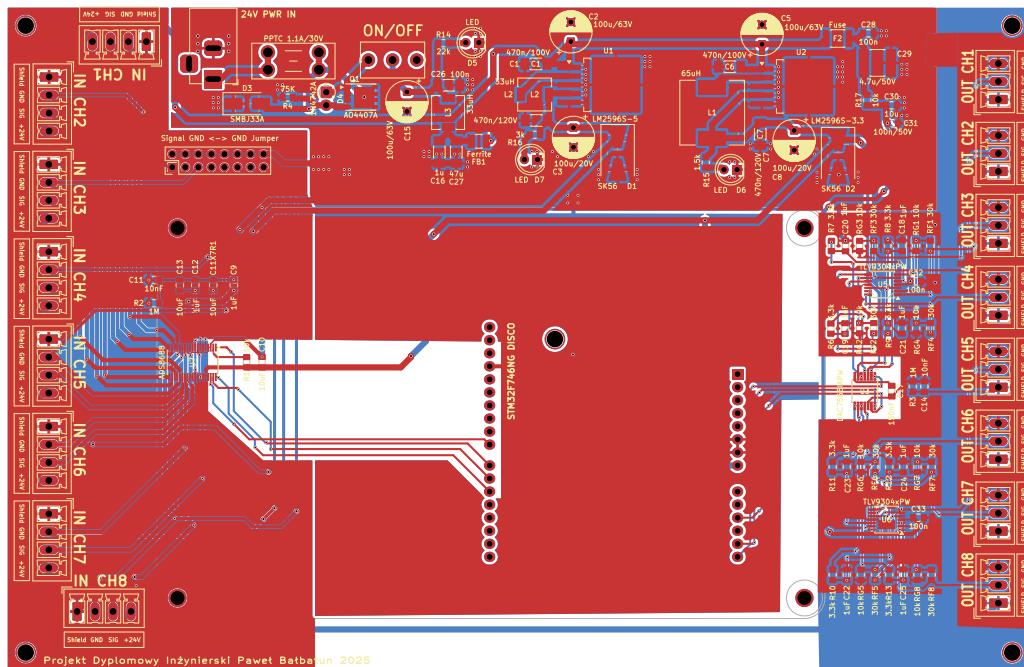
1. PROJEKT CZĘŚCI SPRZĘTOWEJ

1.1. Wymagania sprzętowe — przegląd

Projektowana płytka stanowi jedną, spójną platformę do pomiaru i generacji sygnałów 0–10 V w aplikacjach HVAC[4], współpracującą z zestawem uruchomieniowym STM32F746G-DISCO wyposażonym m.in. w mikrokontroler STM32F7 i panel TFT[7, 8]. Rozwiążanie to ma pełnić rolę uniwersalnego „front-endu” analogowego dla laboratoryjnego sterownika HVAC: umożliwia zarówno rejestrację sygnałów z czujników i przetworników 0–10 V, jak i generację ośmiu niezależnych kanałów 0–10 V do sterowania elementami wykonawczymi (siłowniki przepustnic, zawory mieszające, przetwornice wentylatorów itp.).

Od strony zasilania przewidziano instalacyjne wejście DC (nominalnie 24 V) z podstawowym torem ochronnym (odwrotna polaryzacja, przepięcia, wstępna filtracja), a następnie podział zasilania na osobne gałęzie dla części cyfrowej, analogowej i elementów interfejsowych. Taki układ zmniejsza wpływ zakłóceń na pomiary i stabilizuje pracę torów. Interfejs do świata zewnętrznego obejmuje osiem wejść 0–10 V przygotowanych do bezpiecznego próbkowania przez przetwornik A/C oraz osiem wyjść 0–10 V realizowanych przez przetwornik C/A i wzmacniacze operacyjne.

Istotnym założeniem projektowym było zachowanie kompatybilności elektrycznej i mechanicznej z płytą STM32F746G-DISCO. W centralnej części PCB przewidziano złącze ddupoint, którego raster i położenie odpowiada złączu rozszerzeń zestawu Discovery. Dzięki temu całość tworzy układ kanapkowy: płytka z analogowym interfejsem pełni funkcję karty pomiarowej, a zestaw uruchomieniowy zapewnia moc obliczeniową oraz interfejs użytkownika (TFT z panelem dotykowym).



Rysunek 1.1: Widok płytki PCB z zaprojektowanym rozmieszczeniem elementów i złącz. W centralnej części znajduje się obszar montażu płytki STM32F746G-DISCO.

1.2. Moduł zasilania

Układ zasilania płytki został zaprojektowany tak, aby bezpiecznie przyjąć instalacyjne napięcie stałe (do ok. 24 V) i rozdzielić je na dwie stabilne linie robocze: +5 V oraz +3,3 V. Schemat modułu zasilania przedstawiono na rysunku 1.2.

Na wejściu zastosowano gniazdo J1 (DC jack 5,5×2,1 mm), do którego doprowadzane jest napięcie z zewnętrznego zasilacza. Bezpośrednio za złączem znajduje się polimerowy bezpiecznik sa-moresetujący F1 (PPTC 1,1 A/30 V), pełniący rolę zabezpieczenia nadprądowego w przypadku zwarcia na płytce lub błędnego podłączenia odbiorników. Równolegle do wejścia umieszczono diodę TVS D3 (SMBJ33A) tłumiącą przepięcia.

Ochronę przed odwrotną polaryzacją zasilania zrealizowano w oparciu o tranzystor P-MOSFET mocy Q1 (AO4407A w obudowie SO-8 lub równoważny)[3]. Tranzystor włączono w konfiguracji „idealnej diody”: jego źródło jest połączone z wejściem zasilania, dren z resztą układu, a bramka sterowana jest poprzez rezystor R4 i diodę zenera D4 (1N4742A)[1]. Przy poprawnej polaryzacji tranzystor przewodzi z minimalnym spadkiem napięcia na kanale, a w przypadku odwrotnego podłączenia zasilacza blokuje przepływ prądu i chroni dalsze stopnie zasilania.

Za sekcją ochronną pracuje wyłącznik SW1 odcinający cały moduł zasilania. Dioda LED D5 z rezystorem szeregowym R14 sygnalizuje obecność napięcia po stronie wejściowej; pozwala to na szybką kontrolę stanu zasilania przed przetwornicami.

Kolejnym etapem jest wstępna filtracja C-L-C napięcia wejściowego . Dławik L3 (33 μ H) oraz kondensatory C15 (100 μ F/63 V), C26 (100 nF), C27 (47 μ F) i C16 (1 μ F) tworzą filtr typu PI, ograniczający wahania napięcia oraz szpilki prądowe związane z pracą przetwornic impulsowych. Dodatkowy koralik ferrytowy FB1, włączony szeregowo w linii 24 V, poprawia tłumienie zakłóceń o wyższych częstotliwościach, które mogłyby przenikać do dalszych części instalacji.

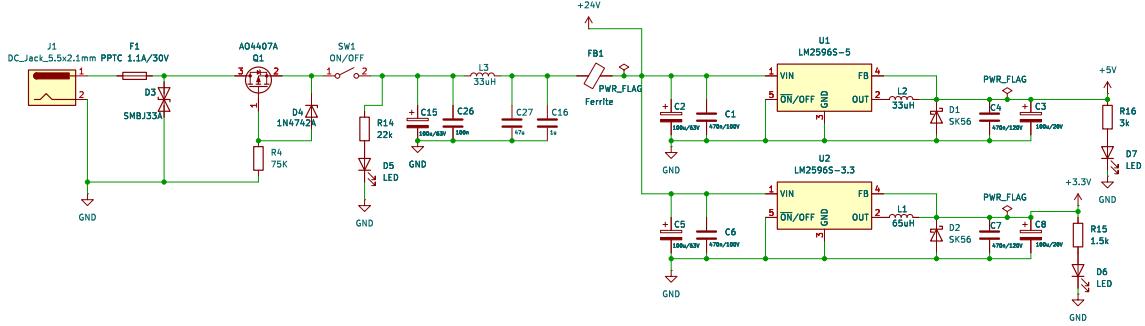
Konwersję napięcia na poziomy logiczne realizują dwie niezależne przetwornice buck z rodziny LM2596S[6]. Układ U1 (LM2596S-5) generuje linię +5 V. W jego torze znajdują się dławik L2 (33 μ H), dioda Schottky’ego D1 (SK56) oraz kondensatory wejściowe C2 (100 μ F/63 V) i C1 (470 nF) oraz wyjściowe C4 i C3. Analogicznie układ U2 (LM2596S-3,3) dostarcza linię +3,3 V z użyciem dławika L1 (68 μ H), diody D2 (SK56) oraz zestawu kondensatorów C5, C6 po stronie wejściowej i C7, C8 po stronie wyjściowej. Elementy zostały dobrane zgodnie z zaleceniami producenta, tak aby zapewnić stabilność pętli regulacji dla zakładanych obciążień oraz odpowiednio niski poziom tężnień.

Zastosowanie dwóch niezależnych przetwornic zamiast jednego źródła z liniowymi stabilizatorami wtórnymi ma kluczowe znaczenie w kontekście sprawności i wydzielania ciepła. Przy typowych prądach pobieranych przez mikrokontroler, przetwornik A/C i przetwornik C/A z 24 V na 5 V/3,3 V skutkowałoby znaczącym poborem mocy. Przetwornice impulsowe LM2596S pozwalają ograniczyć straty do pojedynczych watów nawet przy pełnym obciążeniu linii 5 V i 3,3 V.

Analogicznie do sygnalizacji becności napięcia na linii 24 V, stan szyn wyjściowych jest sygnaлизowany diodami LED: D7 (dla linii +5 V) z rezystorem R16 oraz D6 (dla linii +3,3 V) z rezystorem R15. Na schemacie umieszczono również znaczniki PWR_FLAG, ułatwiające kontrolę ciągów zasilania w narzędziu CAD i zapobiegające fałszywym ostrzeżeniom o „niezasilonych” sieciach. Całość tworzy spójny tor: *wejście i zabezpieczenia → filtracja wstępna → konwersja 24 V na +5 V/+3,3 V → dystrybucja i sygnalizacja*, co przekłada się na stabilną pracę układu..

Na poziomie PCB cały moduł zasilania został umieszczony w górnej części płytki jak widać na obrazie 1.1, możliwie blisko gniazda wejściowego oraz oddalony od wrażliwych części analogowych. Ścieżki prowadzące prądy impulsowe z przetwornic LM2596S zaprojektowano jako szerokie i możliwie

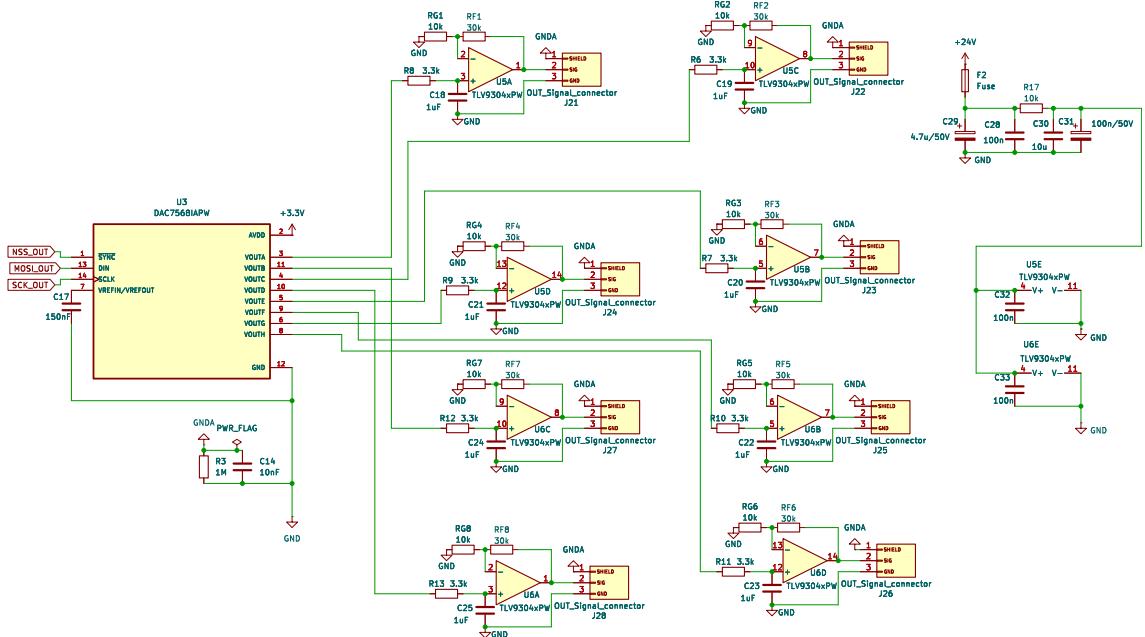
krótkie, z lokalnymi polami masy minimalizującymi powierzchnię pętli prądowych. Dzięki temu ograniczono emisję zakłóceń przewodzonych i promieniowanych oraz uproszczono separację pomiędzy strefą mocy a strefą pomiarową.



Rysunek 1.2: Moduł zasilania płytka z wejściem instalacyjnym 24 V, torem ochrony przed przepięciami i odwrotną polaryzacją oraz przetwornicami step-down LM2596 generującymi linie +5 V i +3,3 V.

1.3. Tor wyjściowy 0–10 V: przetwornik DAC + wzmacniacze operacyjne

Tor wyjściowy generujący sygnały 0–10 V oparto na ośmiokanałowym przetworniku cyfrowo-analogowym U3 (DAC7568IAPW)[5] współpracującym z dwoma czterokanałowymi wzmacniaczami operacyjnymi U5 i U6 (TLV9304xPW)[9]. Dzięki temu możliwe jest niezależne sterowanie wszystkimi ośmioma wyjściami analogowymi. Schemat toru wyjściowego przedstawiono na rysunku 1.3.



Rysunek 1.3: Schemat toru wyjściowego 0–10 V wraz z wzmacniaczami operacyjnymi.

Przetwornik DAC7568 jest zasilany z linii +3,3 V. Komunikację z płytą STM32F746G-DISCO realizuje poprzez magistralę SPI: linie NSS_OUT, MOSI_OUT i SCK_OUT zostały wyprowadzone z MCU i doprowadzone do odpowiednich pinów układu U3. Z uwagi na charakter przetwornika (układ typu „write-only”) nie przewidziano linii MISO; konfiguracja rejestrów i aktualizacja wyjść odbywa się wyłącznie poprzez wysyłanie ramek danych z mikrokontrolera.

Wyprowadzenie VREFIN/VREFOUT służy do ustalenia napięcia referencyjnego, w projekcie wy-

korzystano wewnętrzne źródło odniesienia przetwornika, dlatego pin został odsprzęgnięty kondensatorem C17 (150 nF) umieszczonym możliwie blisko wyprowadzeń, zgodnie z zaleceniami producenta[5]. Masę części analogowej doprowadzono do masy analogowej GNDA, która na PCB prowadzona jest jako wydzielona wyspa z kontrolowanym połączeniem do wspólnej GND poprzez elementy R2/C11 (opisane szerzej w podrozdziale o torze wejściowym).

Każdy z ośmiu kanałów wyjściowych DAC (VOUTA–VOUTH) jest dalej kształtowany przez prosty filtr dolnoprzepustowy RC na wejściu wzmacniacza: rezistor szeregowy (R6–R13, typowo 3,3 kΩ) oraz kondensator do masy (C18, C21–C25, 1 µF). Wyznacza to częstotliwość odcięcia rzędu

$$f_c \approx \frac{1}{2\pi RC} \approx \frac{1}{2\pi \cdot 3,3 \text{ k}\Omega \cdot 1 \text{ }\mu\text{F}} \approx 48 \text{ Hz}, \quad (1.1)$$

co skutecznie tłumii szum oraz poszarpanie przebiegu pochodzące z aktualizacji DAC, a jednocześnie jest w pełni wystarczające dla powolnych procesów w systemach HVAC.

Wzmacniacze U5A–U5D oraz U6A–U6D pracują w konfiguracji nieodwracającej i są zasilane z linii +24 V (wg producenta maksymalne napięcie zasilania to 40 VDC). Jednak w ramach zabezpieczenia na torze zasilającym idącym do wzmacniaczy znajduje się polimerowy bezpiecznik samoresetujący F2 oraz filtr dolnoprzepustowy C-R-C składający się z rezystora R17, kondensatorów elektrolitycznych C29 i C31 i ceramicznych c28, C30. Filtr usuwa wszelkie niechciane zakłucenia które mogą występować w torze zasilania.

Zastosowanie wzmacniaczy o szerokim zakresie napięć zasilania pozwala uzyskać odpowiedni zapas napięciowy dla wyjść 0–10 V bez konieczności stosowania dodatkowych przetwornic podwyższających. Dla każdego kanału zastosowano identyczną sieć sprzężenia zwrotnego: rezistor do masy RG (10 kΩ) oraz rezistor w pętli sprzężenia RF (30 kΩ). Wzmocnienie napięciowe pojedynczego toru wynosi więc

$$A_v = 1 + \frac{R_F}{R_G} = 1 + \frac{30 \text{ k}\Omega}{10 \text{ k}\Omega} = 4. \quad (1.2)$$

Przy referencji DAC rzędu 2,5 V umożliwia to uzyskanie pełnego zakresu 0–10 V na wyjściu wzmacniacza, z zapasem na niewielkie tolerancje i błędy kalibracji.

Wyjścia poszczególnych wzmacniaczy są wyprowadzone na uniwersalne złącza J21–J28. Każde złącze udostępnia linię sygnałową 0–10 V, odniesienie SG (signal ground) oraz pin SHIELD przeznaczony do ekranowania przewodów.

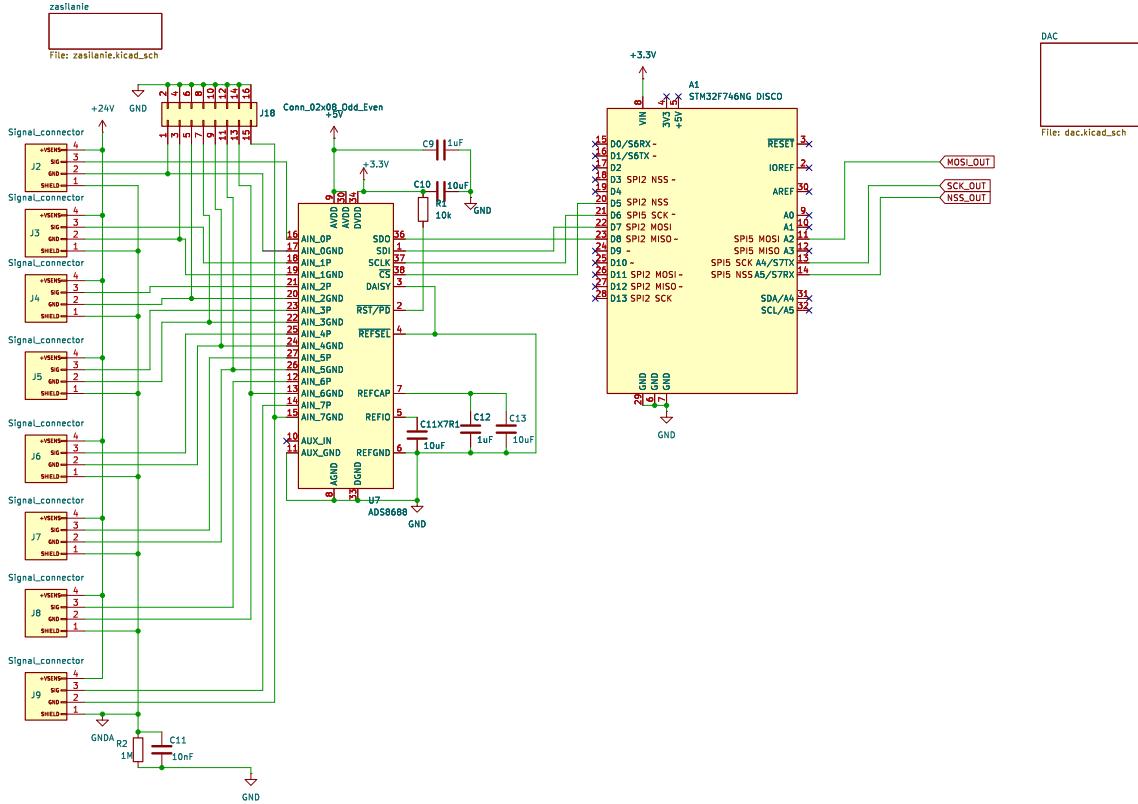
Na płytce PCB 1.1 złącza wyjściowe zostały rozmieszczone wzdłuż prawej krawędzi w regularnym rastrze, co ułatwia prowadzenie przewodów i daje poczucie "przepływu" sygnałów przez sterownik (od lewej do prawej). Ścieżki sygnałowe pomiędzy wzmacniaczami a złączami są możliwie krótkie i prowadzone nad ciągłą płaszczyzną masy, co redukuje indukcyjność pętli i przesłuchy pomiędzy kanałami.

Podsumowując, tor wyjściowy ma strukturę: STM32 → DAC7568 → filtr RC → wzmacniacz nieodwracający o wzmocnieniu 4 → złącze sygnałowe z ekranem i zasilaniem pola, co zapewnia zarówno elastyczność sterowania, jak i zgodność z powszechnie stosowanym standardem 0–10 V.

1.4. Tor wejściowy 0–10 V: interfejs pomiarowy

Tor wejściowy odpowiada za obsługę czujników przemysłowych (pasywnych i aktywnych) oraz bezpieczne doprowadzenie sygnałów 0–10 V do wielokanałowego przetwornika A/C ADS8688[2]. Schemat tej części układu na zdjęciu 1.4. Przetwornik ten integruje w sobie przełączany multiplekser wejściowy, programowalne zakresy napięciowe oraz wewnętrzny front-end zabezpieczający, co pozwala uprościć zewnętrzny tor analogowy.

Po lewej stronie schematu rozmieszczone zostały osiem identycznych złączy wejściowych (oznaczonych jako Signal_connector, J2–J9). Na każdym złączu wyprowadzono cztery piny:



Rysunek 1.4: Schemat toru wejściowego 0–10 V wraz z przetwornikami ADC oraz połączenia do mikrokontrolera.

- SIG — linia sygnałowa 0–10 V,
 - SG — dedykowany powrót sygnałowy (signal ground) dla danego kanału,
 - SHIELD — ekran przewodu, przeznaczony do podłączenia oplotu lub ekranu kabla,
 - +24 V — zasilanie czujnika/konwertera z instalacji 24 V.

Takie ustandardyzowane złącza pozwalają na łatwą zamianę czujników pomiędzy kanałami oraz ograniczają liczbę pomyłek przy okablowaniu.

Linia SIG każdego złącza jest prowadzona bezpośrednio do odpowiedniego pinu wejściowego przetwornika (AIN_xP), natomiast powrót SG trafia do przypisanego ujemnego wejścia odniesienia kanału (AIN_xGND). W ten sposób tworzony jest układ wejściowy o charakterze pseudo-różnicowym, w którym każdy kanał ma swój lokalny powrót odniesiony do tej samej masy analogowej GNDa. Taka topologia kompensuje spadki napięć i przesłuchy na przewodzie powrotnym oraz poprawia odporność na zakłócenia wspólne przy dłuższych odcinkach okablowania, co jest kluczowe w instalacjach HVAC rozproszonych na dużej przestrzeni.

W torze wejściowym nie stosuje się dodatkowych dzielników ani zewnętrznych filtrów antyaliasingowych; skalowanie i zabezpieczenie wejść realizuje wewnętrzny front-end przetwornika ADS8688[2], który oferuje kilka przełączanych zakresów pomiarowych oraz obwody ograniczające prądy przy przeięciach.

Piny SHIELD wszystkich wejść są połączone do wspólnego ekranu wylanego pod ścieżkami sygnału i dociągniętego względem masy przez filtr RC: rezystor R2 ($1\text{ M}\Omega$) równolegle z kondensatorem C11 (10 nF) pomiędzy GNDA i GND. Zapewnia to upływ ładunków statycznych oraz tłumienie składowych o wysokiej częstotliwości, a jednocześnie ogranicza stałoprądowe prądy pętli masy i chroni

ekran przed „przeciąganiem” potencjału przez inne urządzenia podłączone do tej samej instalacji. Rozwiązanie to stanowi jednocześnie kontrolowany punkt połączenia masy analogowej i cyfrowej — GNDA jest używana w torach wejściowych i wyjściowych, natomiast GND stanowi referencję dla logiki cyfrowej i zasilania 3,3 V.

Część analogowa przetwornika ADS8688[2] jest zasilana z linii +5 V (kondensator C9 1 µF blisko pinów AVDD/AGND), natomiast część cyfrowa z linii +3,3 V (kondensator C10 10 µF przy DVDD/DGND). Linia RST/PD jest podcięgnięta rezystorem 10 kΩ do +3,3 V i może być sterowana z mikrokontrolera, co umożliwia programowe resetowanie przetwornika oraz przechodzenie w tryb uśpienia w stanie bezczynności.

Odniesienie napięciowe przetwornika realizowane jest wewnętrznie; piny REFCAP, REFIO i REFGND są odsprzęgnięte kondensatorami klasy X7R (C12 i C13 po 1 µF) umieszczonymi możliwie blisko wyprowadzeń, zgodnie z zaleceniami producenta[2]. Zapewnia to niskoszumowe, stabilne napięcie odniesienia, co bezpośrednio przekłada się na rozdzielcość efektywną przetwornika.

Na schemacie przewidziano również dodatkowe złącze J18 w postaci listwy goldpin z możliwością założenia zworek. Złącze to służy do konfigurowania połączenia pomiędzy masą sygnałową (SG), wykorzystywaną jako powrót dla wejść 0–10 V, a ogólną masą układu (GND). Poprzez odpowiednie ustawienie zworek użytkownik może zdecydować, czy masa sygnałowa ma pozostać możliwie „czysta” i odniesiona głównie do GNDA (praca z czujnikami pasywnymi), czy też powinna zostać zwarta z masą zasilania w celu zasilania czujników aktywnych, wymagających wspólnego potencjału odniesienia dla toru zasilania i sygnału.

Takie rozwiązanie ma kilka zalet:

- umożliwia elastyczną konfigurację toru wejściowego w zależności od typu podłączonych czujników (pasywne z odseparowaną masą sygnałową vs. aktywne wymagające wspólnego potencjału zasilania i sygnału),
- poprawia kompatybilność z typowymi przetwornikami 0–10 V, które zakładają wspólną masę zasilania i wyjścia napięciowego,
- pozwala na łatwe eksperymentowanie i diagnostykę w warunkach laboratoryjnych — zmiana konfiguracji sprowadza się do przełożenia zworek, bez konieczności modyfikacji PCB ani rozcinania ścieżek.

Komunikacja z mikrokontrolerem odbywa się po magistrali SPI: linie SDI, SDO, SCLK i CS zostały połączone z odpowiednimi pinami do MCU. STM32F7 wyposażony jest w dwa oddzielne interfejsy SPI. Dzięki temu oba przetworniki (ADS8688 i DAC7568) mogą współdzielić komunikować się z MCU niezależnie od zajętości??? interfejsów; obie magistrale działają na osobnych wątkach.

Na poziomie PCB 1.1 przetwornik ADS8688 oraz złącza wejściowe zostały umieszczone w lewej części płytka, w niewielkiej odległości od siebie. Ścieżki sygnałowe SIG/SIG prowadzone są nad pełną płaszczyzną masy GNDA, z zachowaniem odstępów pomiędzy kanałami, co ogranicza pojemnościowe sprzężenia krzyżowe. Ekrany SHIELD tworzą osobną, częściowo wylaną strefę połączoną z GNDA poprzez elementy R2/C11.

1.5. Projekt PCB i separacja stref

Widok płytki PCB przedstawiono na rysunku wygenerowanym z narzędzia CAD 1.1. Płytki została zaprojektowana jako dwuwarstwowa, z rozległymi polami masy w obu warstwach. Główna powierzchnia zajmowana jest przez prostokątny obrys odpowiadający formatowi płytki Discovery, w którego obrębie

przewidziano wycięty obszar (strefę bez elementów i ścieżek) stanowiący miejsce montażu zestawu STM32F746G-DISCO. W czterech narożach oraz w pobliżu złączy umieszczono otwory montażowe umożliwiające sztywne zamocowanie całości do płyty bazowej lub obudowy.

Pod względem funkcjonalnym płytka można podzielić na trzy główne strefy:

1. **Strefa mocy** — w górnej części, obejmująca gniazdo zasilania J1, układ ochrony (F1, D3, D4, Q1, L3, FB1) oraz przetwornice LM2596S. Ścieżki o dużych prądach i impulsowych zmianach prądu prowadzone są lokalnie, nad fragmentarycznymi polami masy, co ogranicza emisję zakłóceń.
2. **Strefa analogowa** — przy lewej i prawej krawędzi, obejmująca przetwornik ADS8688, przetwornik DAC7568, wzmacniacze TLV9304 oraz złącza wejściowe i wyjściowe. W tych częściach płytki zastosowano wydzieloną masę GNDA, która jest łączona z ogólną masą GND w jednym punkcie poprzez elementy R2/C11.
3. **Strefa cyfrowa** — w centralnej części, wokół rastru GPIO mikrokontrolera, gdzie prowadzone są linie SPI. Tutaj masa GND jest wylana jako osobna wyspa, a przejścia do masy analogowej są kontrolowane.

Rozdzielenie tych stref w przestrzeni płytki ogranicza przesłuchy pomiędzy torami, a jednocześnie pozwala na intuicyjną analizę układu podczas uruchamiania i diagnostyki. Szerokości ścieżek dobrano zgodnie z przewidywanymi prądami (najszerze dla linii 24 V, 5 V i 3,3 V, węższe dla linii sygnałowych). Przy przejściach pomiędzy warstwami stosowane są przelotki w „gęstych” grupach, tak aby zapewnić zwarty powrót prądu między płaszczyznami masy.

Dodatkowym elementem ułatwiającym pracę z płytą jest rozbudowana warstwa opisowa (silkscreen), na której zaznaczono nazwy złączy, kierunki numeracji pinów, oznaczenia kanałów wejściowych i wyjściowych oraz podstawowe kierunki przepływu sygnału (strzałki). Dzięki temu użytkownik może korzystać z płytki w warunkach laboratoryjnych praktycznie bez konieczności sięgania do schematu.

Opisany w niniejszym rozdziale projekt części sprzętowej stanowi bazę dla dalszych rozważań dotyczących implementacji algorytmów sterowania i architektury oprogramowania w rozdziałach poświęconych części programowej pracy.

1.6. Firmware

Opis i rozważania metod budowy oprogramowania i samego firmware-u mikrokontrolera odpowiedzialnego za kompletną logikę rozwiązania projektu.

1.6.1. Wybór środowiska uruchomieniowego

Projekt wymaga równoległego i deterministycznego wykonywania kilku zadań: odświeżania interfejsu HMI na TFT, akwizycji i filtracji pomiarów, generacji sygnałów 0–10 V (SPI do DAC) oraz obsługi komunikacji i diagnostyki. Z tych powodów wybrano **Zephyr RTOS** z wbudowaną integracją **LVGL** jako główne środowisko uruchomieniowe.

Dlaczego Zephyr + LVGL?

- **Deterministyczny kernel i prosty model współbieżności** Wątki o priorytetach, workqueue, przerwania i timery wysokiej rozdzielczości umożliwiają wydzielenie zadań: wątku interfejsu, wątku przetwarzania oraz wątku komunikacji ze sprzętem. Tryb *tickless* ogranicza narzut czasowy, a jednocześnie pozwala utrzymać stałe okresy odświeżania UI.

- **Spójny ekosystem sterowników i konfiguracji** Standardowe API (SPI, I²C, ADC, DAC / PWM, GPIO, DMA) oraz konfiguracja sprzętu przez DeviceTree i Kconfig redukują ilość kodu klejącego do minimum. Dla mikrokontrolerów STM32 dostępne są gotowe warstwy abstrakcji oraz integracja z biblioteką HAL, co znaczco przyspiesza uruchomienie peryferiów (np. SPI dla zewnętrznych przetwornic).
- **Prosta integracja z LVGL** Zephyr dostarcza oficjalny subsystem LVGL (obsługa zegara tick, wątku renderującego, pamięci i sterowników wyświetlaczy/wejść). Konfiguracja odbywa się parami Kconfig+DeviceTree (bufory, flush callback, wejście dotykowe), dzięki czemu UI działa stabilnie bez ręcznego sklejania sterowników.
- **Narzędzia deweloperskie** Jednolity system budowania (CMake+west), logger, konsola shell, persistent settings (NVS), systemy plików (FAT/LittleFS), testy (twister) oraz bogate przykłady ułatwiają utrzymanie i automatyzację.
- **Skalowalność i przyszła rozbudowa.** W razie potrzeby dostępne są stosy sieciowe (Ethernet, BLE, IP) i bootloader MCUboot.
- **Licencja i wsparcie.** Zephyr (Apache-2.0) i LVGL (MIT) mają dojrzałe, permisywne licencje oraz aktywne społeczności, co sprzyja długoterminowemu utrzymaniu.

Porównanie z podejściem bare–metal

- **Koszt wytwarzania i ryzyko** W bare–metal należałoby samodzielnie zaimplementować harmonogram zadań, synchronizację, wieloźródłowe timery, kolejki zdarzeń oraz integrację z DMA i przewrwaniami. To zwiększa złożoność, czas prac i ryzyko błędów w sytuacjach granicznych (priorytety przerwań, zakleszczenia, jitter czasów odświeżania).
- **Utrzymywalność** Każda zmiana sprzętu lub peryferiów wymaga przeróbek w wielu miejscach. Brak standaryzowanego DeviceTree/Kconfig utrudnia przenoszenie konfiguracji i automatyzację budowania.

Porównanie z FreeRTOS i innymi RTOS.

- **Zakres projektu** FreeRTOS dostarcza głównie kernel; większość elementów ekosystemu (sterowniki, pliki, logowanie, sieć, integracja z LVGL) trzeba dobierać i łączyć samodzielnie. W Zephyrze te klocki są spójne i utrzymywane w jednym repozytorium z jednolitym API.
- **Konfiguracja i portowalność** Zephyrowe DeviceTree i Kconfig zapewniają powtarzaną konfigurację sprzętu i budowy na różnych płytach. W FreeRTOS typowo używa się mieszanki plików board support i skryptów producenta, co zwiększa różnice między platformami.
- **Integracja LVGL** Zarówno FreeRTOS, jak i Zephyr mogą uruchomić LVGL, ale w FreeRTOS wymaga to ręcznego spięcia tick, zadań, sterowników wyświetlacza i wejść. W Zephyrze LVGL jest pierwszoplanowym komponentem z gotowymi opcjami Kconfig i przykładowymi driverami. Co znaczco ułatwia opanowanie narzędzia i implementacje rozwiązania.
- **Utrzymanie i testy** Zephyr oferuje ustandaryzowane narzędzia CI/testów (twister), west do zarządzania modułami i bogaty katalog przykładów, w tym z integracją LVGL.

Konkluzja. Z perspektywy wymagań projektu (stabilne odświeżanie UI, deterministyczna akwizycja i generacja sygnałów, szybkie uruchomienie peryferiów, łatwa rozbudowa) wybór **Zephyr RTOS + LVGL** minimalizuje ilość kodu specyficznego dla sprzętu, skraca czas integracji i zmniejsza ryzyko błędów czasowych. W porównaniu z bare-metal oraz z kernelami pokroju FreeRTOS, Zephyr dostarcza pełniejszy, spójny ekosystem, który lepiej wspiera zarówno bieżące wymagania, jak i przyszłe rozszerzenia projektu.

1.7. Walidacja

1.7.1. Metodyka

Źródła wzorcowe (kalibrator napięcia), obciążenie dla wyjścia 0–10 V, środowisko testowe.

1.7.2. Wyniki

Tabele dokładności, histogram odchyлеń, niepewność typu A/B, budżet niepewności.

1.7.3. Dyskusja

Ograniczenia, dryft temperaturowy, histereza, propozycje ulepszeń.

BIBLIOGRAFIA

- [1] *1N4728A Thru 1N4764A 1 W Zener Diodes*. Diody Zenera serii 1N47xxA stosowane w torze ochrony wejścia zasilania (D4). GOOD-ARK Electronics. 2024. URL: <https://www.goodark.com/specification/1N4728%20thru%201N4764.pdf> (cyt. na s. 4).
- [2] *ADS8688 12-Bit, 500-kSPS, 8-Channel Data Acquisition System*. Zewnętrzny ADC U7. Texas Instruments. 2021. URL: <https://www.ti.com/lit/ds/symlink/ads8688.pdf> (cyt. na s. 6–8).
- [3] *AO4407A P-Channel Enhancement Mode Field Effect Transistor*. Tranzystor P-MOSFET mocy do ochrony przed odwrotną polaryzacją (Q1). Alpha i Omega Semiconductor. 2024. URL: https://www.aosmd.com/res/data_sheets/AO4407A.pdf (cyt. na s. 4).
- [4] *Application Guidelines for 0–10 V Control Interfaces in HVAC*. ASHRAE. 2019 (cyt. na s. 3).
- [5] *DAC7568 12-Bit, Octal, Buffered Voltage Output DAC*. Zewnętrzny DAC U3. Texas Instruments. 2017. URL: <https://www.ti.com/lit/ds/symlink/dac7568.pdf> (cyt. na s. 5, 6).
- [6] *LM2596 SIMPLE SWITCHER 3-A Step-Down Voltage Regulator*. Regulatory zasilania U1 (5 V) i U2 (3.3 V). Texas Instruments. 2020. URL: <https://www.ti.com/lit/ds/symlink/lm2596.pdf> (cyt. na s. 4).
- [7] *STM32F746xG Datasheet*. MCU zastosowany na płytce STM32F746G-Discovery. STMicroelectronics. 2023. URL: <https://www.st.com/en/microcontrollers-microprocessors/stm32f746ng.html> (cyt. na s. 3).
- [8] STMicroelectronics. *32F746GDISCOVERY — Discovery kit with STM32F746NG MCU*. 2025. URL: <https://www.st.com/en/evaluation-tools/32f746gdiscovery.html> (term. wiz. 10.10.2025) (cyt. na s. 3).
- [9] *TLVx9304 Low-Noise, Rail-to-Rail Output Operational Amplifiers*. Bufor analogowy U5, U6. Texas Instruments. 2023. URL: <https://www.ti.com/lit/ds/symlink/tlv9304.pdf> (cyt. na s. 5).