

Student's name and surname: Paweł Bałbatun

ID: 193652

Cycle of studies: bachelor's degree studies

Mode of study: full-time studies

Field of study: Automatic Control, Cybernetics and Robotics

Profile: Automation Systems

## **ENGINEERING DIPLOMA THESIS**

Title of the thesis: Design of a measurement card for a laboratory stand for measuring physical quantities in HVAC systems, based on a selected design kit with a TFT graphic display.

Title of the thesis (in Polish): Projekt stanowiska pomiarowego podstawowych wielkości fizycznych wykorzystywanych w systemach HVAC w oparciu o wybrany zestaw uruchomieniowy wyposażony w wyświetlacz graficzny TFT

Supervisor: mgr inż. Piotr Darski

## **SPIS TREŚCI**

## **Streszczenie**

Praca przedstawia projekt oraz weryfikację stanowiska pomiarowego dla wybranych wielkości fizycznych typowych w systemach HVAC (temperatura, wilgotność, ciśnienie, przepływ oraz sygnały sterujące 0 V–10 V). Rozwiązanie bazuje na zestawie uruchomieniowym STM32F746G-Discovery z wyświetlaczem TFT oraz na dedykowanej karcie pomiarowo-wyjściowej 0 V–10 V zaprojektowanej w KiCad. Oprogramowanie wykonano w środowisku Zephyr RTOS z wykorzystaniem sterowników peryferiów i biblioteki LVGL do obsługi interfejsu graficznego. Przedstawiono wymagania funkcjonalne, projekt części analogowej (tory wejściowe z ochroną i skalowaniem, tor wyjściowy 0 V–10 V), architekturę oprogramowania (wątki RTOS, kolejki, sterowniki), a także wyniki walidacji dokładności i powtarzalności pomiarów na podstawie wzorców i porównania z przyrządami referencyjnymi.

## **0.1. Wstęp**

Celem pracy jest zaprojektowanie i weryfikacja stanowiska pomiarowego dla podstawowych wielkości fizycznych spotykanych w HVAC oraz interfejsu sterującego 0 V–10 V, z wykorzystaniem zestawu STM32F746G-Discovery (STM32F746NG, Cortex-M7) i dedykowanego modułu pomiarowego PCB. Motywacją jest potrzeba ekonomicznego, dydaktycznego stanowiska do testów i demonstracji algorytmów sterowania.

Omówiono kontekst przemysłowy sygnałów 0 V–10 V, przegląd czujników oraz wymagania co do dokładności i izolacji torów.

## **1. STAN WIEDZY I ZAŁOŻENIA PROJEKTOWE**

Celem projektu jest przede wszystkim zaprojektowanie i uruchomienie stanowiska laboratoryjnego, a nie opracowanie nowego modelu teoretycznego. Z tego powodu przegląd literatury ma charakter praktyczny i koncentruje się na zagadnieniach, które były rzeczywiście potrzebne podczas projektu: standardzie sygnału 0–10 V w HVAC, podstawowych algorytmach regulacji oraz ogólnych zasadach projektowania płytka PCB dla układów mieszanych analogowo–cyfrowych.

### **1.1. Sygnał 0–10 V i sterowanie HVAC**

W automatyce budynkowej jednym z najczęściej spotykanych sygnałów sterujących jest napięcie 0–10 V. W materiałach producentów czujników, przetworników oraz w opracowaniach dotyczących automatyki budynkowej podkreśla się, że sygnał 0–10 V jest powszechnie używany do sterowania silownikami przepustnic i zaworów, falownikami oraz różnymi czujnikami stosowanymi w instalacjach HVAC[4, 12, 13]. Główna zaleta takiego sygnału to prostota: praktycznie każdy sterownik PLC lub system BMS potrafi wygenerować albo zmierzyć napięcie 0–10 V, a jego interpretacja jest intuicyjna ( 0–100 % odpowiada 0–10 V).

W literaturze naukowej dotyczącej sterowania HVAC większość uwagi poświęca się modelom cieplnym i algorytmom regulacji, a warstwa sprzętowa jest zwykle opisywana dość ogólnie. W artykułach dotyczących energooszczędnego sterowania HVAC stosuje się klasyczne sygnały analogowe (napięciowe lub prądowe), ale szczegóły toru 0–10 V są zazwyczaj schowane wewnątrz sterowników[3, 14]. W niniejszej pracy ten tor został celowo „wyciągnięty na wierzch” w postaci osobnej płytki dydaktycznej, tak aby można było go obserwować i modyfikować podczas zajęć laboratoryjnych.

### **1.2. Regulacja PI/PID i sekwencje pracy central HVAC**

W publikacjach dotyczących sterowania HVAC najczęściej stosuje się regulatory PI lub PID. Do ich strojenia wykorzystuje się zarówno proste metody (np. Ziegler–Nichols), ale również bardziej zaawansowane algorytmy optymalizacyjne[3, 11, 18]. Przykładowo Almabrok i in. prezentują szybką metodę strojenia regulatora PID dla systemu HVAC z użyciem algorytmu optymalizacyjnego[3]. Zminy termodynamiczne w budynkach są na ogół procesem powolnym, dlatego algorytmy przyspieszające optymalne strojenie regulatorów są głównym motywem przewodnim prac badawczo–naukowych w tej dziedzinie.

W przypadku logiki działania całych central wentylacyjnych, często odwołuje się do ustandardowanych sekwencji pracy opisanych w wytycznych ASHRAE, w szczególności w dokumencie Guideline 36[7]. Wytyczne te definiują gotowe sekwencje sterowania nagrzewnicą, chłodnicą, odzyskiem ciepła i bypassem, uwzględniając pasmo martwe oraz warunki bezpieczeństwa. W projekcie zastosowano uproszczony wariant takiej sekwencji: pojedynczy regulator PI temperatury, którego wyjście jest podzielone na przedziały odpowiadające grzaniu, chłodzeniu, odzyskowi ciepła oraz pasmowi martwemu.

### **1.3. Sterowniki HVAC na mikrokontrolerach i RTOS**

W literaturze można znaleźć przykłady implementacji sterowania HVAC z użyciem mikrokontrolerów oraz prostych systemów operacyjnych czasu rzeczywistego. W pracy Fernandesa opisano regulator PID przepływu powietrza w instalacji wentylacyjnej, zaimplementowany na mikrokontrolerze, z lokalnym pomiarem oraz sterowaniem pracą wentylatora[11]. Układ ten jest zbliżony koncepcyjnie do niniejszego projektu, obejmuje jedną pętlę regulacji, czujnik, element wykonawczy i prosty interfejs użytkownika.

W projekcie jako środowisko firmware'u wykorzystano Zephyr RTOS, lekki system operacyjny czasu rzeczywistego przeznaczony do układów wbudowanych, obsługujący wiele architektur i posiadający rozbudowany zestaw sterowników[23, 24]. Dokumentacja Zephyra pokazuje typowe podejście do struktury aplikacji: logika jest podzielona na wątki, a sprzęt (np. magistrale SPI, wyświetlacze) opisuje się w drzewie urządzeń (Devicetree). Do realizacji interfejsu HMI wykorzystano bibliotekę LVGL, czyli popularną otwartą bibliotekę graficzną dla mikrokontrolerów[16, 22]. LVGL udostępnia gotowe widżety (przyciski, wykresy, listy), dzięki czemu można skupić się na logice HVAC, zamiast implementować od podstaw warstwę graficzną.

#### **1.4. Ramy projektowania PCB dla układów mieszanych**

Istotnym elementem projektu jest płytka PCB zawierająca zarówno tory analogowe 0–10 V, jak i cyfrowe interfejsy SPI. W literaturze dotyczącej projektowania układów mieszanych powtarza się kilka podstawowych zaleceń: logiczny podział płytki na część analogową i cyfrową, kontrola powrotu prądów w masie oraz rozsądne prowadzenie zasilania[8, 9, 17]. Ott [17] zwraca uwagę, że zamiast dzielić masę na dwie osobne płaszczyzny, korzystniej jest utrzymać jedną wspólną masę i wydzielić część analogową oraz cyfrową głównie geometrycznie oraz odpowiednim prowadzeniem ścieżek.

W notach aplikacyjnych firm Analog Devices i Microchip przedstawiono przykładowe projekty płyt dla układów mieszanych, gdzie pokazano m.in. sposób umieszczania przetworników ADC na granicy stref analog/digital, prowadzenia linii SPI oraz stosowania przelotek łączących pola masy[8, 9]. W niniejszym projekcie przyjęto podobne podejście: tory 0–10 V znajduje się w wydzielonych częściach płytki z osobnym polem masy analogowej GNDA, interfejsy SPI umieszczone bliżej złącza do płytki Discovery, a przetworniki cyfrowo/analogowe i analogowo/cyfrowe pełnią rolę „mostu” pomiędzy częścią analogową a cyfrową[2, 10].

#### **1.5. Wymagania**

##### **1.5.1. Funkcjonalne**

- Pomiar napięć wejściowych w zakresie 0 V do 10 V z rozdzielcością  $\leq 10 \text{ mV}$ .
- Generacja sygnału wyjściowego 0 V do 10 V obciążalność  $\geq 5 \text{ mA}$ .
- GUI na TFT: wizualizacja trendów, konfiguracja kanałów.

##### **1.5.2. Niefunkcjonalne**

EMC, bezpieczeństwo, ESD, kalibracja (offset/gain), testowalność.

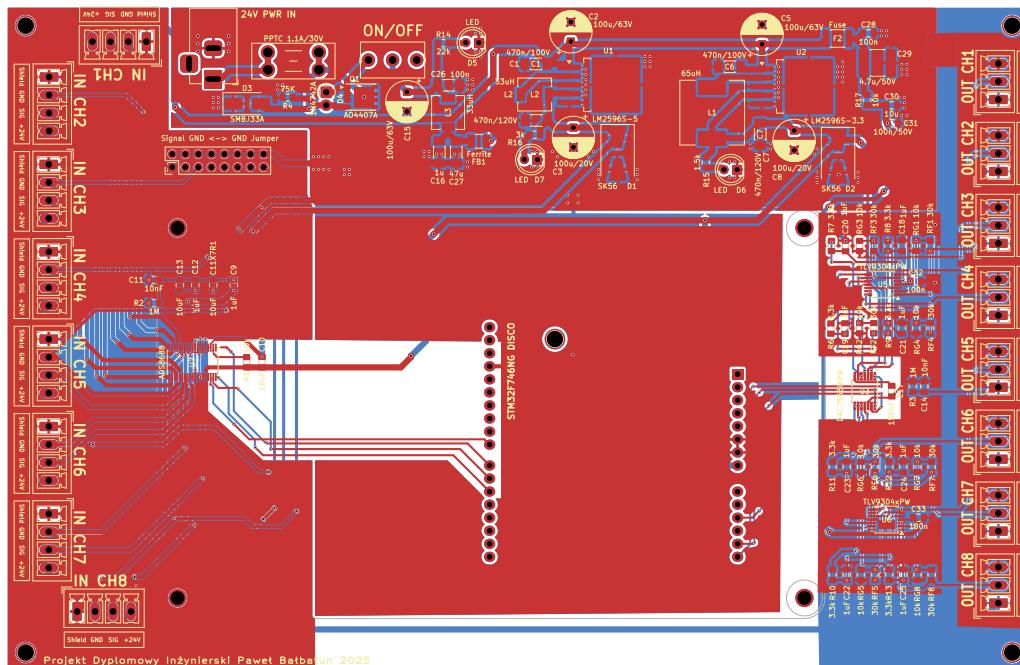
## 2. PROJEKT CZĘŚCI SPRZĘTOWEJ

### 2.1. Wymagania sprzętowe — przegląd

Projektowana płytka stanowi jedną, spójną platformę do pomiaru i generacji sygnałów 0–10 V w aplikacjach HVAC[6], współpracującą z zestawem uruchomieniowym STM32F746G-DISCO wyposażonym m.in. w mikrokontroler STM32F7 i panel TFT[19, 20]. Rozwiążanie to ma pełnić rolę uniwersalnego „front-endu” analogowego dla laboratoryjnego sterownika HVAC: umożliwia zarówno rejestrację sygnałów z czujników i przetworników 0–10 V, jak i generację ośmiu niezależnych kanałów 0–10 V do sterowania elementami wykonawczymi (siłowniki przepustnic, zawory mieszające, przetwornice wentylatorów itp.).

Od strony zasilania przewidziano instalacyjne wejście DC (nominalnie 24 V) z podstawowym torem ochronnym (odwrotna polaryzacja, przepięcia, wstępna filtracja), a następnie podział zasilania na osobne gałęzie dla części cyfrowej, analogowej i elementów interfejsowych. Taki układ zmniejsza wpływ zakłóceń na pomiary i stabilizuje pracę torów. Interfejs do świata zewnętrznego obejmuje osiem wejść 0–10 V przygotowanych do bezpiecznego próbkowania przez przetwornik A/C oraz osiem wyjść 0–10 V realizowanych przez przetwornik C/A i wzmacniacze operacyjne.

Istotnym założeniem projektowym było zachowanie kompatybilności elektrycznej i mechanicznej z płytą STM32F746G-DISCO. W centralnej części PCB przewidziano złącze typu goldpin (standard Dupont), którego raster i położenie odpowiada złączu rozszerzeń zestawu Discovery. Dzięki temu całość tworzy układ kanapkowy: płytka z analogowym interfejsem pełni funkcję karty pomiarowej, a zestaw uruchomieniowy zapewnia moc obliczeniową oraz interfejs użytkownika (TFT z panelem dotykowym).



Rysunek 2.1: Widok płytki PCB z zaprojektowanym rozmieszczeniem elementów i złącz. W centralnej części znajduje się obszar montażu płytki STM32F746G-DISCO.

## **2.2. Moduł zasilania**

Układ zasilania płytki został zaprojektowany tak, aby bezpiecznie przyjąć instalacyjne napięcie stałe (do ok. 24 V) i rozdzielić je na dwie stabilne linie robocze: +5 V oraz +3,3 V. Schemat modułu zasilania przedstawiono na rysunku ??.

Na wejściu zastosowano gniazdo J1 (DC jack 5,5×2,1 mm), do którego doprowadzane jest napięcie z zewnętrznego zasilacza. Bezpośrednio za złączem znajduje się polimerowy bezpiecznik sa-moresetujący F1 (PPTC 1,1 A/30 V), pełniący rolę zabezpieczenia nadprądowego w przypadku zwarcia na płytce lub błędnego podłączenia odbiorników. Równolegle do wejścia umieszczono diodę TVS D3 (SMBJ33A) tłumiącą przepięcia.

Ochronę przed odwrotną polaryzacją zasilania zrealizowano w oparciu o tranzystor P-MOSFET mocy Q1 (AO4407A w obudowie SO-8 lub równoważny)[5]. Tranzystor włączono w konfiguracji „idealnej diody”: jego źródło jest połączone z wejściem zasilania, dren z resztą układu, a bramka sterowana jest poprzez rezystor R4 i diodę Zenera D4 (1N4742A)[1]. Przy poprawnej polaryzacji tranzystor przewodzi z minimalnym spadkiem napięcia na kanale, a w przypadku odwrotnego podłączenia zasilacza blokuje przepływ prądu i chroni dalsze stopnie zasilania.

Za sekcją ochronną pracuje wyłącznik SW1 odcinający cały moduł zasilania. Dioda LED D5 z rezystorem szeregowym R14 sygnalizuje obecność napięcia po stronie wejściowej; pozwala to na szybką kontrolę stanu zasilania przed przetwornicami.

Kolejnym etapem jest wstępna filtracja C-L-C napięcia wejściowego. Dławik L3 (33 µH) oraz kondensatory C15 (100 µF/63 V), C26 (100 nF), C27 (47 µF) i C16 (1 µF) tworzą filtr typu PI, ograniczający wahania napięcia oraz szpilki prądowe związane z pracą przetwornic impulsowych. Dodatkowy koralik ferrytowy FB1, włączony szeregowo w linii 24 V, poprawia tłumienie zakłóceń o wyższych częstotliwościach, które mogłyby przenikać do dalszych części instalacji.

Konwersję napięcia na poziomy logiczne realizują dwie niezależne przetwornice buck z rodziną LM2596S[15]. Układ U1 (LM2596S-5) generuje linię +5 V. W jego torze znajdują się dławik L2 (33 µH), dioda Schottky’ego D1 (SK56) oraz kondensatory wejściowe C2 (100 µF/63 V) i C1 (470 nF) oraz wyjściowe C4 i C3. Analogicznie układ U2 (LM2596S-3,3) dostarcza linię +3,3 V z użyciem dławika L1 (68 µH), diody D2 (SK56) oraz zestawu kondensatorów C5, C6 po stronie wejściowej i C7, C8 po stronie wyjściowej. Elementy zostały dobrane zgodnie z zaleceniami producenta, tak aby zapewnić stabilność pętli regulacji dla zakładanych obciążień oraz odpowiednio niski poziom tężnień.

Zastosowanie dwóch niezależnych przetwornic zamiast jednego źródła z liniowymi stabilizatorami wtórnymi ma kluczowe znaczenie w kontekście sprawności i wydzielania ciepła. Przy typowych prądach pobieranych przez mikrokontroler, przetwornik A/C i przetwornik C/A, bezpośrednia konwersja z 24 V na 5 V/3,3 V w stabilizatorach liniowych skutkowałaby znaczącym poborem mocy. Przetwornice impulsowe LM2596S pozwalają ograniczyć straty do pojedynczych watów nawet przy pełnym obciążeniu linii 5 V i 3,3 V.

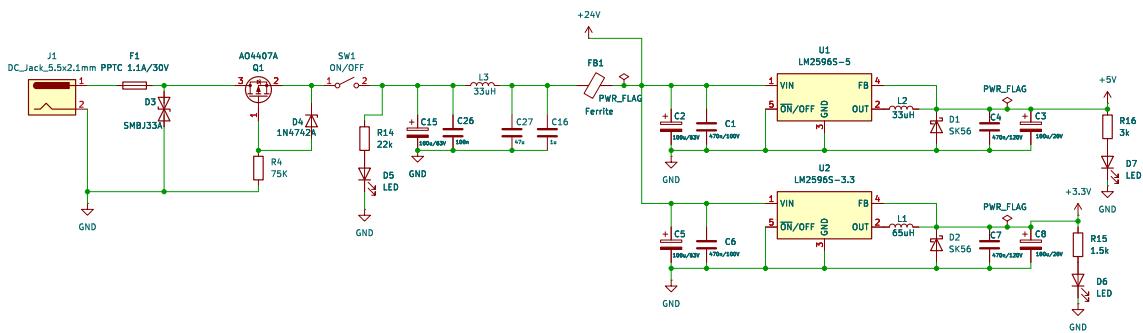
Analogicznie do sygnalizacji obecności napięcia na linii 24 V, stan szyn wyjściowych jest sygnalizowany diodami LED: D7 (dla linii +5 V) z rezystorem R16 oraz D6 (dla linii +3,3 V) z rezystorem R15. Na schemacie umieszczono również znaczniki PWR\_FLAG, ułatwiające kontrolę ciągów zasilania w narzędziu CAD i zapobiegające fałszywym ostrzeżeniom o „niezasilonych” sieciach.

Dodatkowo, w bezpośrednim sąsiedztwie przetwornic buck przewidziano punkty testowe dla linii +5 V oraz +3,3 V. Każdy punkt testowy ma obok wyrowadzoną również masę, co umożliwia wygodny pomiar napięć roboczych sondą oscyloskopową lub multimetrem podczas uruchamiania i diagnostyki układu. Lokalizacja tych punktów przy samych przetwornicach pozwala na obserwację rzeczywistych

tętnień i zachowania regulatorów bez dodatkowego wpływu rezystancji i indukcyjności ścieżek zasilających.

Całość tworzy spójny tor: *wejście i zabezpieczenia* → *filtracja wstępna* → *konwersja 24 V na +5 V/+3,3 V* → *dystrybucja i sygnalizacja*, co przekłada się na stabilną pracę układu.

Na poziomie PCB cały moduł zasilania został umieszczony w górnej części płytki (rysunek ??), możliwie blisko gniazda wejściowego oraz oddalony od wrażliwych części analogowych. Ścieżki prowadzące prądy impulsowe z przetwornic LM2596S zaprojektowano jako szerokie i możliwie krótkie, z lokalnymi polami masy minimalizującymi powierzchnię pętli prądowych. Dzięki temu ograniczono emisję zakłóceń przewodzonych i promieniowanych oraz uproszczono separację pomiędzy strefą mocy a strefą pomiarową.



**Rysunek 2.2:** Moduł zasilania płytki z wejściem instalacyjnym 24 V, torem ochrony przed przepięciami i odwrotną polaryzacją oraz przetwornicami step-down LM2596 generującymi linie +5 V i +3,3 V.

### 2.3. Tor wyjściowy 0–10 V: przetwornik DAC + wzmacniacze operacyjne

Tor wyjściowy generujący sygnały 0–10 V oparto na ośmiokanałowym przetworniku cyfrowo-analogowym U3 (DAC7568IAPW)[10] współpracującym z dwoma czterokanałowymi wzmacniaczami operacyjnymi U5 i U6 (TLV9304xPW)[21]. Dzięki temu możliwe jest niezależne sterowanie wszystkimi ośmiora wyjściami analogowymi. Schemat toru wyjściowego przedstawiono na rysunku ??.

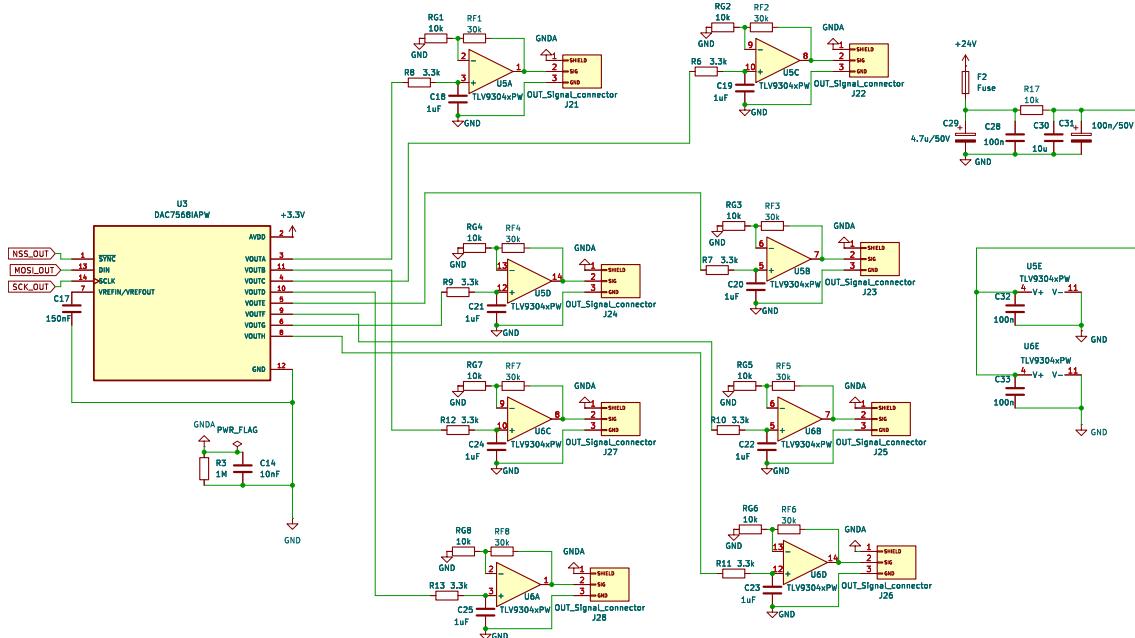
Przetwornik DAC7568 jest zasilany z linii +3,3 V. Komunikację z płytą STM32F746G-DISCO realizuje poprzez magistralę SPI: linie NSS\_OUT, MOSI\_OUT i SCK\_OUT zostały wyprowadzone z MCU i doprowadzone do odpowiednich pinów układu U3. Z uwagi na charakter przetwornika (układ typu „write-only”) nie przewidziano linii MISO; konfiguracja rejestrów i aktualizacja wyjść odbywa się wyłącznie poprzez wysyłanie ramek danych z mikrokontrolera.

Wyprowadzenie VREFIN/VREFOUT służy do ustalenia napięcia referencyjnego. W projekcie wykorzystano wewnętrzne źródło odniesienia przetwornika, dlatego pin został odsprzęgnięty kondensatorem C17 (150 nF) umieszczonym możliwie blisko wyprowadzeń, zgodnie z zaleceniami producenta[10]. Masę części analogowej doprowadzono do masy analogowej GND, która na PCB prowadzona jest jako wydzielona wyspa z kontrolowanym połączeniem do wspólnej masy GND poprzez elementy R2/C11 (opisane szerzej w podrozdziale o torze wejściowym).

Każdy z ośmiu kanałów wyjściowych DAC (VOUTA–VOUTH) jest dalej kształtowany przez prosty filtr dolnoprzepustowy RC na wejściu wzmacniacza: rezistor szeregowy (R6–R13, typowo 3,3 kΩ) oraz kondensator do masy (C18, C21–C25, 1 μF). Wyznacza to częstotliwość odcięcia rzędu

$$f_c \approx \frac{1}{2\pi RC} \approx \frac{1}{2\pi \cdot 3,3 \text{ k}\Omega \cdot 1 \mu\text{F}} \approx 48 \text{ Hz}, \quad (2.1)$$

co skutecznie tłumie szum oraz poszarpanie przebiegu pochodzące z aktualizacji DAC, a jednocześnie



**Rysunek 2.3:** Schemat toru wyjściowego 0–10 V wraz z wzmacniaczami operacyjnymi.

jest w pełni wystarczające dla powolnych procesów w systemach HVAC.

Wzmacniacze U5A–U5D oraz U6A–U6D pracują w konfiguracji nieodwracającej i są zasilane z linii +24 V (wg producenta maksymalne napięcie zasilania to 40 V DC). W ramach zabezpieczenia na torze zasilającym idącym do wzmacniaczy znajduje się polimerowy bezpiecznik samoresetujący F2 oraz filtr dolnoprzepustowy C-R-C składający się z rezystora R17, kondensatorów elektrolitycznych C29 i C31 oraz kondensatorów ceramicznych C28 i C30. Filtr usuwa wszelkie niechciane zakłócenia, które mogą występować w torze zasilania.

Zastosowanie wzmacniaczy o szerokim zakresie napięć zasilania pozwala uzyskać odpowiedni zapas napięciowy dla wyjść 0–10 V bez konieczności stosowania dodatkowych przetwornic podwyższających. Dla każdego kanału zastosowano identyczną sieć sprzężenia zwrotnego: rezystor do masy RG ( $10\text{ k}\Omega$ ) oraz rezystor w pętli sprzężenia RF ( $30\text{ k}\Omega$ ). Wzmocnienie napięciowe pojedynczego toru wynosi więc

$$A_v = 1 + \frac{R_F}{R_G} = 1 + \frac{30 \text{ k}\Omega}{10 \text{ k}\Omega} = 4. \quad (2.2)$$

Przy referencji DAC rzedu 2,5 V umożliwia to uzyskanie pełnego zakresu 0–10 V na wyjściu wzmacnia- cza, z zapasem na niewielkie tolerancje i błędy kalibracji.

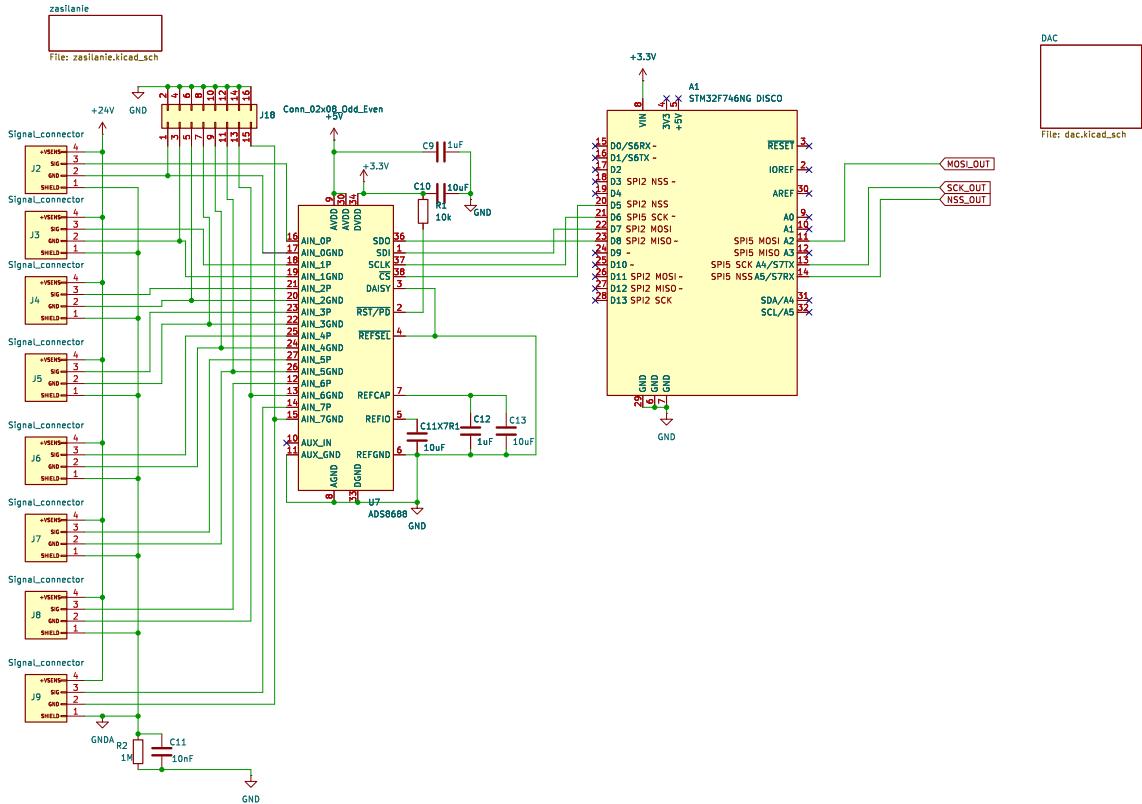
Wyjścia poszczególnych wzmacniaczy są wyprowadzone na uniwersalne złącza J21–J28. Każde złącze udostępnia linię sygnałową 0–10 V, odniesienie SG (signal ground) oraz pin SHIELD przeznaczony do ekranowania przewodów.

Na płytce PCB (rysunek ??) złącza wyjściowe zostały rozmieszczone wzdłuż prawej krawędzi w regularnym rastrze, co ułatwia prowadzenie przewodów i daje poczucie „przepływu” sygnałów przez sterownik (od lewej do prawej). Ścieżki sygnałowe pomiędzy wzmacniaczami a złączami są możliwe krótkie i prowadzone nad ciągłą płaszczyzną masy, co redukuje indukcyjność pętli i przesłuchy pomiędzy kanałami.

Podsumowując, tor wyjściowy ma strukturę: STM32 → DAC7568 → filtr RC → wzmacniacz nie-odwracający o wzmacnieniu 4 → złącze sygnałowe z ekranem i zasilaniem pola, co zapewnia zarówno elastyczność sterowania, jak i zgodność z powszechnie stosowanym standardem 0–10 V.

## 2.4. Tor wejściowy 0–10 V: interfejs pomiarowy

Tor wejściowy odpowiada za obsługę czujników przemysłowych (pasywnych i aktywnych) oraz bezpieczne doprowadzenie sygnałów 0–10 V do wielokanałowego przetwornika A/C ADS8688[[TI\\_ADS8688](#)]. Schemat tej części układu przedstawiono na rysunku ???. Przetwornik ten integruje w sobie przełączany multiplekser wejściowy, programowalne zakresy napięciowe oraz wewnętrzny front-end zabezpieczający, co pozwala uprościć zewnętrzny tor analogowy.



na zakłóczenia wspólne przy dłuższych odcinkach okablowania, co jest kluczowe w instalacjach HVAC rozproszonych na dużej przestrzeni.

W torze wejściowym nie stosuje się dodatkowych dzielników ani zewnętrznych filtrów antyalasingowych; skalowanie i zabezpieczenie wejść realizuje wewnętrzny front-end przetwornika ADS8688[[TI\\_ADS8688](#)], który oferuje kilka przełączanych zakresów pomiarowych oraz obwody ograniczające prądy przy przeięciach.

Piny SHIELD wszystkich wejść są połączone do wspólnego ekranu wylanego pod ścieżkami sygnału i dołączonego względem masy przez filtr RC: rezystor R2 (1 MΩ) równolegle z kondensatorem C11 (10 nF) pomiędzy GNDA i GND. Zapewnia to upływ ładunków statycznych oraz tłumienie składowych o wysokiej częstotliwości, a jednocześnie ogranicza stałoprądowe prądy pętli masy i chroni ekran przed „przeciąganiem” potencjału przez inne urządzenia podłączone do tej samej instalacji. Rozwiązań to stanowi jednocześnie kontrolowany punkt połączenia masy analogowej i cyfrowej — GNDA jest używana w torach wejściowych i wyjściowych, natomiast GND stanowi referencję dla logiki cyfrowej i zasilania 3,3 V.

Część analogowa przetwornika ADS8688[[TI\\_ADS8688](#)] jest zasilana z linii +5 V (kondensator C9 1 µF blisko pinów AVDD/AGND), natomiast część cyfrowa z linii +3,3 V (kondensator C10 10 µF przy DVDD/DGND). Linia RST/PD jest podcięgnięta rezystorem 10 kΩ do +3,3 V i może być sterowana z mikrokontrolera, co umożliwia programowe resetowanie przetwornika oraz przechodzenie w tryb uśpienia w stanie bezczynności.

Odniesienie napięciowe przetwornika realizowane jest wewnętrznie; piny REFCAP, REFIO i REFGND są odsprzęgnięte kondensatorami klasy X7R (C12 i C13 po 1 µF) umieszczonymi możliwie blisko wyprowadzeń, zgodnie z zaleceniami producenta[[TI\\_ADS8688](#)]. Zapewnia to niskoszumowe, stabilne napięcie odniesienia, co bezpośrednio przekłada się na rozdzielcość efektywną przetwornika.

Na schemacie przewidziano również dodatkowe złącze J18 w postaci listwy goldpin z możliwością założenia zworek. Złącze to służy do konfigurowania połączenia pomiędzy masą sygnałową (SG), wykorzystywaną jako powrót dla wejść 0–10 V, a ogólną masą układu (GND). Poprzez odpowiednie ustawienie zworek użytkownik może zdecydować, czy masa sygnałowa ma pozostać możliwie „czysta” i odniesiona głównie do GNDA (praca z czujnikami pasywnymi), czy też powinna zostać zwarta z masą zasilania w celu zasilania czujników aktywnych, wymagających wspólnego potencjału odniesienia dla toru zasilania i sygnału.

Takie rozwiązanie ma kilka zalet:

- umożliwia elastyczną konfigurację toru wejściowego w zależności od typu podłączonych czujników (pasywne z odseparowaną masą sygnałową vs. aktywne wymagające wspólnego potencjału zasilania i sygnału),
- poprawia kompatybilność z typowymi przetwornikami 0–10 V, które zakładają wspólną masę zasilania i wyjścia napięciowego,
- pozwala na łatwe eksperymentowanie i diagnostykę w warunkach laboratoryjnych — zmiana konfiguracji sprowadza się do przełożenia zworek, bez konieczności modyfikacji PCB ani rozcinania ścieżek.

Komunikacja z mikrokontrolerem odbywa się po magistrali SPI: linie SDI, SDO, SCLK i CS zostały połączone z odpowiednimi pinami MCU. STM32F7 wyposażony jest w dwa oddzielne interfejsy SPI. Dzięki temu oba przetworniki (ADS8688 i DAC7568) mogą komunikować się z MCU niezależnie od siebie; każdy z nich korzysta z własnej magistrali, co upraszcza konfigurację sprzętową i pozwala w przyszłości obsługiwać je w osobnych wątkach oprogramowania.

Na poziomie PCB (rysunek ??) przetwornik ADS8688 oraz złącza wejściowe zostały umieszczone w lewej części płytki, w niewielkiej odległości od siebie. Ścieżki sygnałowe SIG/SG prowadzone są nad pełną płaszczyzną masy GNDA, z zachowaniem odstępów pomiędzy kanałami, co ogranicza pojemnościowe sprzężenia krzyżowe. Ekrany SHIELD tworzą osobną, częściowo wylaną strefę połączoną z GNDA poprzez elementy R2/C11.

## 2.5. Projekt PCB i separacja stref

Widok płytki PCB przedstawiono na rysunku wygenerowanym z narzędzia CAD (rysunek ??). Płytnka została zaprojektowana jako dwuwarstwowa, z rozległymi polami masy w obu warstwach. Główna powierzchnia zajmowana jest przez prostokątny obrys odpowiadający formatowi płytki Discovery, w którego obrębie przewidziano wycięty obszar (strefę bez elementów i ścieżek) stanowiący miejsce montażu zestawu STM32F746G-DISCO. W czterech narożach oraz w pobliżu złączy umieszczono otwory montażowe umożliwiające sztywne zamocowanie całości do płyty bazowej lub obudowy.

Pod względem funkcjonalnym płytę można podzielić na trzy główne strefy:

1. **Strefa mocy** — w górnej części, obejmująca gniazdo zasilania J1, układ ochrony (F1, D3, D4, Q1, L3, FB1) oraz przetwornice LM2596S. Ścieżki o dużych prądach i impulsowych zmianach prądu prowadzone są lokalnie, nad fragmentarnymi polami masy, co ogranicza emisję zakłóceń.
2. **Strefa analogowa** — przy lewej i prawej krawędzi, obejmująca przetwornik ADS8688, przetwornik DAC7568, wzmacniacze TLV9304 oraz złącza wejściowe i wyjściowe. W tych częściach płytka zastosowano wydzieloną masę GNDA, która jest łączona z ogólną masą GND w jednym punkcie poprzez elementy R2/C11.
3. **Strefa cyfrowa** — w centralnej części, wokół rastru GPIO mikrokontrolera, gdzie prowadzone są linie SPI. Tutaj masa GND jest wylana jako osobna wyspa, a przejścia do masy analogowej są kontrolowane.

Istotnym elementem projektu PCB jest częste uwspólnianie potencjałów masy pomiędzy warstwami i strefami. W torach zasilania oraz w części cyfrowej zastosowano gęsto rozmieszczone przelotki łączące pola GND na obu warstwach, co skraca ścieżkę powrotu prądu i zmniejsza indukcyjność pętli. Analogicznie, w obszarach torów analogowych (wokół ADS8688, DAC7568 i wzmacniaczy TLV9304) rozmieszczeno przelotki spinające pola GNDA, dzięki czemu masa analogowa tworzy zwartą, dobrze przewodzącą referencję dla sygnałów pomiarowych i wyjściowych. Połączenie GNDA z GND pozostaje jednak zrealizowane w jednym, kontrolowanym punkcie (R2/C11), co łączy zalety wspólnego potencjału odniesienia z ograniczeniem pętli mas i przesłuchów pomiędzy strefą analogową a cyfrową.

Rozdzielenie tych stref w przestrzeni płytki ogranicza przesłuchy pomiędzy torami, a jednocześnie pozwala na intuicyjną analizę układu podczas uruchamiania i diagnostyki. Szerokości ścieżek dobrano zgodnie z przewidywanymi prądami (najszerze dla linii 24 V, 5 V i 3,3 V, węższe dla linii sygnałowych). Przy przejściach pomiędzy warstwami stosowane są przelotki w „gęstych” grupach, tak aby zapewnić zwarty powrót prądu między płaszczyznami masy.

Dodatkowym elementem ułatwiającym pracę z płytą jest rozbudowana warstwa opisowa (silkscreen), na której zaznaczono nazwy złączy, kierunki numeracji pinów, oznaczenia kanałów wejściowych i wyjściowych oraz podstawowe kierunki przepływu sygnału (strzałki). Dzięki temu użytkownik może korzystać z płytki w warunkach laboratoryjnych praktycznie bez konieczności sięgania do schematu.

Opisany w niniejszym rozdziale projekt części sprzętowej stanowi bazę dla dalszych rozważań

dotyczących implementacji algorytmów sterowania i architektury oprogramowania w rozdziałach poświęconych części programowej pracy.

### **3. FIRMWARE**

Część programowa projektu pełni rolę interfejsu pomiędzy opracowaną platformą sprzętową a docelowym użytkownikiem – studentem realizującym ćwiczenia. Jej zadaniem jest nie tylko poprawne sterowanie wyjściami analogowymi i akwizycja sygnałów 0–10 V z przetworników, ale również prezentacja stanu układu w czytelnej formie graficznej, umożliwienie zmiany parametrów regulatora oraz wygodne przełączanie konfiguracji laboratoryjnych bez konieczności rekompilacji oprogramowania.

Z tego powodu firmware nie został zbudowany jako prosta aplikacja „bare–metal” ani w oparciu o szablon generatora STM32CubeMX, lecz jako aplikacja systemu Zephyr RTOS, z wykorzystaniem biblioteki LVGL do budowy interfejsu użytkownika. W kolejnych podrozdziałach opisano motywację tego wyboru, strukturę aplikacji, opis modelu konfiguracji systemu HVAC w oparciu o JSON, logikę regulacji oraz działanie interfejsu HMI.

#### **3.1. Wybór środowiska uruchomieniowego**

Projekt wymaga równoległego i deterministycznego wykonywania kilku zadań: odświeżania HMI na wyświetlaczu TFT, generacji sygnałów 0–10 V (komunikacja SPI z przetwornicą DAC) oraz obsługa drugiej magistrali SPI do komunikacji z przetwornicą ADC. Wszystkie te funkcje muszą być realizowane przy zachowaniu powtarzalnych czasów reakcji. Z tych powodów jako środowisko uruchomieniowe wybrano Zephyr RTOS zintegrowany z biblioteką graficzną LVGL.

Zastosowanie systemu czasu rzeczywistego zamiast prostego „bare–metal” pozwala w prosty sposób rozdzielić zadania i przypisać je do osobnych wątków: wątku interfejsu użytkownika, wątków akwizycji i przetwarzania danych oraz wątków odpowiedzialnych za komunikację ze sprzętem. Dzięki temu możliwe jest jednoczesne utrzymanie płynnego odświeżania UI, bezpiecznej obsługi przerwań z przetworników oraz terminowego odświeżania wyjść analogowych sterujących urządzeniami HVAC.

##### **3.1.1. Dlaczego Zephyr + LVGL?**

Zephyr udostępnia deterministyczny kernel o prostym, ale wystarczająco elastycznym modelu współbieżności. Wątki o priorytetach, kolejki *workqueue*, przerwania oraz timery wysokiej rozdzielczości umożliwiają zdefiniowanie jasnego podziału zadań i ich wzajemnych zależności. W projekcie wykorzystano tę możliwość do wydzielenia ścieżki krytycznej czasowo (akwizycja i generacja sygnałów) od zadań mniej wrażliwych na opóźnienia (obsługa UI, diagnostyka, ładowanie konfiguracji). Tryb *tickless* ogranicza narzuć związany z tykaniem systemowym, a jednocześnie pozwala zachować stałe okresy odświeżania UI oraz stabilne czasy próbkowania.

Istotną zaletą Zephyra jest spójny ekosystem sterowników oraz wspólna warstwa konfiguracji sprzętu. Standardowe API dla interfejsów SPI, I<sup>2</sup>C, ADC, DAC/PWM, GPIO czy DMA, uzupełnione mechanizmami DeviceTree i Kconfig, redukuje do minimum ilość kodu „klejącego” między aplikacją a warstwą sprzętową. Dla mikrokontrolerów z rodziny STM32 dostępne są gotowe drivery oraz integracja z biblioteką HAL producenta, co znacząco przyspiesza uruchomienie peryferiów, takich jak kontroler SPI współpracujący z zewnętrznymi przetwornikami A/C i C/A. Zmiana konfiguracji sprzętu (np. inny pin CS, dodatkowy kanał) sprowadza się najczęściej do modyfikacji pliku *.overlay* DeviceTree, bez ingerencji w logikę aplikacyjną.

Zephyr dostarcza ponadto oficjalny subsystem LVGL, odpowiedzialny za integrację biblioteki graficznej z systemem operacyjnym. W praktyce oznacza to gotową obsługę zegara *tick*, wątku renderują-

cego, przydziału pamięci oraz sterowników wyświetlaczy i urządzeń wejściowych. Konfiguracja odbywa się poprzez parę Kconfig+DeviceTree, gdzie określa się m.in. rozmiary buforów ekranu, sposób odświeżania (*flush callback*) oraz mapowanie wejścia dotykowego. Dzięki temu warstwa HMI może zostać zaimplementowana w całości w LVGL, bez konieczności ręcznego "sklejania" sterownika wyświetlacza, sterownika dotyku i logiki zadań systemowych.

Wybór Zephyra jest również uzasadniony dostępnością narzędzi deweloperskich oraz ekosystemu okołosystemowego. Jednolity system budowania oparty na CMake i menedżerze west, wbudowany logger, konsola shell, obsługa trwałych ustawień (NVS), różne systemy plików (FAT, LittleFS) oraz zintegrowany framework testowy (twister) ułatwiają utrzymanie projektu oraz jego automatyzację. W kontekście pracy inżynierskiej ważna jest także skalowalność: Zephyr oferuje stose sieciowe (Ethernet, BLE, IP), jak również bootloader MCUBoot, co otwiera drogę do przyszłego rozszerzenia urządzenia o zdalne aktualizacje czy komunikację sieciową bez zmiany fundamentów projektu.

Biblioteka LVGL, wykorzystana jako warstwa HMI, jest naturalnym wyborem dla mikrokontrolerów klasy STM32F7 z kolorowym TFT. Zapewnia rozbudowany zestaw widżetów (przyciski, suwaki, listy rozwijane, wykresy) oraz mechanizmy układu obiektów (flex, grid), co pozwala zbudować zarówno ekran diagnostyczny, jak i bardziej złożony panel sterowania. LVGL jest aktywnie rozwijana, dobrze udokumentowana i szeroko stosowana w systemach wbudowanych, a jej integracja z Zephyrem jest oficjalnie wspierana. Użycie powszechnie znanego stoso Zephyr+LVGL zmniejsza ryzyko problemów z utrzymaniem projektu w przyszłości.

Nie bez znaczenia pozostaje kwestia licencjonowania i wsparcia społeczności. Zephyr jest projektem rozwijanym pod licencją Apache-2.0, a LVGL pod licencją MIT. Obie licencje są permisywne i sprzyjają wykorzystaniu w projektach komercyjnych oraz akademickich. Aktywne społeczności użytkowników oraz profesjonalne wsparcie firm współtworzących te projekty ułatwiają rozwiązywanie problemów oraz zapewniają długoterminową stabilność stoso programowego.

### **3.2. Walidacja**

#### *3.2.1. Metodyka*

Źródła wzorcowe (kalibrator napięcia), obciążenie dla wyjścia 0–10 V, środowisko testowe.

#### *3.2.2. Wyniki*

Tabele dokładności, histogram odchyлеń, niepewność typu A/B, budżet niepewności.

#### *3.2.3. Dyskusja*

Ograniczenia, dryft temperaturowy, histereza, propozycje ulepszeń.

## BIBLIOGRAFIA

- [1] *1N4728A Thru 1N4764A 1 W Zener Diodes*. Diody Zenera serii 1N47xxA stosowane w torze ochrony wejścia zasilania (D4). GOOD-ARK Electronics. 2024. URL: <https://www.goodark.com/specification/1N4728%20thru%201N4764.pdf>.
- [2] *ADS8688 12-Bit, 500-kSPS, 8-Channel Data Acquisition System*. Zewnętrzny ADC U7. Texas Instruments. 2021. URL: <https://www.ti.com/lit/ds/symlink/ads8688.pdf>.
- [3] Abdoalnasir Almabrok, Marios Psarakis i Anastasios Dounis. „Fast Tuning of the PID Controller in an HVAC System Using the Big Bang–Big Crunch Algorithm and FPGA Technology”. W: *Algorithms* 11.10 (2018), s. 146. doi: 10.3390/a11100146. URL: <https://doi.org/10.3390/a11100146>.
- [4] *Ambient Temperature Sensor-PT1000 with 0-10V Output*. Czujnik temperatury otoczenia z przetwornikiem PT1000 na sygnał 0–10 V. Seven Sensor Solutions. 2023. URL: <https://www.sevensensor.com/ambient-temperature-sensor-pt1000-u>.
- [5] *AO4407A P-Channel Enhancement Mode Field Effect Transistor*. Tranzystor P-MOSFET mocy do ochrony przed odwrotną polaryzacją (Q1). Alpha i Omega Semiconductor. 2024. URL: [https://www.aosmd.com/res/data\\_sheets/AO4407A.pdf](https://www.aosmd.com/res/data_sheets/AO4407A.pdf).
- [6] *Application Guidelines for 0–10 V Control Interfaces in HVAC*. ASHRAE. 2019.
- [7] ASHRAE. *ASHRAE Guideline 36-2021: High-Performance Sequences of Operation for HVAC Systems*. Guideline 36-2021. American Society of Heating, Refrigerating i Air-Conditioning Engineers. 2021. URL: <https://www.ashrae.org/technical-resources/bookstore/guideline-36-2018>.
- [8] Bonnie C. Baker. *Analog and Interface Guide – Volume 1: A Compilation of Technical Articles and Design Notes*. Zbiór not aplikacyjnych o projektowaniu układów analogowych i PCB. Microchip Technology Inc. 2005. URL: <https://ww1.microchip.com/downloads/en/devicedoc/00924b.pdf>.
- [9] *Considerations for Mixed Signal Circuit Board Design (AN-404)*. Application Note AN-404. Analog Devices, Inc. 2000. URL: <https://www.analog.com/media/en/technical-documentation/application-notes/495266810an-404.pdf>.
- [10] *DAC7568 12-Bit, Octal, Buffered Voltage Output DAC*. Zewnętrzny DAC U3. Texas Instruments. 2017. URL: <https://www.ti.com/lit/ds/symlink/dac7568.pdf>.
- [11] A. C. Fernandes i in. „Control of airflow in ventilation systems using embedded systems on microcontrollers”. W: *Microsystem Technologies* 25.9 (2019), s. 3597–3608. doi: 10.1007/s00542-019-04407-1. URL: <https://doi.org/10.1007/s00542-019-04407-1>.
- [12] *HD & HO Series Deluxe Humidity Transmitters*. Aktywne czujniki wilgotności/temperatury z wyjściem 0–5 V / 0–10 V. Veris Industries. 2014. URL: [https://www.veris.com/ASSETS/DOCUMENTS/ITEMS/EN/HD\\_HO\\_d0321.pdf](https://www.veris.com/ASSETS/DOCUMENTS/ITEMS/EN/HD_HO_d0321.pdf).
- [13] *High Accuracy Pressure Transmitter, 0–10 V Output*. Nadajnik ciśnienia z wyjściem napięciowym 0–10 V do systemów automatyki. Jakar Electronics. 2020. URL: <https://www.jakar.cz/en/p/high-accuracy-pressure-transmitter/4103>.

- [14] V. Kirubakaran i in. „Energy efficient model based algorithm for control of building HVAC systems”. W: *Ecotoxicology and Environmental Safety* 121 (2015), s. 236–243. doi: 10.1016/j.ecoenv.2015.03.027. URL: <https://doi.org/10.1016/j.ecoenv.2015.03.027>.
- [15] *LM2596 SIMPLE SWITCHER 3-A Step-Down Voltage Regulator*. Regulatory zasilania U1 (5 V) i U2 (3.3 V). Texas Instruments. 2020. URL: <https://www.ti.com/lit/ds/symlink/lm2596.pdf>.
- [16] *LVGL – Light and Versatile Embedded Graphics Library*. <https://lvgl.io/>. Oficjalna strona projektu LVGL, dostęp: 2025-12-03. 2025.
- [17] Henry W. Ott. „Partitioning and Layout of a Mixed-Signal PCB”. W: *Printed Circuit Design* 18.6 (2001). Klasyczny artykuł o podziale mas i prowadzeniu ścieżek w układach mieszanych, s. 16–26. URL: [https://www.hottconsultants.com/pdf\\_files/mixed-signal.pdf](https://www.hottconsultants.com/pdf_files/mixed-signal.pdf).
- [18] Guangji Qu i Mohammed Zaheer-uddin. „Real-time tuning of PI controllers in HVAC systems”. W: *International Journal of Energy Research* 28.15 (2004), s. 1313–1327. doi: 10.1002/er.1030. URL: <https://doi.org/10.1002/er.1030>.
- [19] *STM32F746xG Datasheet*. MCU zastosowany na płytce STM32F746G-Discovery. STMicroelectronics. 2023. URL: <https://www.st.com/en/microcontrollers-microprocessors/stm32f746ng.html>.
- [20] STMicroelectronics. *32F746GDISCOVERY—Discovery kit with STM32F746NG MCU*. 2025. URL: <https://www.st.com/en/evaluation-tools/32f746gdiscovery.html> (term. wiz. 10.10.2025).
- [21] *TLVx9304 Low-Noise, Rail-to-Rail Output Operational Amplifiers*. Bufor analogowy U5, U6. Texas Instruments. 2023. URL: <https://www.ti.com/lit/ds/symlink/tlv9304.pdf>.
- [22] *Zephyr Integration Guide – LVGL Documentation*. <https://docs.lvgl.io/9.1/integration/os/zephyr.html>. Opis integracji LVGL z Zephyr RTOS, dostęp: 2025-12-03. 2024.
- [23] *Zephyr Project Documentation*. <https://docs.zephyrproject.org/latest/>. Dokumentacja systemu Zephyr RTOS, dostęp: 2025-12-03. 2025.
- [24] *Zephyr Project RTOS*. <https://www.zephyrproject.org/>. Dostęp: 2025-12-03. 2025.