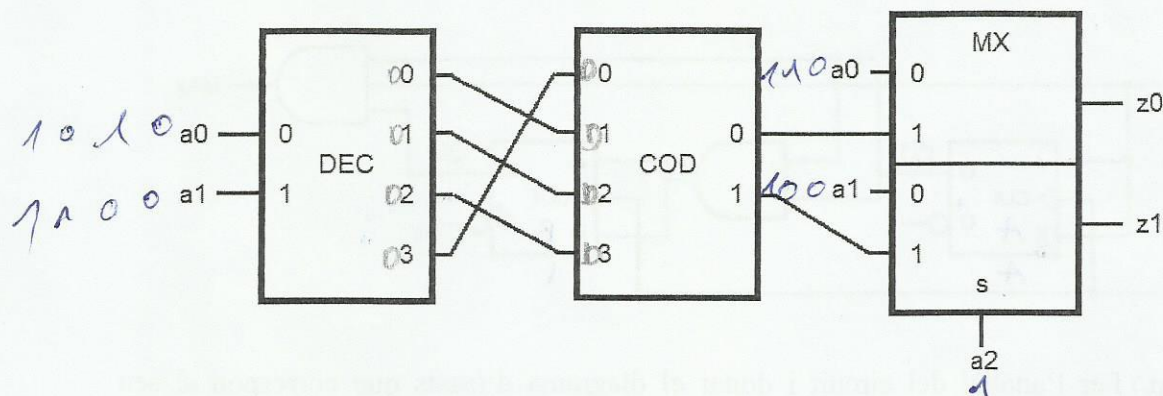




Examen parcial gener 2019

1. (3 punts)

Donat el següent circuit combinacional, format per un descodificador, un codificador i un doble multiplexor:



- (1 p.) Donar la taula de veritat que correspon al seu comportament.
- (0.5 p.) Donar l'expressió simplificada de les funcions Z_1 i Z_0 com a suma de productes lògics.
- (1.5 p.) Implementar un circuit equivalent al de la figura utilitzant multiplexors de dimensions adequades i portes NOT.

2. (3.5 punts)

Dissenyar un comptador cíclic mòdul 4 que faci el recompte segons el valor de dos senyals de control I_1 i I_0 .

- $I_1 I_0 = 00$; ascendent d'un en un.
- $I_1 I_0 = 01$; descendent d'un en un.
- $I_1 I_0 = 10$; ascendent de dos en dos.
- $I_1 I_0 = 11$; descendent de dos en dos.

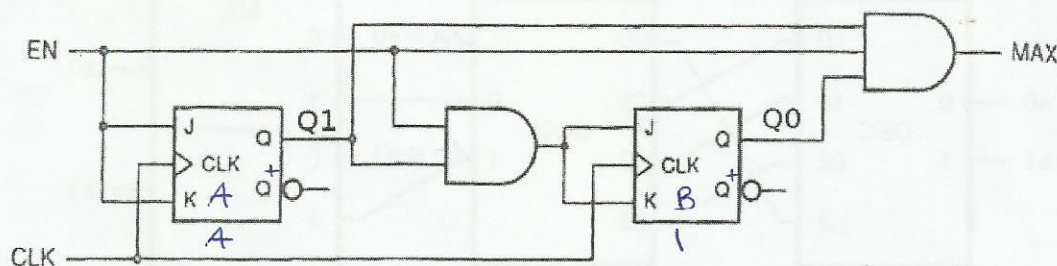
El comptador ha d'activar un senyal de sortida $MIN=1$ quan es troba en el valor mínim i un senyal de sortida $MAX=1$ quan es troba en el valor màxim.

Es disposa per fer el disseny de flip-flops RS i portes NAND.



3. (3.5 punts)

Donat el següent circuit seqüencial:



- a) (2.5 p.) Fer l'anàlisi del circuit i donar el diagrama d'estats que correspon al seu comportament.
- b) (1 p.) Suposant que el circuit es troba a l'estat $(Q1, Q0) = (0, 0)$ i que el valor de l'entrada $EN = 1$ durant 4 polsos de rellotge seguits, indicar quina serà la seqüència d'estats pels que passarà el circuit i la seqüència de valors de la sortida MAX durant aquests 4 polsos de rellotge.