



**FUNDAMENDTAL OF DIGITAL SYSTEM FINAL PROJECT REPORT  
DEPARTMENT OF ELECTRICAL ENGINEERING  
UNIVERSITAS INDONESIA**

**Bicubic Interpolation Image Upscaling Hardware Accelerator**

**GROUP A4**

<b>Farras Rafi' Permana</b>	<b>2106700990</b>
<b>Naufal Febriyanto</b>	<b>2106702674</b>
<b>Rafi Fauzan Wirasena</b>	<b>2106656320</b>
<b>Rizki Awanta Jordhie</b>	<b>2106655034</b>

## **PREFACE**

Puji dan syukur ke hadirat Tuhan Yang Maha Esa atas segala rahmat dan karunia-Nya sehingga laporan proyek akhir Perancangan Sistem Digital yang berjudul "Bicubic Interpolation Image Upscaling Hardware Accelerator" dapat diselesaikan dengan baik. Ucapan terima kasih juga kami sampaikan kepada para asisten laboratorium, serta teman-teman yang telah berkontribusi dalam proses pengerjaan laporan proyek akhir ini.

Laporan ini disusun untuk melengkapi proyek akhir yang merupakan pemenuhan dari modul 10: Proyek Akhir Praktikum Perancangan Sistem Digital Tahun Ajaran 2022/2023. Laporan ini membahas tentang detail dari proyek yang telah kami buat yaitu image upscaler menggunakan bicubic interpolation yang dapat diimplementasikan pada FPGA menggunakan bahasa pemrograman VHDL. Laporan ini meliputi latar belakang, deskripsi, hasil dan analisis dari proyek yang telah kami buat.

Adapun karena keterbatasan pengetahuan maupun pengalaman kami, kami menyadari masih terdapat kekurangan dalam pengerjaan dan penyusunan laporan proyek akhir ini yang perlu diperbaiki. Oleh karena itu, kritik dan saran sangat kami harapkan sehingga dapat dijadikan bahan evaluasi bagi kami kedepannya. Kami juga memohon maaf apabila ada kesalahan dan kekurangan dalam penyusunan laporan ini.

Depok, December 10, 2022

Group A4

## TABLE OF CONTENTS

<b>CHAPTER 1: INRODUCTION .....</b>	
1.1 Background .....	
1.2 Project Description.....	
1.3 Objectives .....	
1.4 Roles and Responsibilities .....	
<b>CHAPTER 2: IMPLEMENTATION .....</b>	
2.1 Equipment .....	
2.2 Implementation .....	
<b>CHAPTER 3: TESTING AND ANALYSIS .....</b>	
3.1 Testing & Result .....	
3.3 Analysis.....	
<b>CHAPTER 4: CONCLUSION.....</b>	
<b>REFERENCES.....</b>	
<b>APPENDICES .....</b>	
Appendix A: Project Schematic .....	
Appendix B: Documentation.....	

# **CHAPTER 1**

## **INTRODUCTION**

### **1.1 BACKGROUND**

Kebutuhan akan kualitas gambar yang memiliki kualitas ataupun resolusi tinggi saat ini sudah menjadi suatu keharusan. Dewasa ini banyak kasus-kasus kriminal yang terjadi di tengah masyarakat. Pada praktek nya untuk mengungkap kasus-kasus seperti ini diperlukan barang bukti yang cukup dan kuat untuk dapat menguaknya, untuk itu lah adanya CCTV berperan sangat penting.

Namun, kualitas CCTV yang beredar saat ini banyak yang kurang baik dan cenderung kusam. Hal ini mengakibatkan kurang maksimalnya peran CCTV untuk dapat menjadi barang bukti suatu kasus kriminal yang ada di masyarakat.

Untuk meningkatkan resolusi pada suatu gambar diperlukan satu algoritma khusus yang dapat melakukan tugas tersebut dan tentu saja diperlukan hardware khusus yang umumnya menggunakan laptop ataupun PC untuk menjalankan nya. Akan tetapi, untuk menjalankan algoritma tersebut dapat sangat membebani kinerja dari PC atau laptop yang digunakan. Maka dari itu dibuat suatu hardware berbasis FPGA menggunakan pemrograman VHDL.

### **1.2 PROJECT DESCRIPTION**

Hardware Accelerator Image Upscaling merupakan hardware yang dapat memperbaiki kualitas gambar dengan meningkatkan jumlah pixel di dalam gambar, yang juga dikenal sebagai padding, dengan juga mempertahankan atau meningkatkan kualitas gambar. Hardware accelerator ini dirancang untuk mempercepat proses peningkatan resolusi gambar tanpa memerlukan CPU, dan menggunakan algoritma Bicubic Interpolation untuk lebih meningkatkan kualitas gambar yang resolusinya telah dinaikkan. Ini bisa digunakan dalam aplikasi yang banyak menggunakan gambar yang membutuhkan gambar berkualitas tinggi, seperti kamera CCTV atau kamera resolusi rendah lainnya.

Proyek kami bertujuan untuk menghidupkan kembali fungsi dari sebuah image upscaler menggunakan VHDL, sebuah bahasa deskripsi perangkat keras yang digunakan untuk merancang dan mensimulasikan sistem digital. Ini akan memungkinkan kami untuk membuat

sebuah sistem digital yang bisa melakukan peningkatan resolusi gambar dengan cepat dan akurat, tanpa perlu tenaga komputasi dari CPU yang ada.

### **1.3 OBJECTIVES**

Tujuan dari proyek ini:

1. Sebagai pemenuhan nilai dalam Praktikum Perancangan Sistem Digital
2. Mengimplementasikan Pemrograman VHDL
3. Merancang Hardware Accelerator untuk dapat menjalankan Image Upscaling dengan Bicubic Interpolation

### **1.4 ROLES AND RESPONSIBILITIES**

The roles and responsibilities assigned to the group members are as follows:

Roles	Responsibilities	Person
Role 1	Interpolation algorithm	Farras Rafi' Permana
Role 2	Readme.md	Naufal Febriyanto
Role 3	Laporan dan PPT	Rafi Fauzan Wirasena
Role 4	Design dari hardware	Rizki Awanta Jordhie

Table 1. Roles and Responsibilities

## **CHAPTER 2**

### **IMPLEMENTATION**

#### **2.1 EQUIPMENT**

The tools that are going to be used in this project are as follows:

- Visual Studio Code
- ModelSim
- Quartus

#### **2.2 IMPLEMENTATION**

Pada pengerjaan Proyek Akhir Perancangan Sistem Digital ini, kami mengimplementasikan konsep-konsep dasar dasar seperti Pemrograman VHDL, Concurrent Circuit Design, Sequential Circuit Design, Structural Circuit Design, Testbench, Looping Construct dan juga Finite State Machine.

##### **VHDL**

VHDL merupakan sebuah bahasa pemrograman yang umumnya digunakan untuk dapat mendeskripsikan perangkat keras (hardware). Selain dapat mendeskripsikan suatu hardware, VHDL juga dapat langsung merepresentasikan hardware yang diinginkan dalam bentuk sintesis. Hal ini tentu saja sangat menguntungkan perancang hardware agar tidak memerlukan biaya yang lebih jika langsung merancang suatu hardware dengan komponen sebenarnya, melainkan hanya perlu menggunakan VHDL dan melakukan simulasi pada desain hardware tersebut.

##### **Concurrent Circuit Design**

Pada umumnya, rangkaian digital bekerja secara concurrent (bekerja secara paralel). Pada concurrent circuit, output secara langsung dipengaruhi oleh input yang dimasukkan. Concurrent statement dipakai untuk mendeskripsikan program kerja paralel suatu hardware dalam vhd. Concurrent statement yang dipakai dalam proyek akhir ini adalah process statement yang berfungsi untuk menjalankan beberapa instruksi secara sekuensial.

## **Sequential Circuit Design**

Rangkaian sekuensial adalah jenis rangkaian digital yang memiliki sebuah memori, berbeda dengan rangkaian kombinasional. Oleh karena itu, rangkaian sekuensial dapat dipengaruhi dengan input dan juga output sebelumnya. Proyek ini menggunakan sequential statement if statement dan case statement.

## **Structural Circuit Design**

Architecture structural VHDL merupakan gabungan dari architecture data-flow dan behavioural. Architecture ini menjelaskan hardware dengan menggunakan konsep modular programming dimana rangkaian yang besar akan dibagi menjadi beberapa komponen yang kemudian akan digabungkan di sebuah top-level entity. Konsep ini diterapkan dalam proyek ini untuk mempermudah pembuatan dan troubleshooting.

## **Testbench**

Dalam VHDL, Testbench adalah sebuah code yang dibuat untuk memberikan input kepada entity lain dan menguji output yang dikeluarkan oleh entity tersebut. Proyek ini menerapkan testbench untuk mempercepat proses pengujian entity dikarenakan testbench sudah memiliki input yang ditentukan dan dapat mengecek apakah output yang dihasilkan merupakan output yang benar.

## **Looping Construct**

Looping construct / looping statement adalah statement yang dapat digunakan untuk melakukan looping terhadap suatu code sehingga dijalankan secara berulang-ulang (iteratif). Terdapat dua jenis looping statement yaitu for-loop dan while-loop. Kedua statement ini diterapkan dalam proyek ini untuk melakukan iterasi.

## **Finite State Machine**

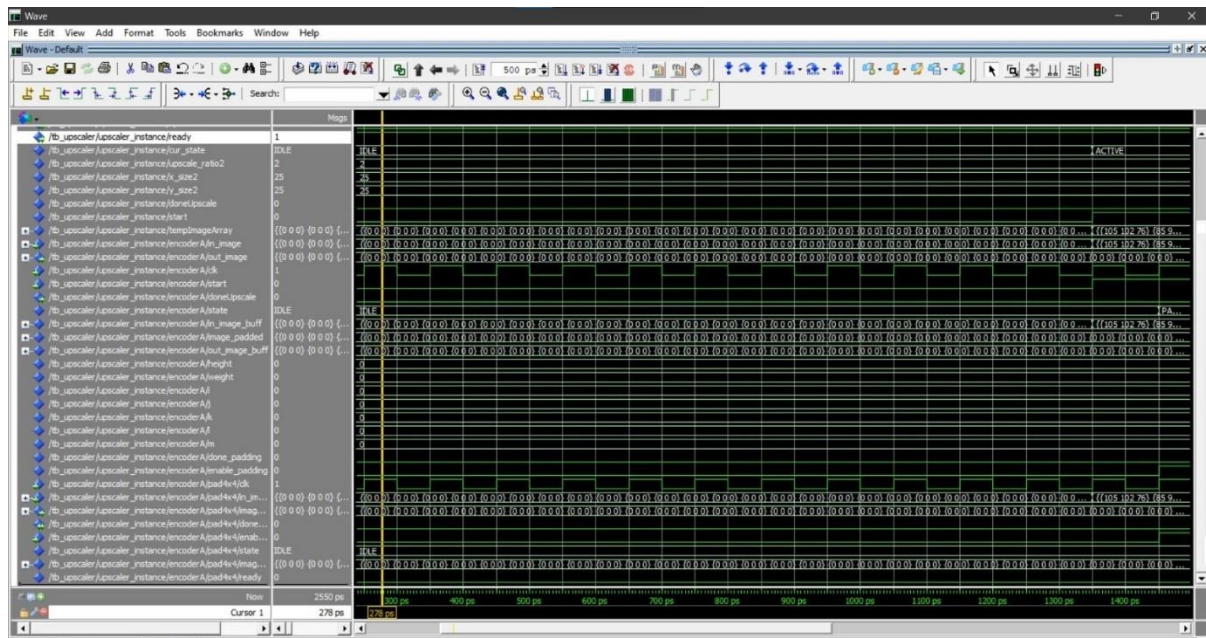
Finite State Machine (FSM) atau Finite Automata adalah suatu pemodelan matematis dari sebuah sistem yang keadaannya dapat berubah-ubah. FSM dapat dibagi menjadi dua jenis yaitu Moore State Machine dan Mealy State Machine. Moore State Machine adalah FSM yang next state-nya (keadaan selanjutnya) hanya dipengaruhi oleh present state (keadaannya sekarang), sehingga apapun input yang diberikan tidak akan mempengaruhi next state. Mealy State Machine adalah FSM yang next state-nya (keadaan selanjutnya) dipengaruhi oleh input dan present state (keadaannya sekarang). Konsep FSM diterapkan dalam kode VHDL upscaler dalam proyek ini.

## TESTING AND ANALYSIS

### 3.1 TESTING & RESULT

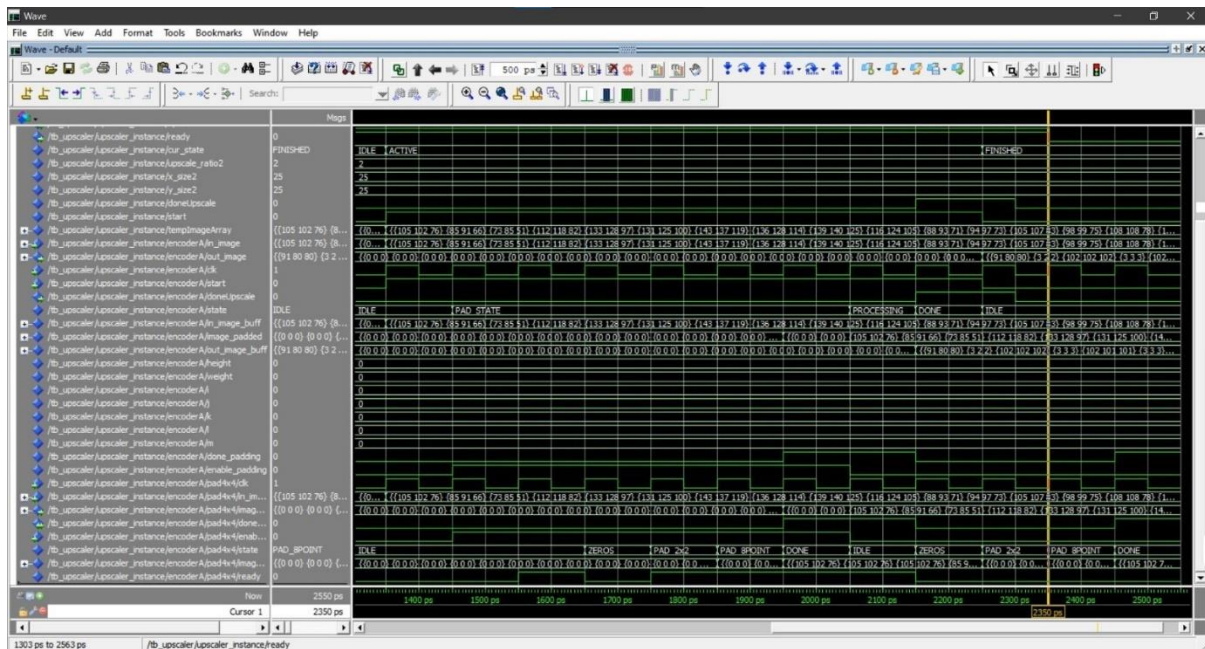
Cara kerja dari Hardware Accelerator yang kami buat yakni dimulai, ketika user memasukkan gambar. Kemudian gambar tersebut akan dikonversi menjadi sebuah array yang terdiri dari nilai RGB (Red Green Blue) dari pixel - pixel gambar tersebut. Kemudian, hardware akan mengirimkan array tersebut ke komponen interpolasi. Di komponen interpolasi, nilai RGB dari gambar yang disimpan di dalam array tersebut akan dinaikkan resolusinya (menambahkan jumlah pixel) melalui algoritma yang disebut bicubic interpolation. Nilai RGB yang baru akan kemudian disimpan di dalam sebuah array kosong yang telah diresize sesuai dengan skala peningkatan resolusi. Nilai-nilai baru di dalam array tersebut kemudian akan dikeluarkan ke dalam sebuah file bmp kosong untuk menampilkan versi gambar yang resolusinya telah dinaikkan dari gambar yang dimasukkan oleh pengguna.

Kami melakukan pengetesan desain dengan menggunakan file testbench yang dapat membaca file gambar .bmp yang sudah ditentukan sebelumnya yang akan diberikan ke input. Desain akan dinyatakan gagal jika file gambar .bmp hasil output tidak dinaikkan resolusinya.









### 3.3 ANALYSIS

Hardware Accelerator yang kelompok kami buat, telah dapat berjalan dengan baik yakni dapat meningkatkan jumlah pixel (Padding) yang dalam hal ini berupa bit pada program VHDL nya. Pada Hardware Accelerator yang telah kelompok kami buat terdapat 3 sistem yang bekerja dengan memiliki file .vhd tersendiri dan saling berkaitan satu sama lain nya yakni upscaler.vhd yang menjadi bagian dari top level, kemudian terdapat interpolation.vhd, dan padding.vhd yang akan dipanggil dalam bentuk component di dalam upscaler.vhd.

Ketiga file tersebut memiliki state nya yang berbeda. Pada upscaler terdapat tiga state yakni idle, active dan finish. Idle state adalah state merupakan keadaan permulaan dari hardware, pada state ini pula nilai reset akan high (1), state selanjutnya adalah state active dimana pada state ini hardware sedang melakukan proses upscaling dan juga hasil upscaling telah siap, dan yang terakhir adalah state finish dimana pada state ini hasil dari upscaling telah selesai. Pada interpolation terdapat empat state yakni idle, pad\_state, processing, dan done. Idle state adalah state merupakan keadaan permulaan dari hardware, pada state ini pula nilai reset akan high (1), kemudian terdapat pad\_state yang merupakan state permulaan untuk melakukan padding (penambahan bit (pixel)), selanjutnya pada processing state proses upscaling dimulai dengan menggunakan algoritma interpolasi, dan pada state terakhir yakni done maka upscaling telah selesai dan state akan langsung kembali berpindah ke idle (awal). Pada padding terdapat lima state yakni idle, zeros, pad\_2x2, dan pad\_8point. Untuk idle state merupakan keadaan

permulaan dari hardware, pada state ini pula nilai reset akan high (1), lalu pada state zeros semua matrix yang nantinya akan digunakan sebagai padding akan dinisialisasikan menjadi 0, selanjutnya pada state pad\_2x2 akan terjadi proses padding dimana hardware akan melakukan padding 2 height dan 2 width terhadap gambar yang menjadi input, kemudian pada state pad\_8point akan terjadi penggandaan padding yang terjadi dari state sebelumnya, dengan menggunakan pad\_8point padding yang dilakukan akan lebih maksimal, terakhir pada state done, proses padding telah selesai dilakukan dan hardware akan kembali pada state idle.

## **CHAPTER 4**

### **CONCLUSION**

Bicubic Interpolation Image Upscaling Hardware Accelerator yang telah kelompok kami buat telah sukses untuk dapat melakukan proses nya yakni meningkatkan resolusi pada suatu gambar. Penggunaan bicubic interpolation algorithm pada hardware accelerator ini juga dapat terimplementasikan dengan baik. Untuk padding sendiri, setelah menggunakan padding 4x4, dapat terlihat bahwa jumlah pixel yang diwakilkan dengan jumlah bit yang ditampilkan pada program berhasil mengalami upscaling (peningkatan) dari jumlah pixel gambar pada saat pertama dimasukkan sebagai input.

## REFERENCES

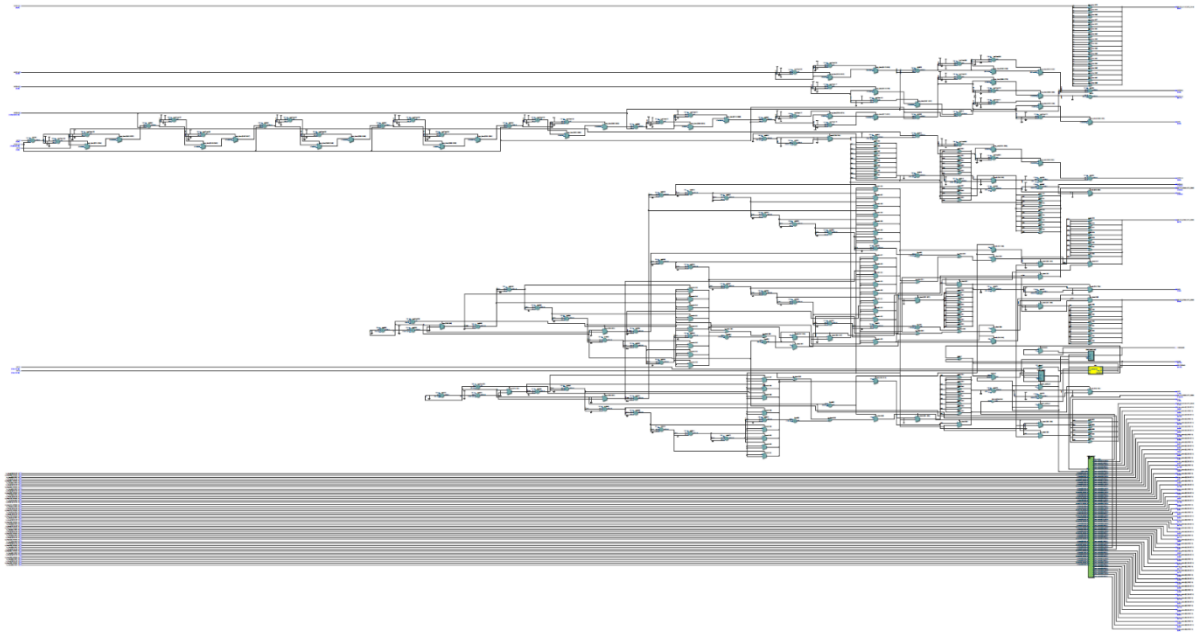
- [1] K. & Atul, K. & Atul, and Aastha Gupta 17 Jun 2020 at 6:09 pm, “Image processing – bicubic interpolation,” TheAILearner, 29-Dec-2018. [Online]. Available: <https://theailearner.com/2018/12/29/image-processing-bicubic-interpolation/>. [Accessed: 10-Dec-2022].
- [2] “Python opencv - bicubic interpolation for resizing image,” GeeksforGeeks, 08-May-2021. [Online]. Available: <https://www.geeksforgeeks.org/python-opencv-bicubic-interpolation-for-resizing-image/>. [Accessed: 10-Dec-2022].
- [3] “.BMP file&nbsp;extension,” BMP File Extension - What is a .bmp file and how do I open it?, 19-Apr-2022. [Online]. Available: <https://fileinfo.com/extension/bmp>. [Accessed: 10-Dec-2022].



## APPENDICES

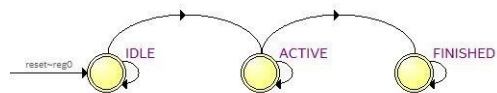
### Appendix A: Project Schematic

RTL Result:

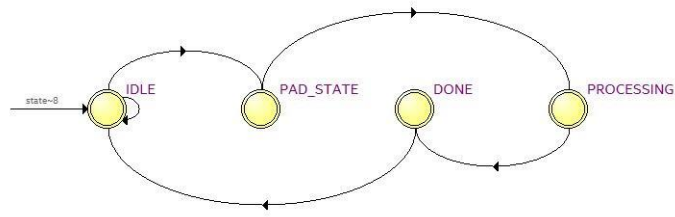


Finite-State Diagram:

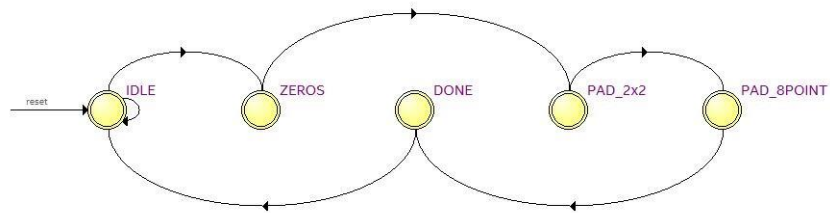
upscaler.vhd



interpolation.vhd



padding.vhd



## Appendix B: Documentation

Put the documentation (photos) during the making of the project