



PODER EXECUTIVO
MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE RORAIMA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO



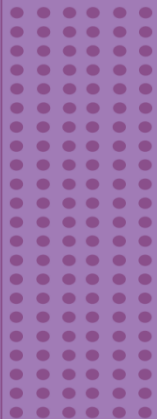
Processador Sonic – 8 bits



Componentes: Jorge Siqueira

William Thiago

Prof. Orientador: Prof. Dr. Herbert Oliveira Rocha



O nome do processador



Sonic

+Velocidade
-Tempo

Detalhes do processador - Sonic

Programado em: Quartus 2 v. Prime Version 15.1.0

Build 185 10/21/2015 SJ Lite Edition

Linguagem: VHDL

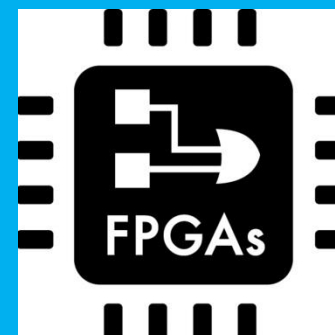
Arquitetura: 8 bits

Datapath: Baseado no mips

Nº de Registradores: 4

Operações Suportadas: R, I e J

Operações: Realizadas usando inteiros.



Detalhes do processador - Sonic

Formato das instruções

Operações do tipo R		
Op	Reg 1	Reg 2
4 bits	2 bits	2 bits
7-4	3-2	1-0

Operações do tipo I		
Op	Reg 1	Reg 2
4 bits	2 bits	2 bits
7-4	3-2	1-0

Operações do tipo J	
Op	Endereço
4 bits	4 bits
7-4	3-0



Detalhes do processador - Sonic

Códigos da Unidade de controle para cada operação

Opcode	Nome	Formato	Breve Descrição	Exemplo
0000	add	R	Soma	add \$s0, \$s1
0001	addi	I	Soma Imediata	addi \$s0 3
0010	sub	R	Subtração	sub \$s0, \$s1
0011	subi	I	Subtração Imediata	subi \$s0 3
0100	lw	I	Load Word	lw \$s0 memória(00)
0101	sw	I	Store Word	sw \$s0 memória(00)
0110	move	R	Mover	move \$s0 \$s1
0111	li	I	Load Imediato	li \$s0 1
1000	beq	J	Desvio Condicional	beq endereço
1001	bne	J	Desvio Condicional	bne endereço
1010	If beq e bne	R	Condição para Desvio	if \$s0 \$s1
1011	mul	R	Multiplicação	mul \$s0 \$s1
1111	j	J	Desvio Incondicional	J endereço(0000)

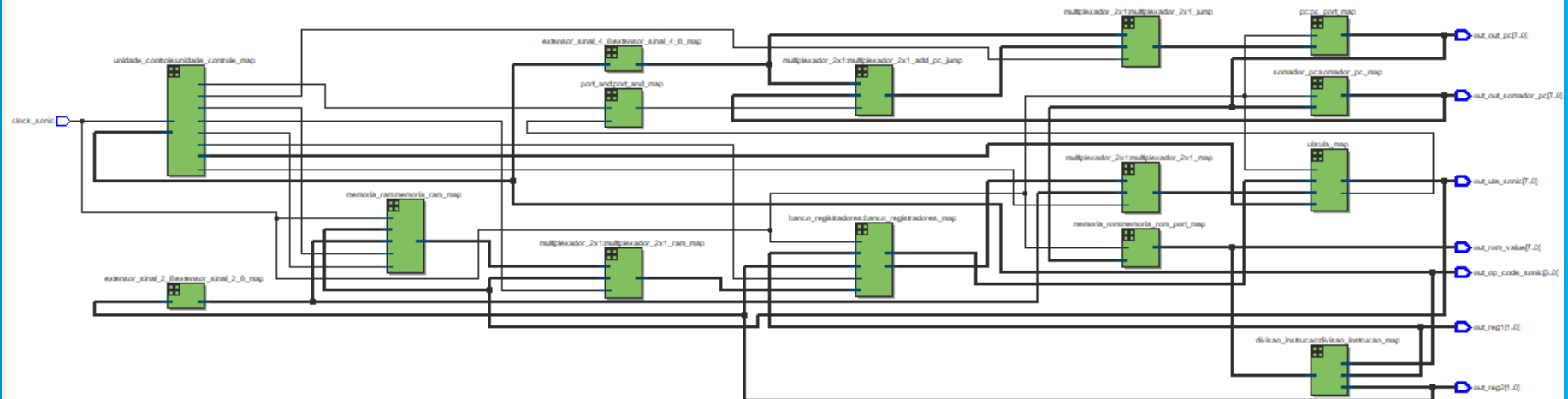
Detalhes do processador - Sonic

projeto

Flow Summary	
Flow Status	Successful - Tue Dec 03 06:47:17 2019
Quartus Prime Version	15.1.0 Build 185 10/21/2015 SJ Lite Edition
Revision Name	sonic
Top-level Entity Name	sonic
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	20
Total pins	41
Total virtual pins	0
Total block memory bits	64
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

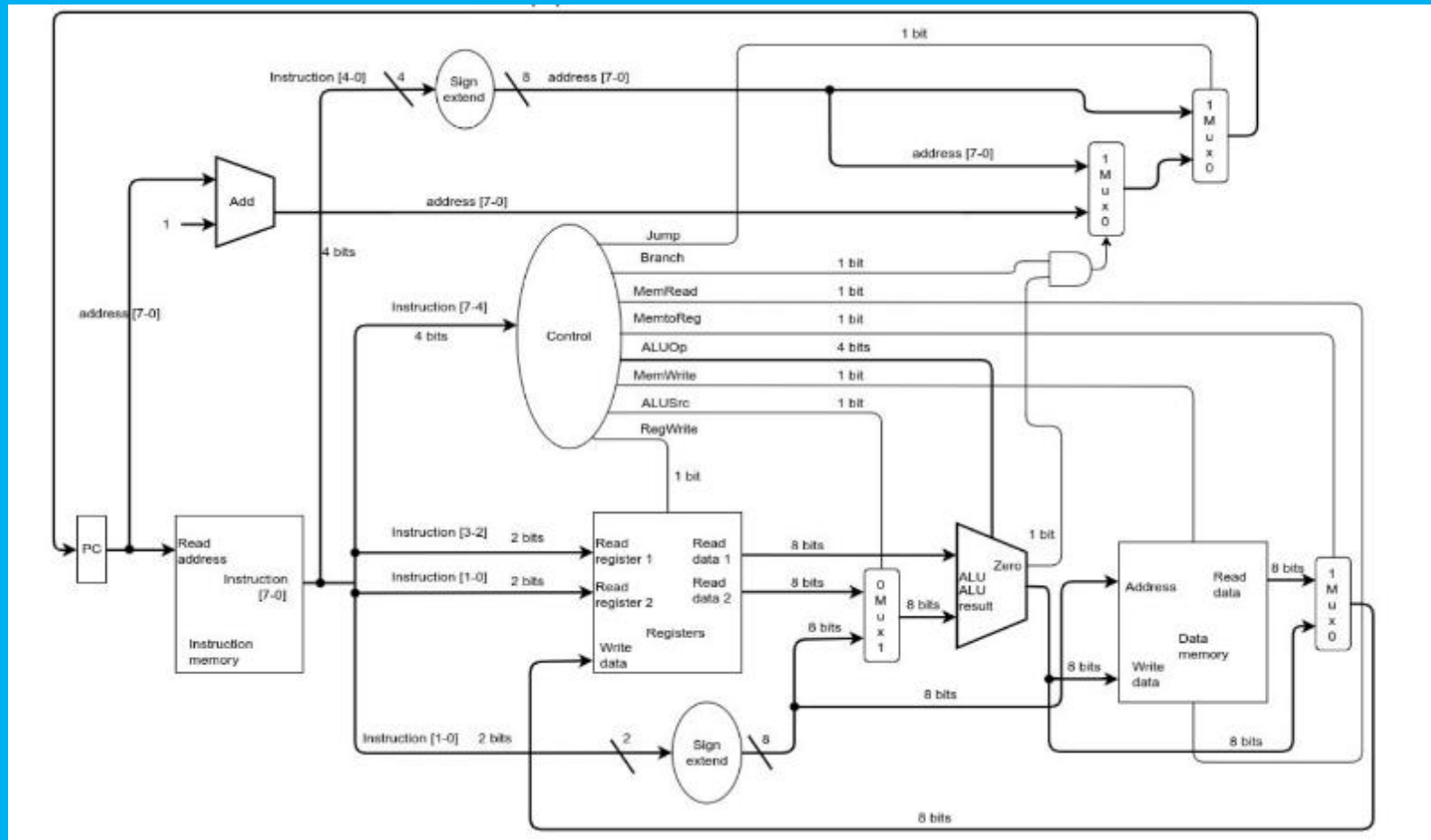
Detalhes do processador - Sonic

RTL Viewer



Detalhes do processador - Sonic

◊ Data Path



Detalhes do processador - Sonic

Teste 1 - Addi

```

/Desktop/PROCESSADOR SONIC/Processador/sonic - sonic
ing Tools Window Help

sonic.vhd  memoria_rom.vhd*  Compilation Report - sonic  pc.vhd

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.ALL;
3  USE ieee.std_logic_arith.ALL;
4
5  ENTITY memoria_rom IS
6  PORT
7  (
8      clock : IN std_logic;
9      in_port : IN std_logic_vector(7 DOWNTO 0);
10     out_port : OUT std_logic_vector(7 DOWNTO 0)
11 );
12 END memoria_rom;
13
14 ARCHITECTURE behavior OF memoria_rom IS
15     TYPE memoriaRom IS ARRAY (0 TO 255) OF std_logic_vector(7 DOWNTO 0);
16     CONSTANT rom : memoriaRom := (
17         -- Teste addi
18         0 => "00010010" -- addi S0 2 -- S0 == 2
19         1 => "00010111",
20         2 => "00000001",
21         3 => "00010011",
22         4 => "00110010",
23         5 => "01110000",
24         6 => "01110100",
25         7 => "11110000",
26         OTHERS => "00000000");
27 BEGIN
28     PROCESS (clock)
29     BEGIN
30         out_port <= rom(conv_integer(unsigned(in_port)));
31     END PROCESS;
32 END behavior;
    
```

Instrução: 00010010

Resultado:

	Name	Value at 0 ps	0 ps	10.0 ns	20.0 ns	30.0 ns
in	clock_sonic	B 0				
out	> out_op_code_sonic	B 0001				
out	> out_out_pc	B 00000000			00000000	
out	> out_reg1	B 00			00	
out	> out_reg2	B 10			10	
out	> out_rom_value	B 00010010			00010010	
out	> out_uila_sonic	B 00000010			00000010	

Detalhes do processador - Sonic

Bibliografia

Dados sobre o VHDL, Curso de FPGA,
disponível em:

https://www.youtube.com/watch?v=F0-CgRe6hAc&list=PLZ8dBTV2_5HS79fVexGTtCMDUp7kjinuMS

Componentes e tutoriais sobre o Quartus,
disponíveis em:

<https://www.fpga4student.com/>