

Tarea 6, Arquitecturas.

Jorge Cummins

14 de junio de 2025
(atraso de 1 día)

Resumen

El siguiente documento presenta los desarrollos y resultados de la tarea 6 desarrollada por Jorge Cummins (es decir, yo). Esta trató sobre arquitecturas y se dividió en 4 partes *a, b, c* y *d*, donde la primera (*a*) fue desarrollada en un archivo aparte usando el simulador “logisim” siguiendo las instrucciones del cuerpo docente.

a) Desarrollo del circuito.

Esta solución está presente en un documento aparte. De igual manera, se incluye una imagen del circuito (ver: Figura 1):

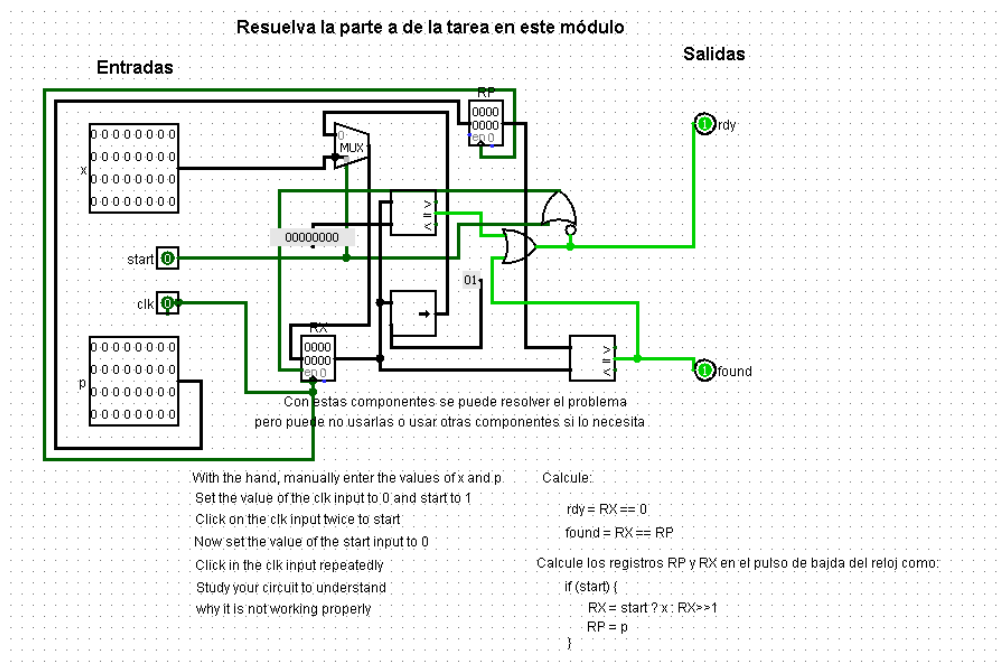


Figura 1: Circuito realizado.

b) Completar la tabla.

Se solicitó completar la tabla, la cual fue completada usando los 4 bits considerados en el diagrama. Esta quedó de la forma (ver: Tabla 1):

Tabla 1: Tabla completa incluye los valores calculados del circuito.

Ciclo	1	2	3	4	5	6
Start	0	1	0	0	0	0
Sumador	0	0	0b1010	0b1111	0b0100	0b1001
<i>z</i> y <i>Reg</i>	0	0	0b101	0b1010	0b1111	0b0100

c) Accesos de memoria.

Veamos caso a caso:

- *c450*, acierto.
- *92ac*, acierto.
- *5e24*, desacierto, no se encuentra en la línea *e2*, la cambiamos (ver: Tabla 2).
- Restantes: *5e20*, *92a8*, *2450*, *4e20*, *92a4*

Tabla 2: Cambio *5e24*.

Línea Cache	Etiqueta	Contenido
<i>e2</i>	5e2	
45	<i>c45</i>	
<i>2a</i>	<i>92a</i>	

Continuando:

- *c450*, acierto.
- *92ac*, acierto.
- *5e24*, desacierto
- *5e20*, acierto (cambio hecho previamente).
- *92a8*, acierto.
- *2450*, acierto.
- *4e20*, desacierto, cambio hecho previamente, volvemos a cambiar la tabla (ver: Tabla 3).
- Restantes: *92a4*

Tabla 3: Cambio 4e20.

Línea Cache	Etiqueta	Contenido
$e2$	4e2	
45	$c45$	
$2a$	$92a$	

- $c450$, acierto.
- $92ac$, acierto.
- $5e24$, desacierto
- $5e20$, acierto (cambio hecho previamente).
- $92a8$, acierto.
- 2450 , acierto.
- $4e20$, desacierto.
- $92a4$, acierto

Es decir, el estado final del caché (ver: Tabla 4):

Tabla 4: Cambio 5e24.

Línea Cache	Etiqueta	Contenido
$e2$	$4e2$	
45	$c45$	
$2a$	$92a$	

La memoria caché y los desaciertos fueron realizados viendo caso a caso, por ende la memoria podría parecer sin ningún cambio, sin embargo, se fueron sobrescribiendo. Este proceso de desarrollo fue basado en el realizado durante la clase auxiliar 9, pregunta 1, sección *iii*. Es por eso que, por ejemplo, de considerarse ningún cambio al caché, entonces las dos instrucciones $5e2$ serían desaciertos.

d) Arquitectura.

Para ambas preguntas, se consideró que no hay predicción de saltos, por ende igual carga instrucciones, aunque se vaya a realizar el salto de la instrucción F, esto es, se cargan G, H, GH, IJ dependiendo del tipo de arquitectura o “necesidad”¹.

i) Arquitectura en Pipeline.

Tabla 5: Pipeline simple con 1 línea de ejecución

Ciclo	Fetch	Decode	Execute
1	A		
2	B	A	
3	C	B	A
4	D	C	B
5	E	D	C
6	F	E	D
7	G	F	E
8	H	G	F
9	R		
10	S	R	
11		S	R
12			S

ii) Arquitectura en Superescalar.

Tabla 6: Ejecución con arquitectura superescalar (2 pipelines)

Ciclo	Fetch	Decode	Execute
1	A B		
2	C D	A B	
3	E F	C D	A B
4	EF	D	C
5	GH	EF	D
6	GH	F	E
7	IJ	GH	F
8	RS		
9		RS	
10		S	R
11			S

¹ Entiéndase con necesidad, la instrucción y el ejercicio.