

## 3.1. FPGAs

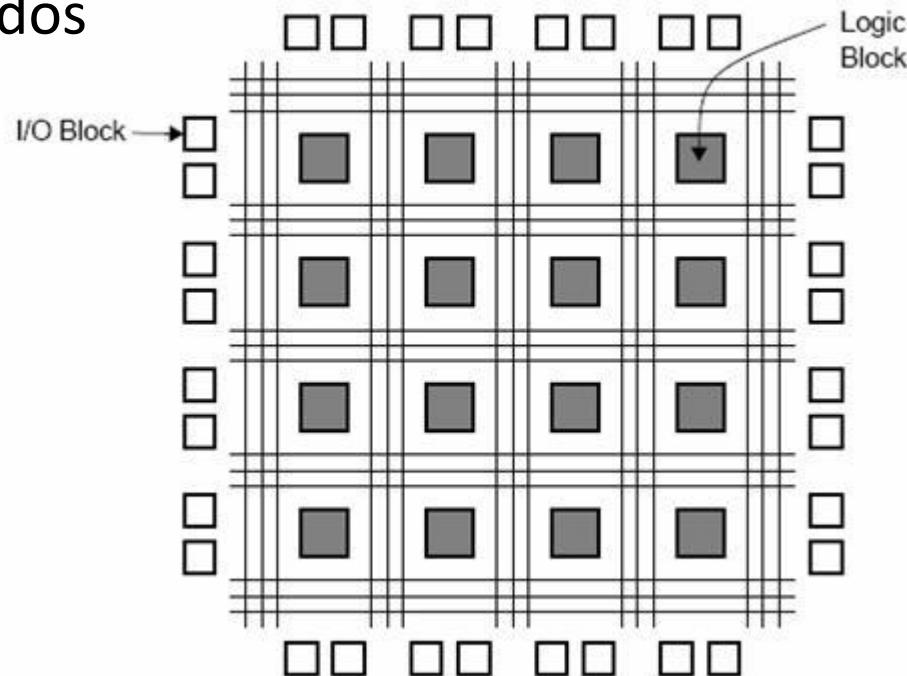
### **3.1.1. Generalidades**

# Familias de FPGA

- ❑ Fabricantes: [Xilinx](#), Intel [Altera](#), Actel, LatticeSemiconductor
- ❑ Hay varios tipos de FPGAs adaptadas a distintas aplicaciones (automoción, consumo, aeroespacial, etc)
- ❑ Se clasifican en [series o familias](#) que a su vez pueden subdividirse en subgrupos.
- ❑ Las FPGAs miembros de una misma familia comparten las características básicas ([T<sub>a</sub>](#), [encapsulado](#), [velocidad...](#)) pero difieren en la cantidad de recursos ([CLBs](#), [IOBs](#), etc) o si disponen de otros ([procesadores](#), [memorias](#), [multiplicadores....](#))

# Características de las FPGA

- ❑ FPGA (*Field Programmable Gate Array*). Dispositivo que contiene millones de transistores conectados entre sí para realizar distintas funciones lógicas.
- ❑ El principal beneficio de la FPGA es que un cambio en el diseño no implica una modificación del hardware.
- ❑ Programable por el usuario: Aporta flexibilidad para hacer cambios rápidos



# Principales fabricantes de FPGA

Products Solutions Support



USA (English) Sign In

FPGA Devices

Benefits

Get Started

Intel® FPGAs offer a wide variety of configurable embedded SRAM, high-speed transceivers, high-speed I/Os, logic blocks, and routing. Built-in intellectual property (IP) combined with outstanding software tools lower FPGA development time, power, and cost.



## Intel® Stratix® Series

The Intel® Stratix® FPGA and SoC family enables you to deliver high-performance, state-of-the-art products to market faster with lower risk and higher productivity.



## Intel® Arria® Series

The Intel® Arria® device family delivers Intel® performance and power efficiency in the midrange.



## Intel® Cyclone® Series

The Intel® Cyclone® FPGA series is built to meet your low-power, cost-sensitive design needs, enabling you to get to market faster.



## Intel® MAX® Series

The Intel® MAX® 10 FPGAs revolutionize non-volatile integration by delivering advance processing capabilities in a low-cost, single chip small form.

<https://www.intel.com/content/www/us/en/products/programmable/fpga.html>

# Principales fabricantes de FPGA

APPLICATIONS

PRODUCTS

DEVELOPER ZONE

SUPPORT

ABOUT



## Xilinx Multi-Node Product Portfolio Offering

45nm

SPARTAN.<sup>6</sup>

28nm

VIRTEX.<sup>7</sup>

KINTEX.<sup>7</sup>

ARTIX.<sup>7</sup>

20nm

VIRTEX.<sup>7</sup>  
UltraSCALE

KINTEX.<sup>7</sup>  
UltraSCALE

16nm

VIRTEX.<sup>7</sup>  
UltraSCALE+

KINTEX.<sup>7</sup>  
UltraSCALE+

<http://www.xilinx.com/products/silicon-devices/fpga.html>

# Principales fabricantes de FPGA

28nm



16nm



## Xilinx All Programmable SoC and MPSoC Comparison Table

PROCESSING SYSTEM	Zynq-7000 SoC	Zynq UltraScale+ MPSoC
Application Processing Unit	Dual-core ARM® Cortex™-A9 MPCore™ with CoreSight™ up to 1GHz	Quad-core ARM® Cortex™-A53 MPCore up to 1.5GHz
Real-Time Processing Unit	-	Dual-core ARM® Cortex™-R5 MPCore up to 600MHz
Multimedia Processing	-	GPU ARM® Mali™-400MP up to 667MHz, Video Codec supporting H.264-H.265
Dynamic Memory Interface	DDR3, DDR3L, DDR2, LPDDR2	DDR4, LPDDR4, DDR3, DDR3L, LPDDR3
High-Speed Peripherals	USB 2.0, Gigabit Ethernet, SD/SDIO	PCIe® Gen2, USB3.0, SATA 3.1, DisplayPort, Gigabit Ethernet, SD/SDIO
Security	RSA, AES, and SHA, ARM® TrustZone®	RSA, AES, and SHA, ARM® TrustZone®
Max I/O Pins	128	214

<http://www.xilinx.com/products/silicon-devices/soc.html>

# Principales fabricantes de FPGA

<http://www.xilinx.com/products/silicon-devices/fpga/index.htm>

FPGA Comparison Table

	Spartan-6	Artix-7	Kintex-7	Virtex-7
Logic Cells	150,000	215,000	480,000	2,000,000
BlockRAM	4.8Mb	13Mb	34Mb	68Mb
DSP Slices	180	740	1,920	3,600
DSP Performance (symmetric FIR)	140GMACs	930GMACs	2,845GMACs	5,335GMACs
Transceiver Count	8	16	32	96
Transceiver Speed	3.2Gb/s	6.6Gb/s	12.5Gb/s	28.05Gb/s
Total Transceiver Bandwidth (full duplex)	50Gb/s	211Gb/s	800Gb/s	2,784Gb/s
Memory Interface (DDR3)	800Mb/s	1,066Mb/s	1,866Mb/s	1,866Mb/s
PCI Express® Interface	x1 Gen1	x4 Gen2	x8 Gen2	x8 Gen3
Analog Mixed Signal (AMS)/XADC		Yes	Yes	Yes
Configuration AES	Yes	Yes	Yes	Yes
I/O Pins	576	500	500	1,200
I/O Voltage	1.2V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V
EasyPath™ Cost Reduction Solution	-	-	Yes	Yes



## 3.1.2. Interfaces de E/S

# Interfaces E/S de FPGA

- ❑ Los interfaces E/S permiten la **transferencia de datos** con el exterior de la FPGA. Están situados en la periferia del dispositivo.
- ❑ Incluyen recursos adicionales: Rpull-up, bloques de retrasos, etc
- ❑ Ofrecen varios tipos de estándares eléctricos (LVTTTL, LVCMOS, etc)
- ❑ La denominación de los interfaces puede variar según cada fabricante:
  - **IOB** (Xilinx)
  - **IOE** (Altera)

# Interfaces E/S de FPGA

## Niveles de tensión

- Valores de tensión que corresponde al “0” y “1” lógico
- Depende de la tensión de alimentación ( $V_{cc}$ ) que se aplique al circuito

### Idealmente

si

$V_{cc}=5V$  (Familia TTL) →

“1” sería 5V

“0” sería 0V

-Oscilaciones de V  
-Ruido en las líneas

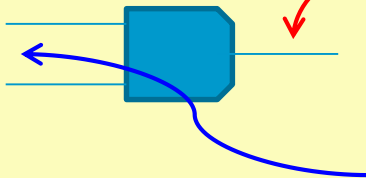
**Realidad**: los niveles lógicos se corresponden con un rango de valores de tensión y además depende de si son valores de entrada a un circuito digital o a una salida.

$V_{cc}=5V$  (Familia TTL) →

“1” sería [2,4V - 5V]

“0” sería [0V - 0,4V]

Si son valores de salida



“1” sería [2V - 5V]

“0” sería [0V - 0,8V]

Si son valores de entrada

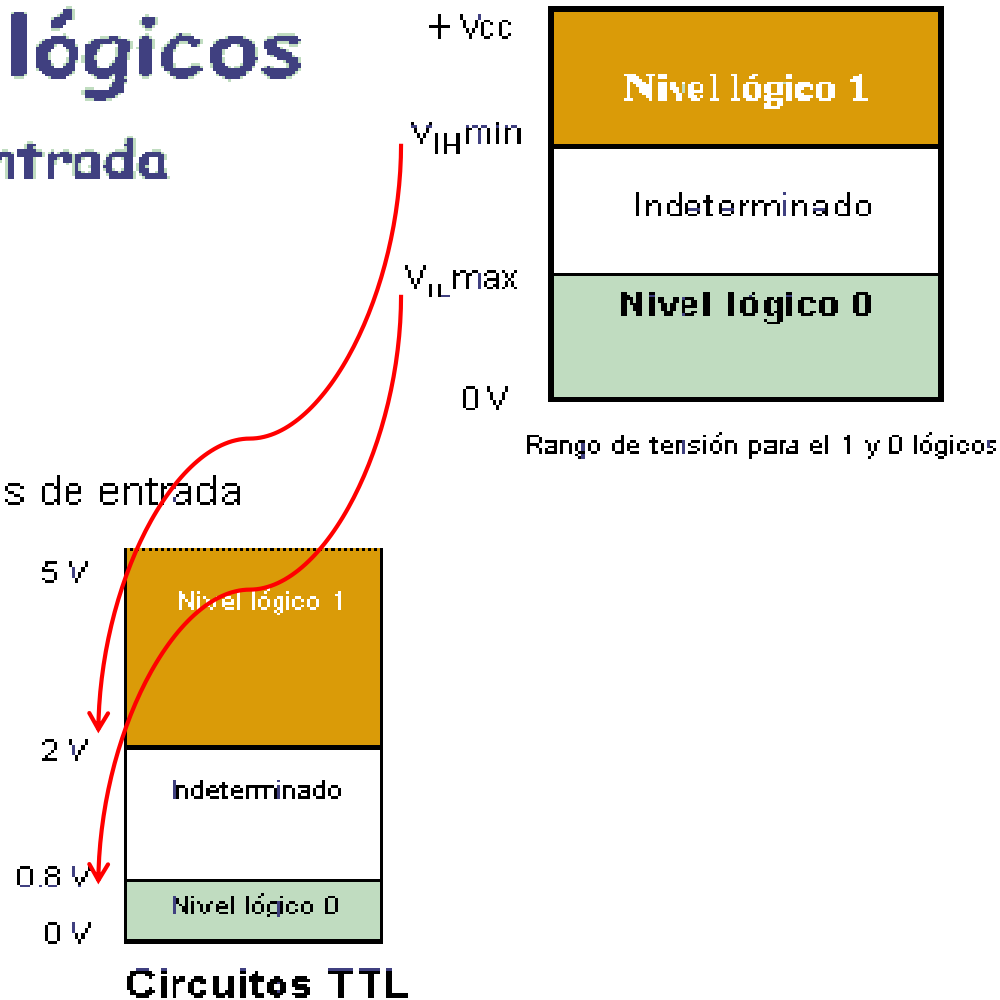
# Interfaces E/S de FPGA

## Niveles de tensión

### Niveles lógicos

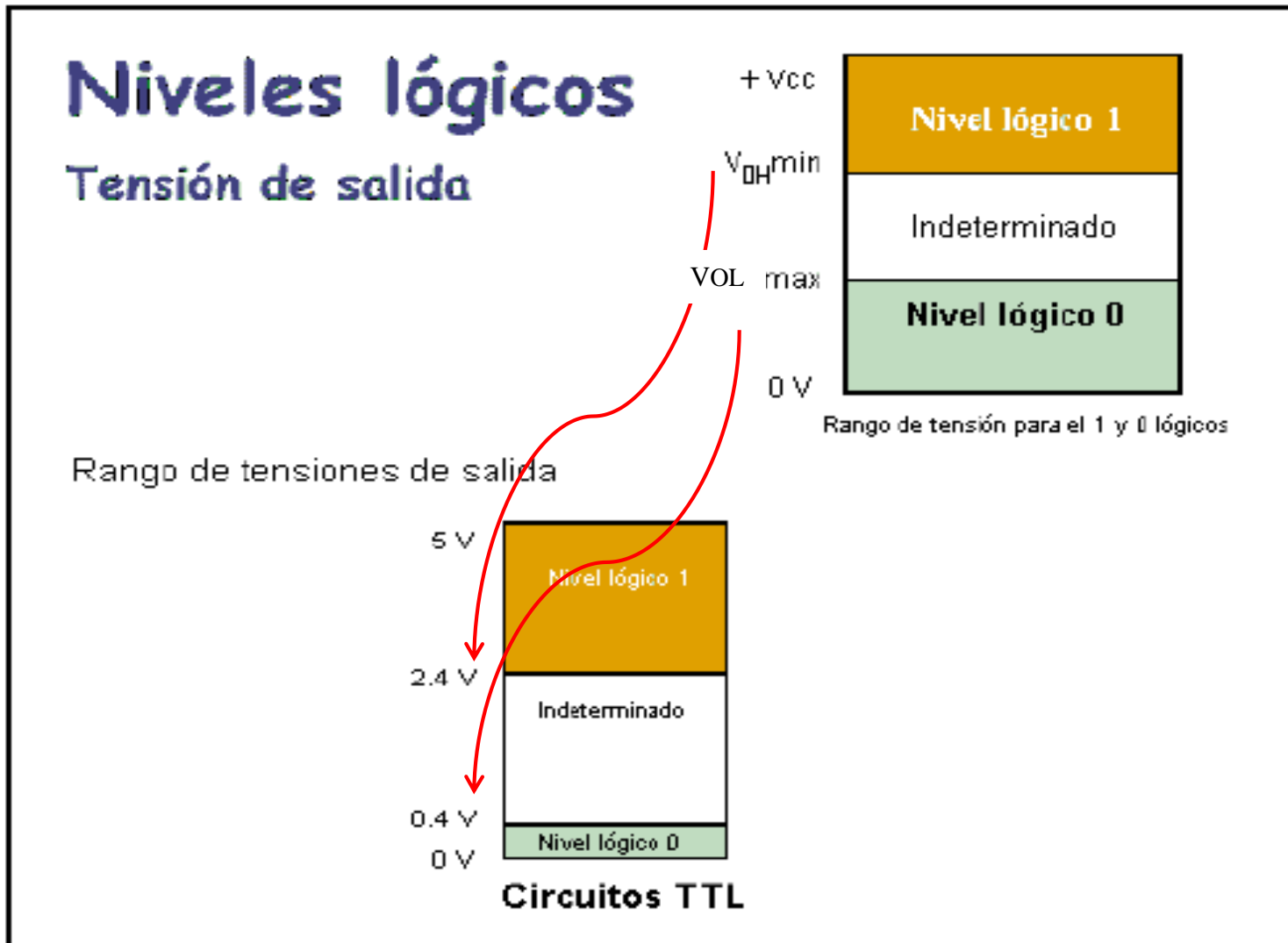
Tensión de entrada

Rango de tensiones de entrada



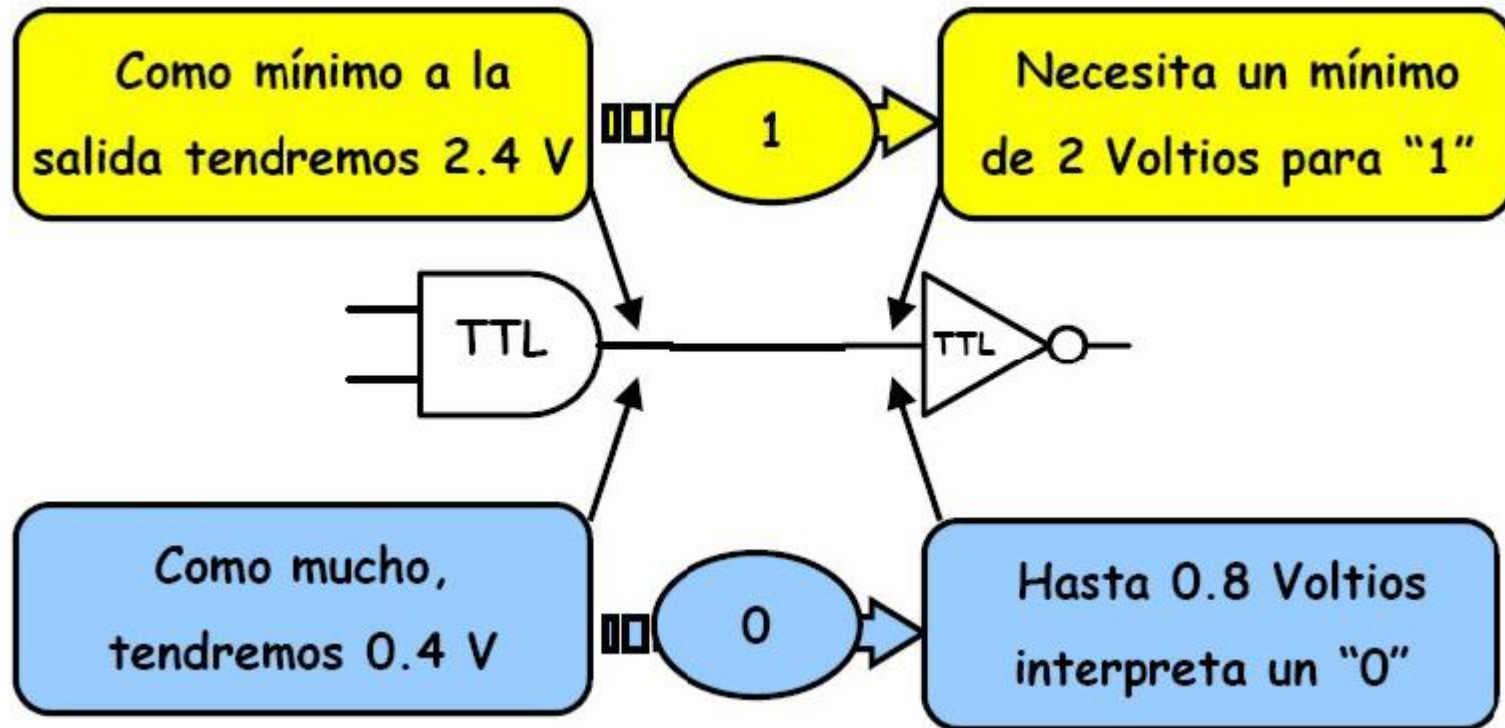
# Interfaces E/S de FPGA

## Niveles de tensión



# Interfaces E/S de FPGA

## Niveles de tensión : Margen de ruido

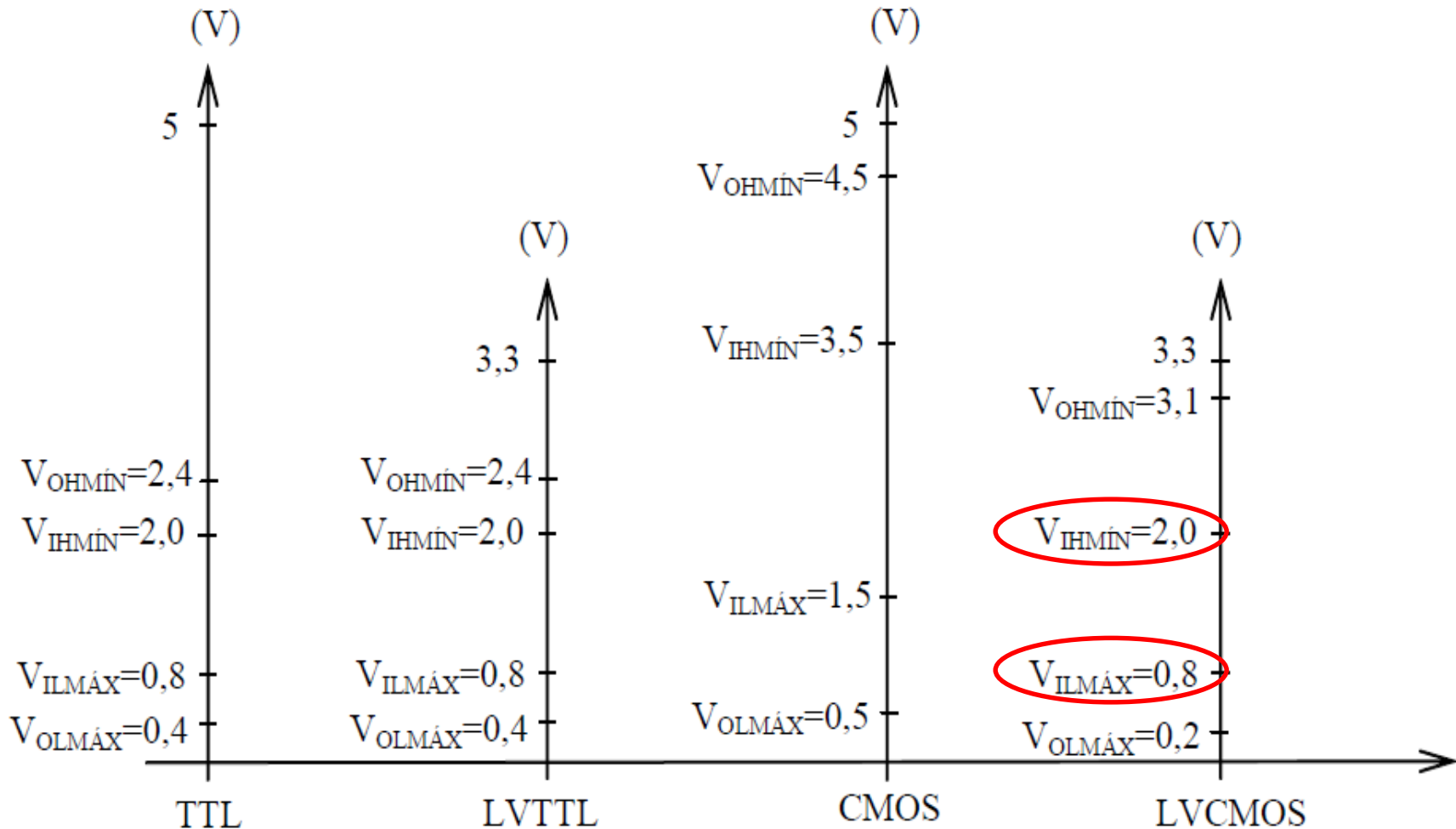


En este ejemplo, el margen de ruido es 0,4. Por ejemplo, si un "0" en una salida es COMO MÁXIMO 0,4 v (y no 0 v como debería ser), aún con un ruido en los cables de 0,4 v, la puerta siguiente entendería que los 0,8 v que recibe corresponden a un "0"

Fuente: [http://www2.ate.uniovi.es/fernando/Doc2005/Ei\\_05/Presentaciones/Familia%20TTL.pdf](http://www2.ate.uniovi.es/fernando/Doc2005/Ei_05/Presentaciones/Familia%20TTL.pdf)

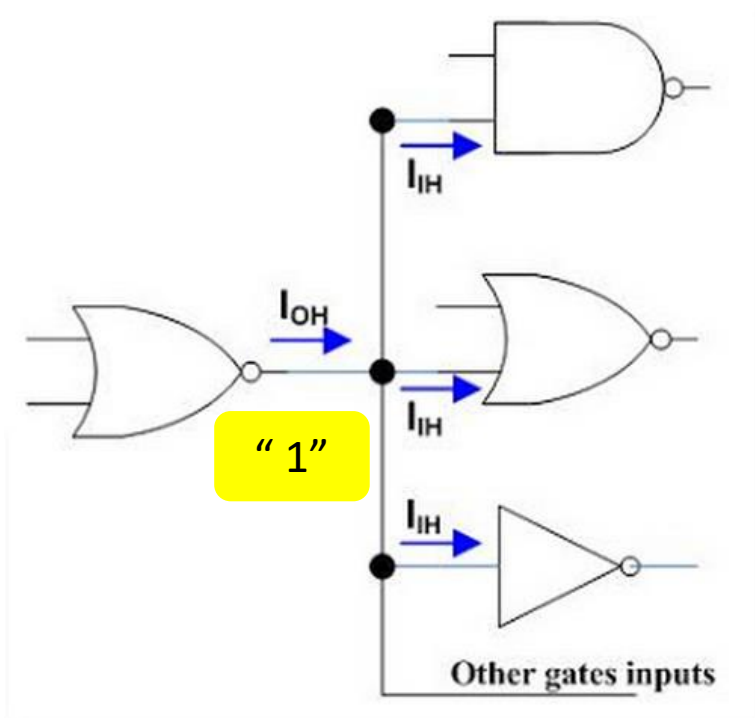
# Interfaces E/S de FPGA

## Niveles de tensión : Estándares eléctricos

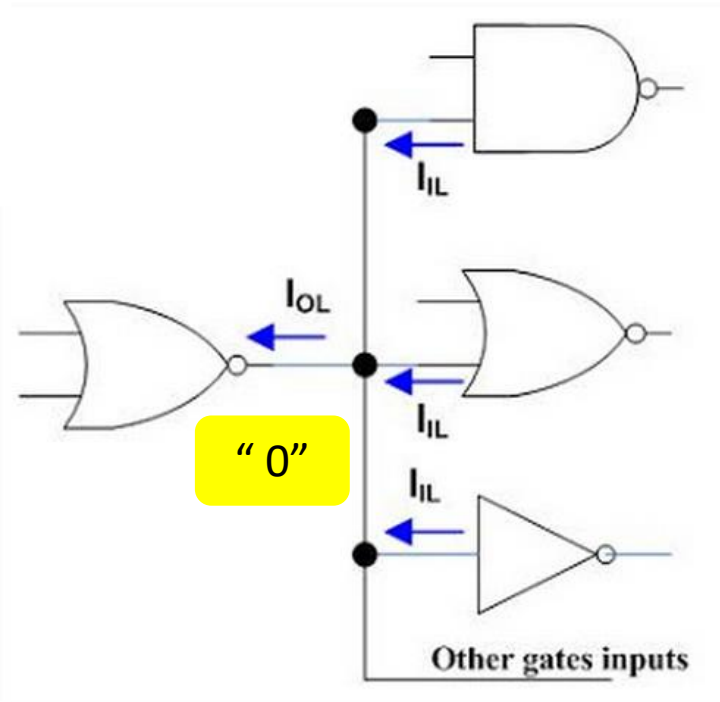


# Interfaces E/S de FPGA

## Niveles Lógico: Corrientes nominales



$$I_{OH\ MAX} > I_{OH}$$



$$I_{OL} < I_{OL\ MAX}$$

Importante para mantener los niveles de tensión establecidos para ALTO y BAJO



## SelectIO Resources Introduction

All 7 series FPGAs have configurable SelectIO drivers and receivers, supporting a wide variety of standard interfaces. The robust feature set includes programmable control of output strength and slew rate, on-chip termination using digitally-controlled impedance (DCI), and the ability to internally generate a reference voltage (INTERNAL\_VREF).

**Note:** HR banks do not have DCI. Therefore, any reference to DCI in this user guide does not apply to the HR banks.

With some exceptions, each I/O bank contains 50 SelectIO pins. The two pins at the very ends of each bank can only be used with single-ended I/O standards. The remaining 48 pins can be used with either single-ended or differential standards using two SelectIO pins grouped together as positive/negative (P/N) pairs. Every SelectIO resource contains input, output, and 3-state drivers.

The SelectIO pins can be configured to various I/O standards, both single-ended and differential.

- Single-ended I/O standards (e.g., LVCMOS, LVTTL, HSTL, PCI, and SSTL)
- Differential I/O standards (e.g., LVDS, Mini\_LVDS, RSDS, PPDS, BLVDS, and differential HSTL and SSTL)

# Interfaces E/S de FPGA



## Spartan-3E FPGA Family Data Sheet

DS312 July 19, 2013

Product Specification

### Module 1: Introduction and Ordering Information

DS312 (v4.1) July 19, 2013

- Introduction
- Features
- Architectural Overview
- Package Marking
- Ordering Information

### Module 2: Functional Description

DS312 (v4.1) July 19, 2013

- Input/Output Blocks (IOBs)
  - Overview
  - SelectIO™ Signal Standards
- Configurable Logic Block (CLB)
- Block RAM
- Dedicated Multipliers
- Digital Clock Manager (DCM)
- Clock Network
- Configuration
- Powering Spartan®-3E FPGAs
- Production Stepping

### Module 3: DC and Switching Characteristics

DS312 (v4.1) July 19, 2013

- DC Electrical Characteristics
  - Absolute Maximum Ratings
  - Supply Voltage Specifications
  - Recommended Operating Conditions
  - DC Characteristics
- Switching Characteristics
  - I/O Timing
  - SLICE Timing
  - DCM Timing
  - Block RAM Timing
  - Multiplier Timing
  - Configuration and JTAG Timing

### Module 4: Pinout Descriptions

DS312 (v4.1) July 19, 2013

- Pin Descriptions
- Package Overview
- Pinout Tables
- Footprint Diagrams

# Interfaces E/S de FPGA

Table 8: SelectIO DC Input and Output Levels<sup>(1)(2)</sup>

I/O Standard	V <sub>IL</sub>		V <sub>IH</sub>		V <sub>OL</sub>	V <sub>OH</sub>	I <sub>OL</sub>	I <sub>OH</sub>
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA, Max	mA, Min
HSTL_I	-0.300	V <sub>REF</sub> - 0.100	V <sub>REF</sub> + 0.100	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	8.00	-8.00
HSTL_I_18	-0.300	V <sub>REF</sub> - 0.100	V <sub>REF</sub> + 0.100	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	8.00	-8.00
HSTL_II	-0.300	V <sub>REF</sub> - 0.100	V <sub>REF</sub> + 0.100	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	16.00	-16.00
HSTL_II_18	-0.300	V <sub>REF</sub> - 0.100	V <sub>REF</sub> + 0.100	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	16.00	-16.00
HSUL_12	-0.300	V <sub>REF</sub> - 0.130	V <sub>REF</sub> + 0.130	V <sub>CCO</sub> + 0.300	20% V <sub>CCO</sub>	80% V <sub>CCO</sub>	0.10	-0.10
LVC MOS12	-0.300	35% V <sub>CCO</sub>	65% V <sub>CCO</sub>	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	Note 3	Note 3
LVC MOS15	-0.300	35% V <sub>CCO</sub>	65% V <sub>CCO</sub>	V <sub>CCO</sub> + 0.300	25% V <sub>CCO</sub>	75% V <sub>CCO</sub>	Note 4	Note 4
LVC MOS18	-0.300	35% V <sub>CCO</sub>	65% V <sub>CCO</sub>	V <sub>CCO</sub> + 0.300	0.450	V <sub>CCO</sub> - 0.450	Note 5	Note 5
LVC MOS25	-0.300	0.7	1.700	V <sub>CCO</sub> + 0.300	0.400	V <sub>CCO</sub> - 0.400	Note 4	Note 4
LVC MOS33	-0.300	0.8	2.000	3.450	0.400	V <sub>CCO</sub> - 0.400	Note 4	Note 4
LV TTL	-0.300	0.8	2.000	3.450	0.400	2.400	Note 5	Note 5
MOBILE_DDR	-0.300	20% V <sub>CCO</sub>	80% V <sub>CCO</sub>	V <sub>CCO</sub> + 0.300	10% V <sub>CCO</sub>	90% V <sub>CCO</sub>	0.10	-0.10
PCI33_3	-0.400	30% V <sub>CCO</sub>	50% V <sub>CCO</sub>	V <sub>CCO</sub> + 0.500	10% V <sub>CCO</sub>	90% V <sub>CCO</sub>	1.50	-0.50
SSTL135	-0.300	V <sub>REF</sub> - 0.090	V <sub>REF</sub> + 0.090	V <sub>CCO</sub> + 0.300	V <sub>CCO</sub> /2 - 0.150	V <sub>CCO</sub> /2 + 0.150	13.00	-13.00
SSTL135_R	-0.300							
SSTL15	-0.300							

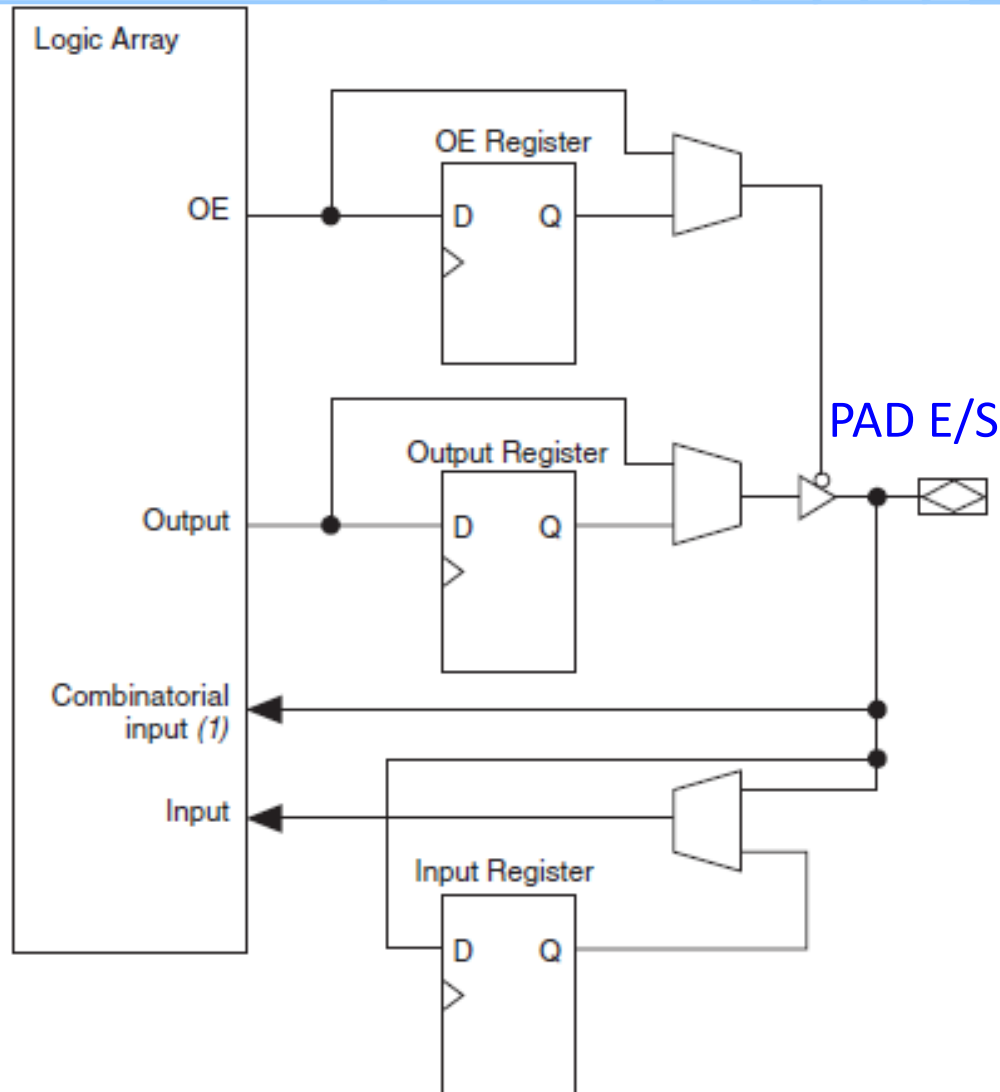
## Notes:

1. Tested according to relevant specifications.
2. 3.3V and 2.5V standards are only supported in HR I/O banks.
3. Supported drive strengths of 4, 8, or 12 mA in HR I/O banks.
4. Supported drive strengths of 4, 8, 12, or 16 mA in HR I/O banks.

### 3.1.3. Lógica de los bloques de E/S

# Lógica de los bloques de salida

[http://www.altera.com/literature/hb/cyc/cyc\\_c51002.pdf](http://www.altera.com/literature/hb/cyc/cyc_c51002.pdf) (Pag.40)



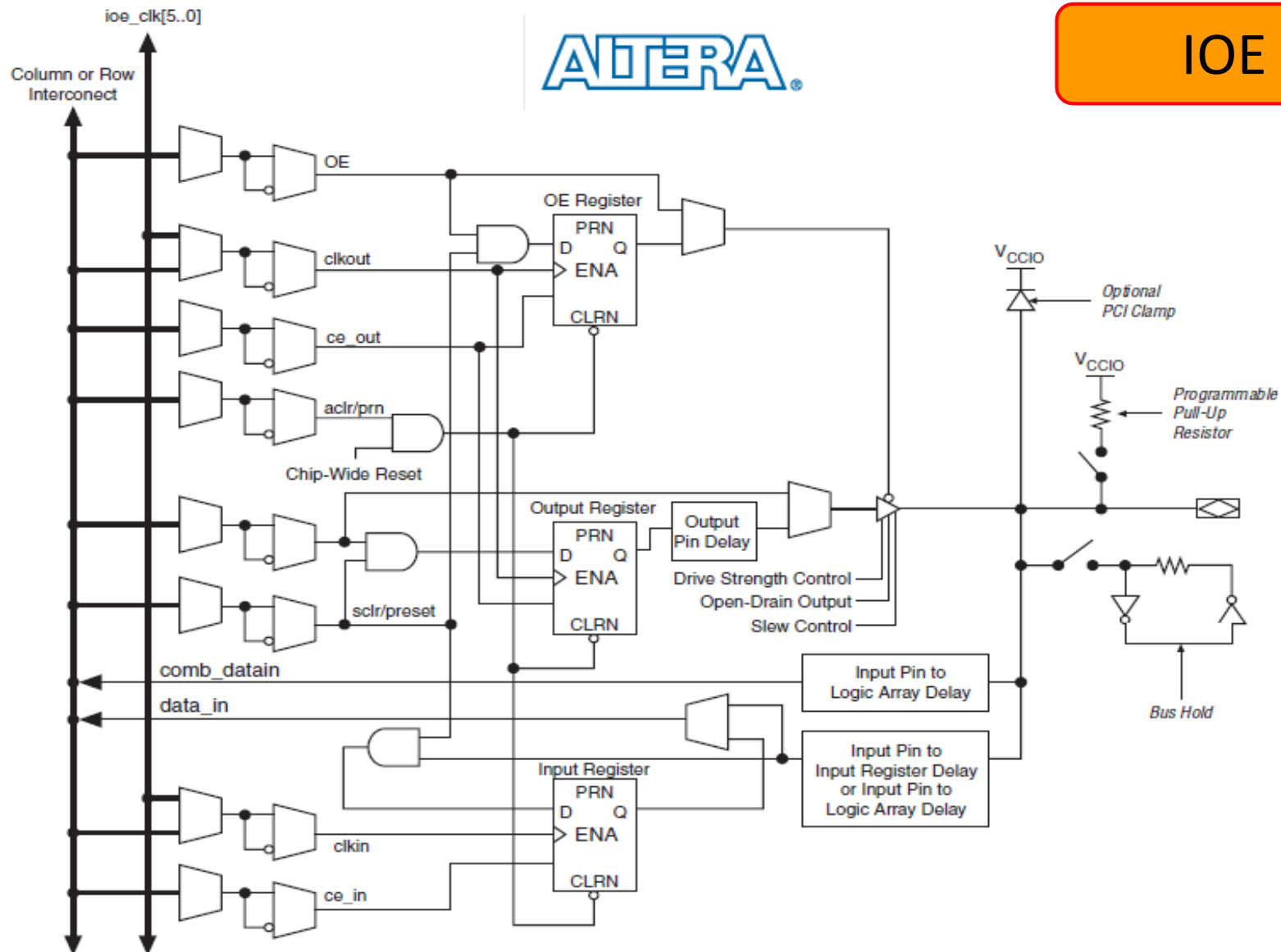
IOE

ALTERA®

# Lógica de los bloques de salida

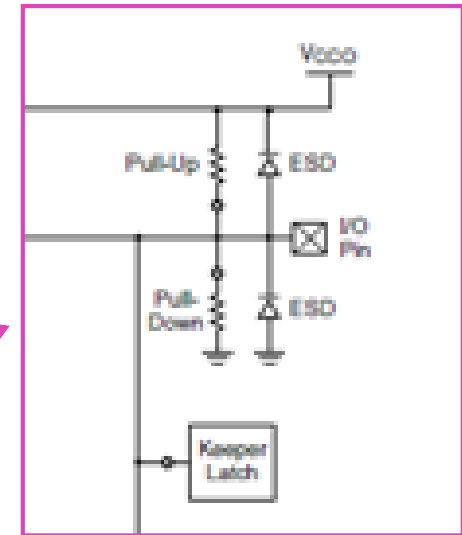
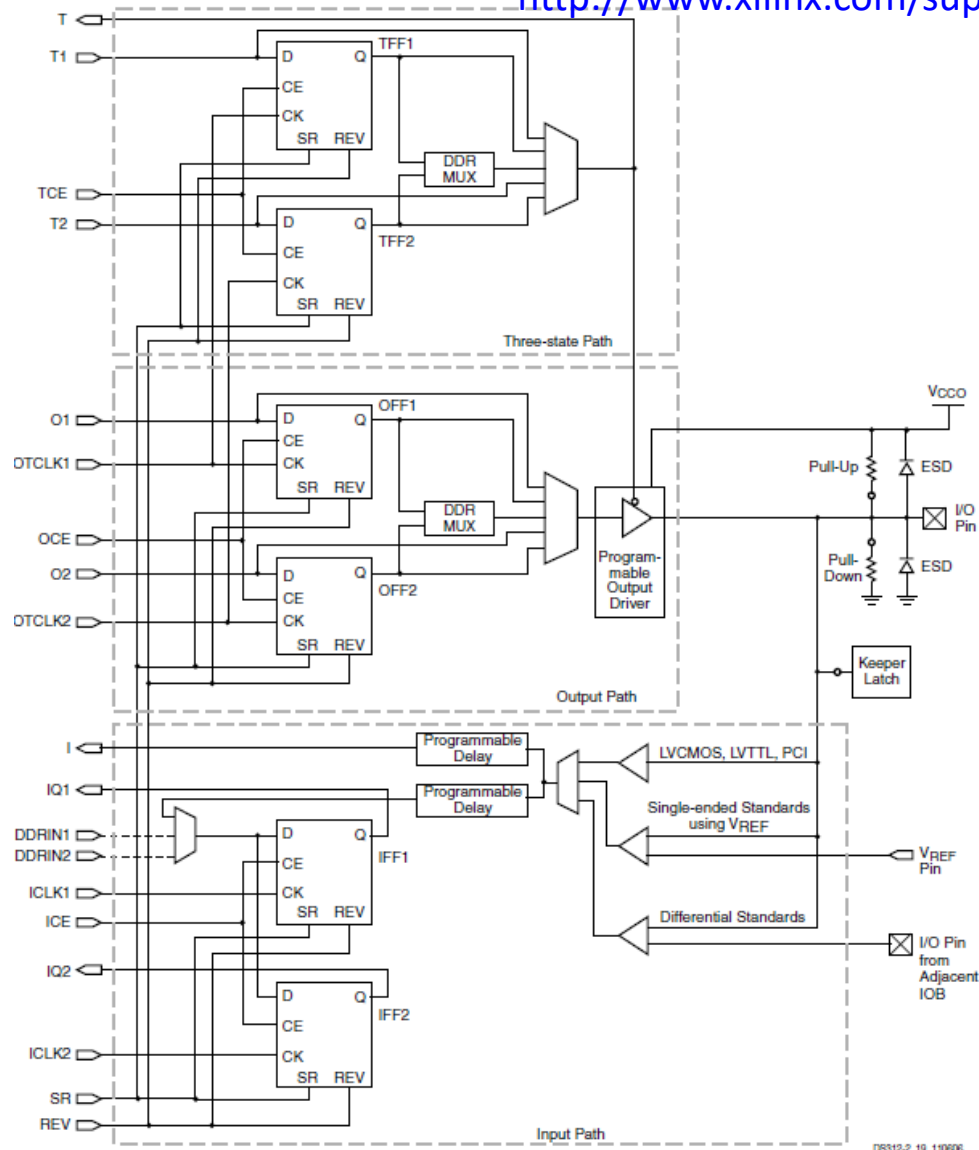
ALTERA

IOE



# Lógica de los bloques de salida

[http://www.xilinx.com/support/documentation/data\\_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf)



**XILINX**  
ALL PROGRAMMABLE™

### **3.1.4. Bloques Lógicos**

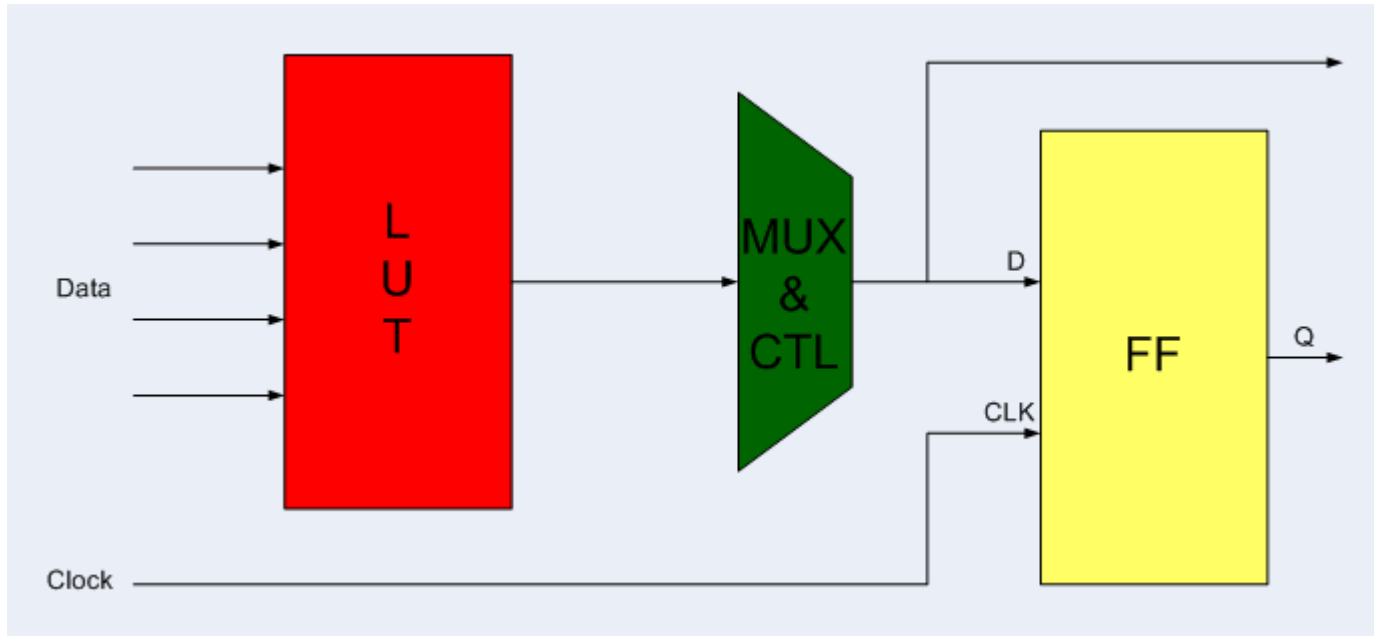


# Bloques lógicos de las FPGA

- ❑ Lógica o recursos incluidos en la FPGA para construir el diseño.
- ❑ Diferente denominación según fabricante:
  - **INTEL ALTERA**: LE (*Logic Element*) / ALM (*Adaptative Logic Module*)
  - **XILINX**: CLB (*Configurable Logic Blocks*)
- ❑ Cada fabricante define la lógica constructiva y la cantidad de ésta que incluye en sus dispositivos

# Bloques lógicos de las FPGA

## Menor unidad lógica

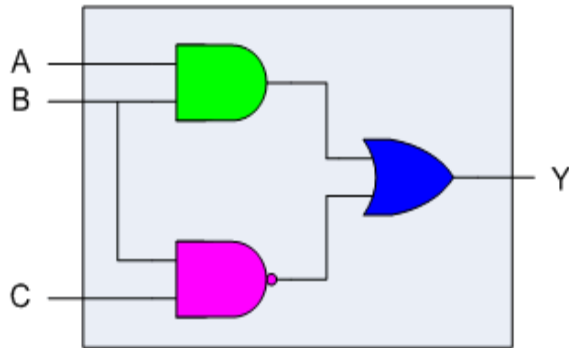


Xilinx → Logic Cell (LC)

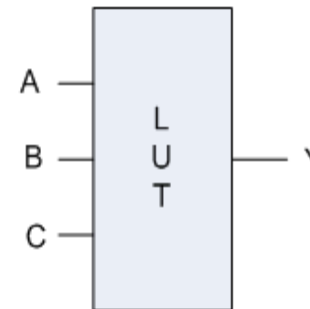
Altera → Logic Element (LE)

# Bloques lógicos de las FPGA

## (Look-up table) LUT



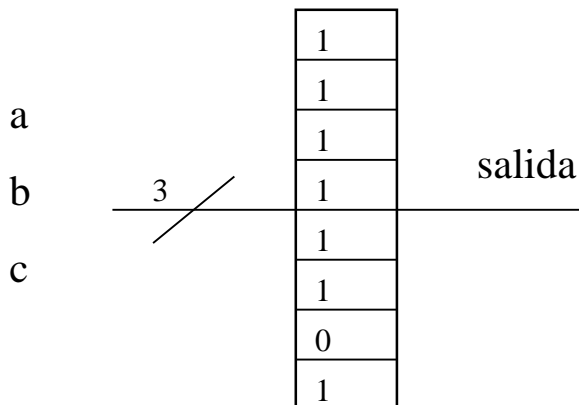
Logic Function



Look Up Table

C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

LUT

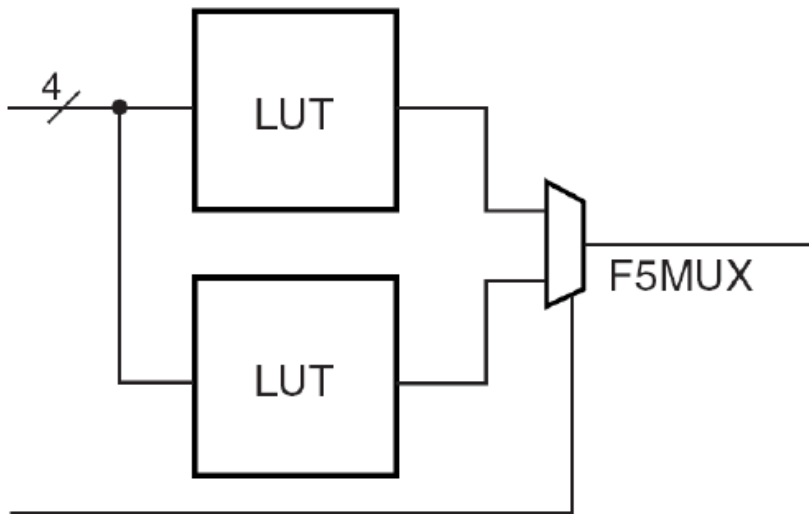


Salida = (a and b) or (b nand c)

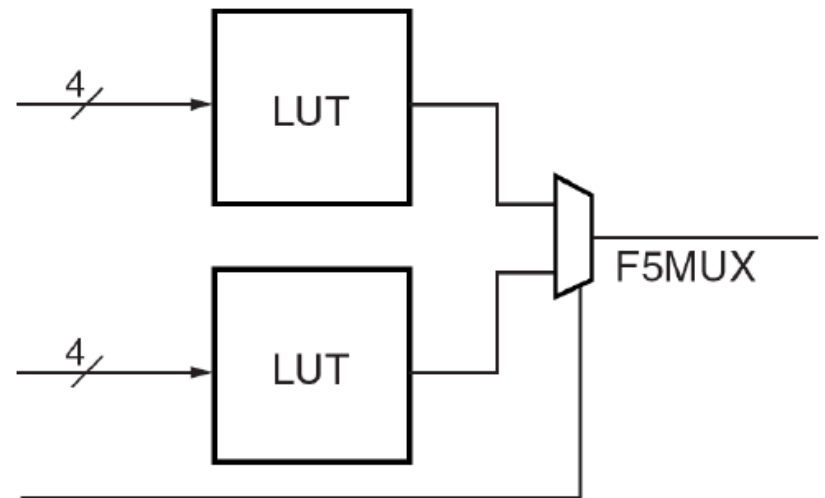
# Bloques lógicos de las FPGA

## (Look-up table) LUT

Construir funciones lógicas de más de 4 entradas



De 5 entradas

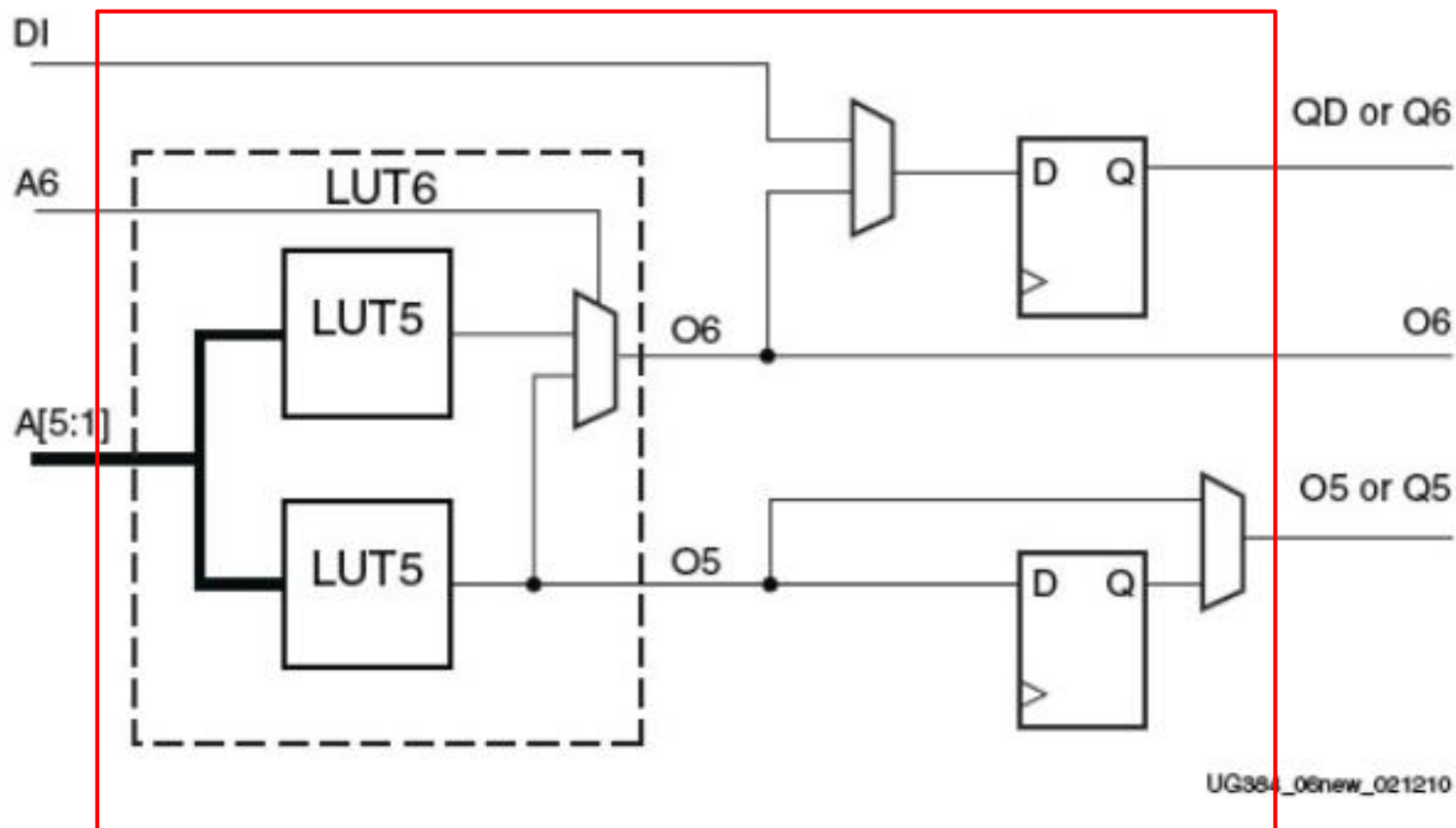


De 9 entradas

# Bloques lógicos de las FPGA

## Slice (Xilinx)

4x

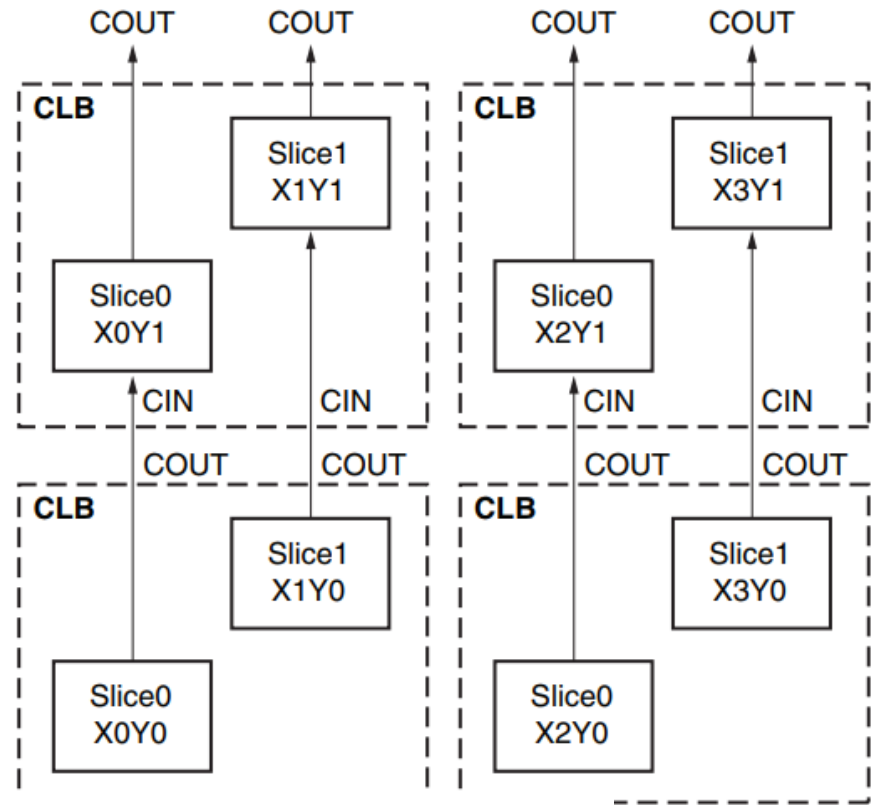


# Bloques lógicos de las FPGA

## CLB (Configurable Logic Block) (Xilinx)

These two slices do not have direct connections to each other, and each slice is organized as a column.

Each slice in a column has an independent carry chain.



UG474\_c2\_01\_092210

Table 2-1: Logic Resources in One CLB

Slices	LUTs	Flip-Flops	Arithmetic and Carry Chains	Distributed RAM <sup>(1)</sup>	Shift Registers <sup>(1)</sup>
2	8	16	2	256 bits	128 bits

### Notes:

1. SLICEM only, SLICEL does not have distributed RAM or shift registers.

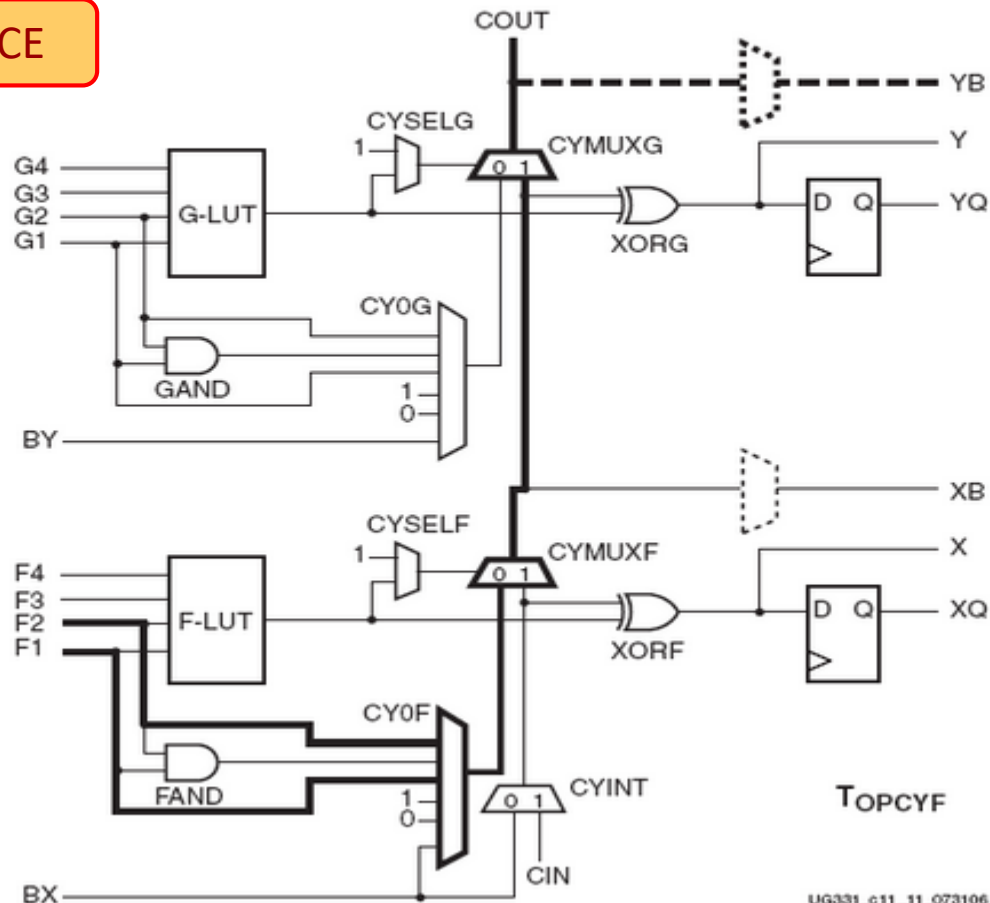
### **3.1.5. Recursos adicionales**

## Otros recursos de las FPGA

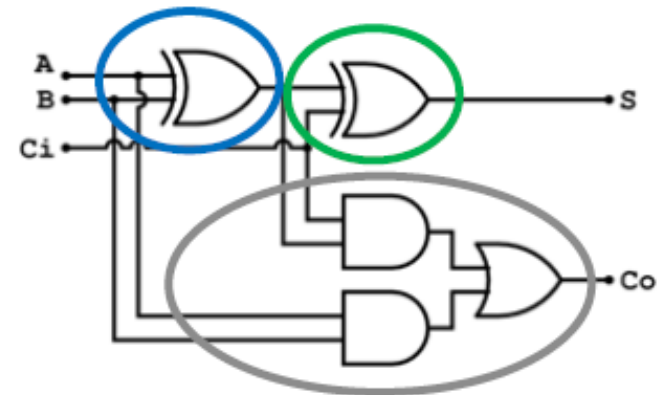
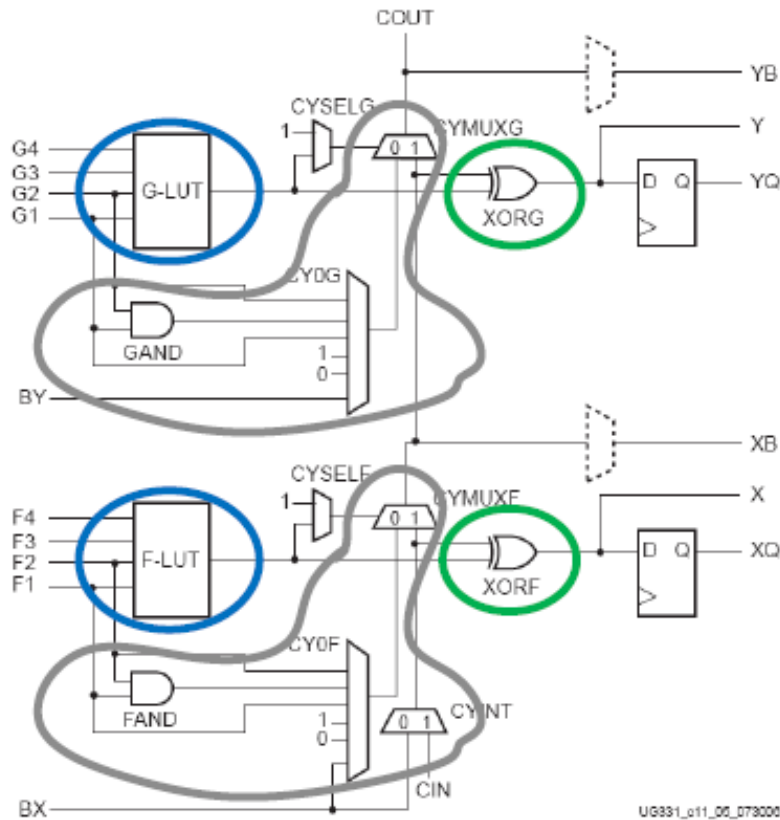
- Cadenas de acarreo rápido
- Bloques de memoria RAM
- Multiplicadores y sumadores (DSP)
- Núcleos de procesadores embebidos



## Otros recursos de las FPGA: Cadena de acarreo rápido



# Otros recursos de las FPGA: Cadena de acarreo rápido



# Otros recursos de las FPGA: Bloques de RAM y DSP

## Artix-7 FPGA Feature Summary

Table 4: Artix-7 FPGA Feature Summary by Device

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices <sup>(2)</sup>	Block RAM Blocks <sup>(3)</sup>		
		Slices <sup>(1)</sup>	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)
XC7A12T	12,800	2,000	171	40	40	20	720
XC7A15T	16,640	2,600	200	45	50	25	900
XC7A25T	23,360	3,650	313	80	90	45	1,620
XC7A35T	33,280	5,200	400	90	100	50	1,800
XC7A50T	52,160	8,150	600	120	150	75	2,700
XC7A75T	75,520	11,800	892	180	210	105	3,780
XC7A100T	101,440	15,850	1,188	240	270	135	4,860
XC7A200T	215,360	33,650	2,888	740	730	365	13,140

# Otros recursos de las FPGA: Convertidor A/D

## Artix-7 FPGAs

Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth (1.0V, 0.95V, 0.9V)								
	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400	600	892	1,188
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50	75	105	135
	Total Block RAM (Kb)	720	900	1,620	1,800	2,700	3,780	4,860
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5	5	6	6
I/O Resources	Maximum Single-Ended I/O	150	250	150	250	250	300	300
	Maximum Differential I/O Pairs	72	120	72	120	120	144	144
Embedded Hard IP Resources	DSP Slices	40	45	80	90	120	180	240
	PCIe® Gen2 <sup>(1)</sup>	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) <sup>(2)</sup>	2	4	4	4	4	8	8
Speed Grades	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L

# Otros recursos de las FPGA: Procesador embebido

## Núcleo Hardware (FPGA-SoC)

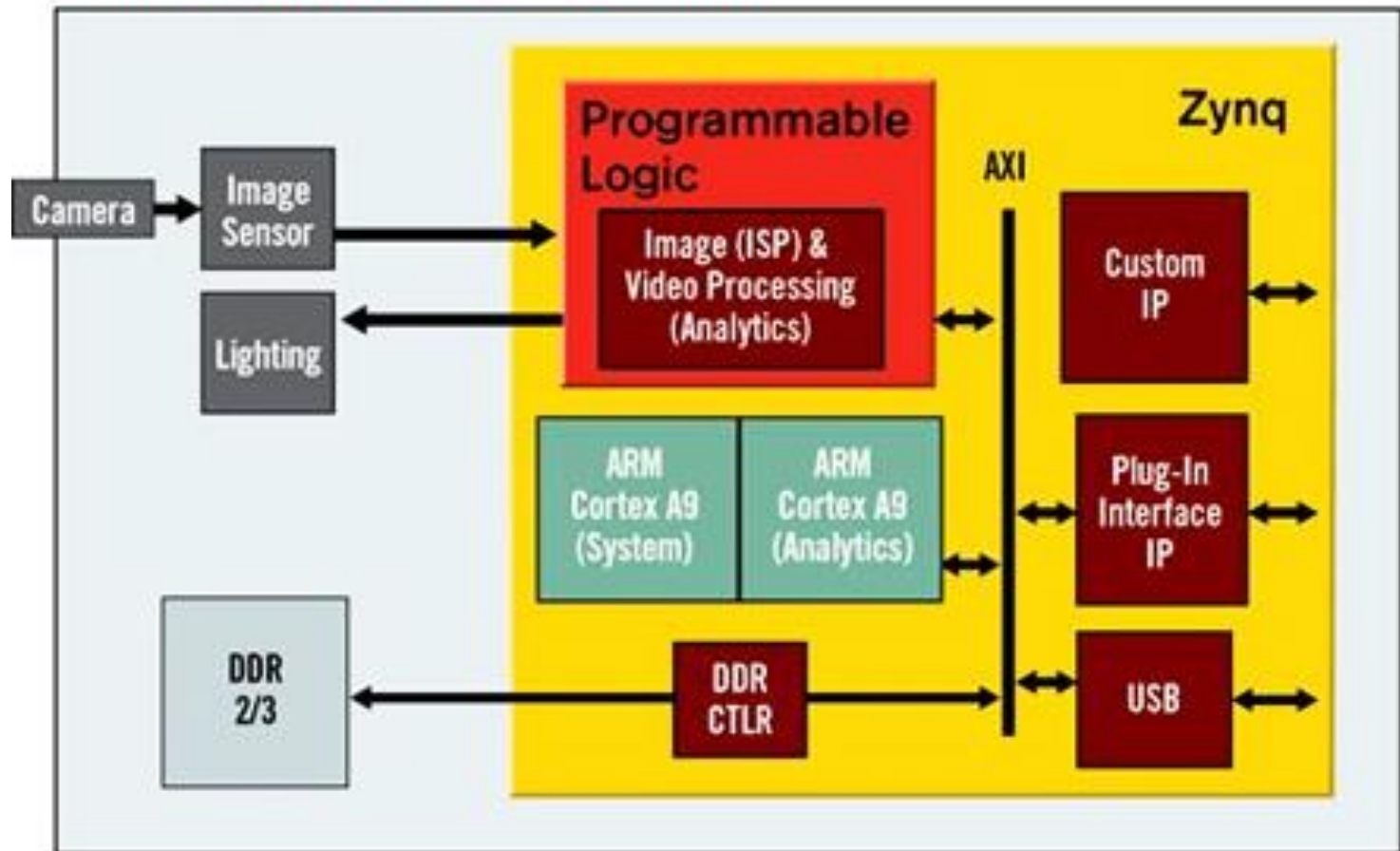
- Eliminan la necesidad de otro chip externo
- Posibilidad de incluir un sistema operativo
- El procesador actuará como controlador de todo el sistema diseñado en la FPGA
- Solo lo incluyen las familias de altas prestaciones (Zynq)

## Núcleos ARM-Dual Core

# Otros recursos de las FPGA: Procesador embebido

## Núcleo Hardware (FPGA-SoC)

Xilinx Zynq-7000 SoC Solution



## Núcleo Software (Soft-core)

### ➤ Ventaja sobre el Nucleo HW

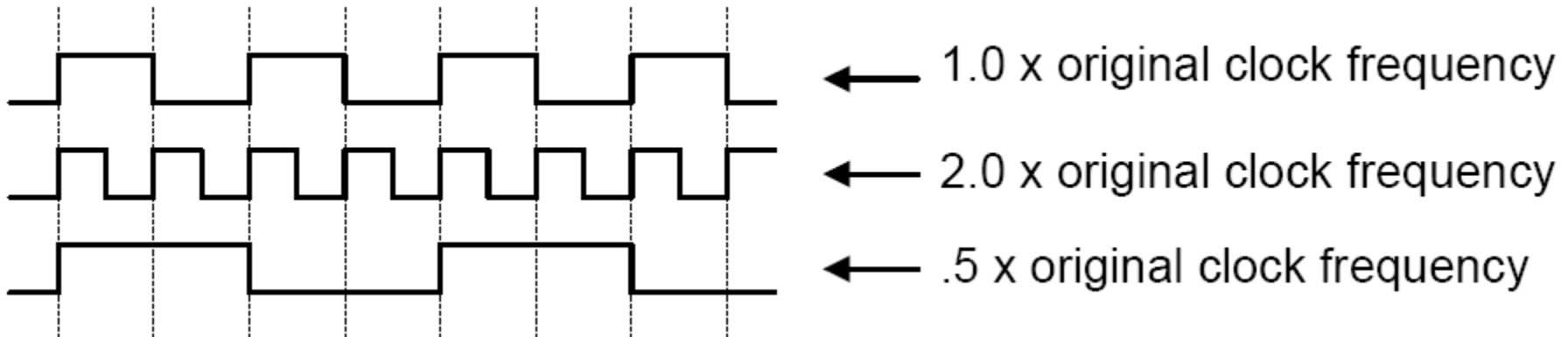
- Solo lo implemento si lo necesite
- Los fabricantes ofrecen un modelo de procesador que se puede personalizar para la aplicación.

## Otros recursos de las FPGA: Gestor de reloj

**Clock management tile (CMT):** elemento que recibe una señal de reloj externa y genera un número de señales “hijas”. (TCM en **Xilinx**)

Se utiliza para:

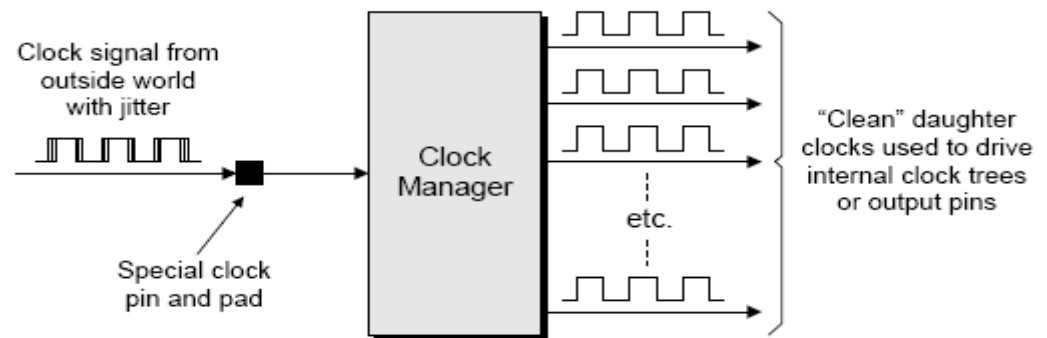
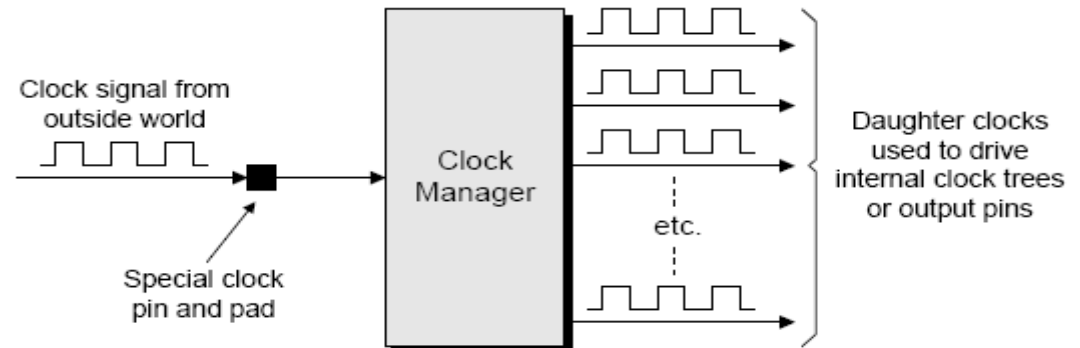
➤ Síntesis de frecuencia: cuando la frecuencia que viene del exterior no es la frecuencia necesaria (**multiplicando** o **dividiendo** la **frecuencia externa**)





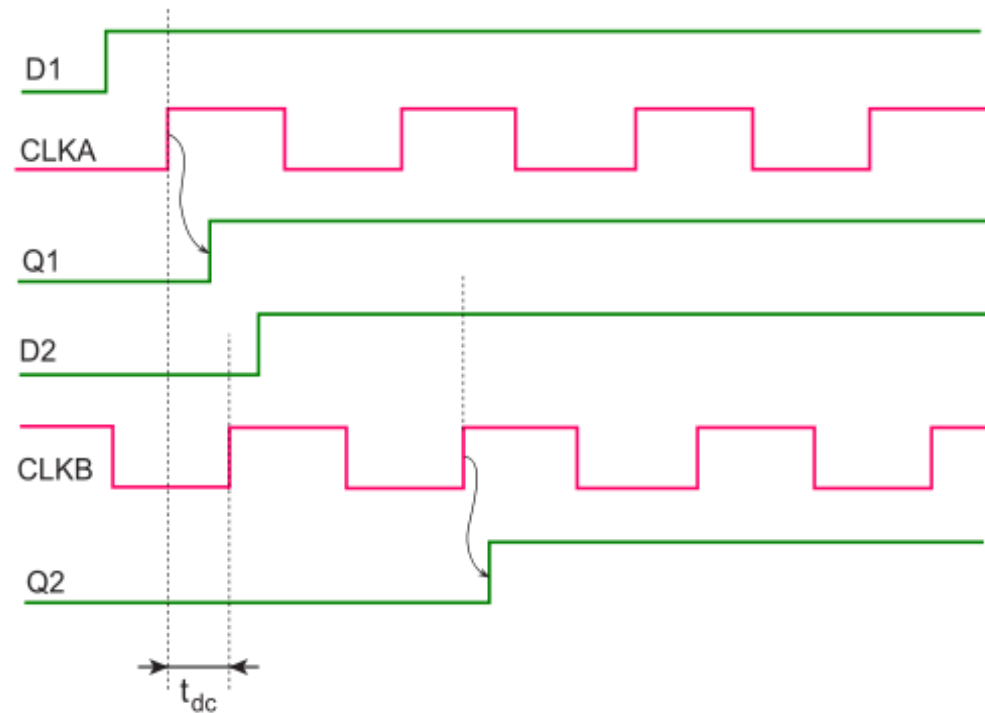
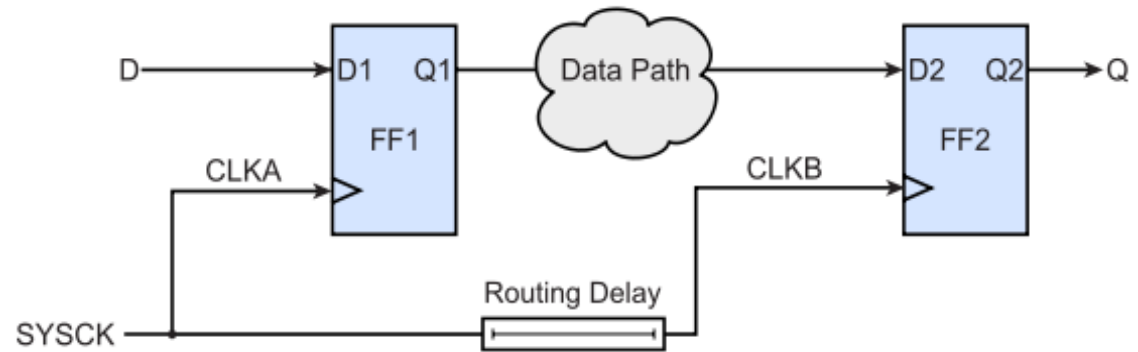
# Otros recursos de las FPGA: Gestor de reloj

➤ Detectar y **corregir** el fenómeno conocido como “**jitter**”



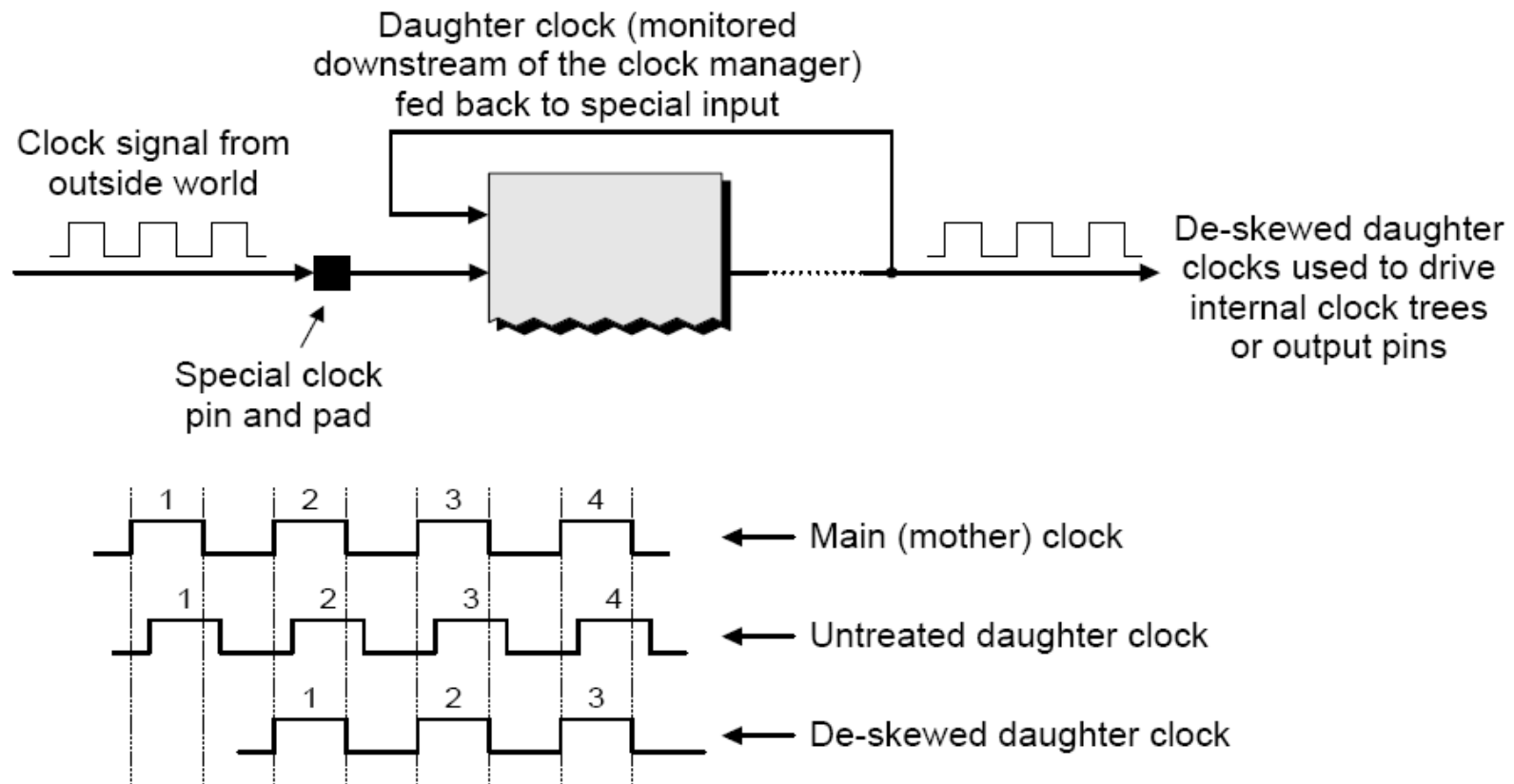
# Otros recursos de las FPGA: Gestor de reloj

## ➤ Corrección skew:



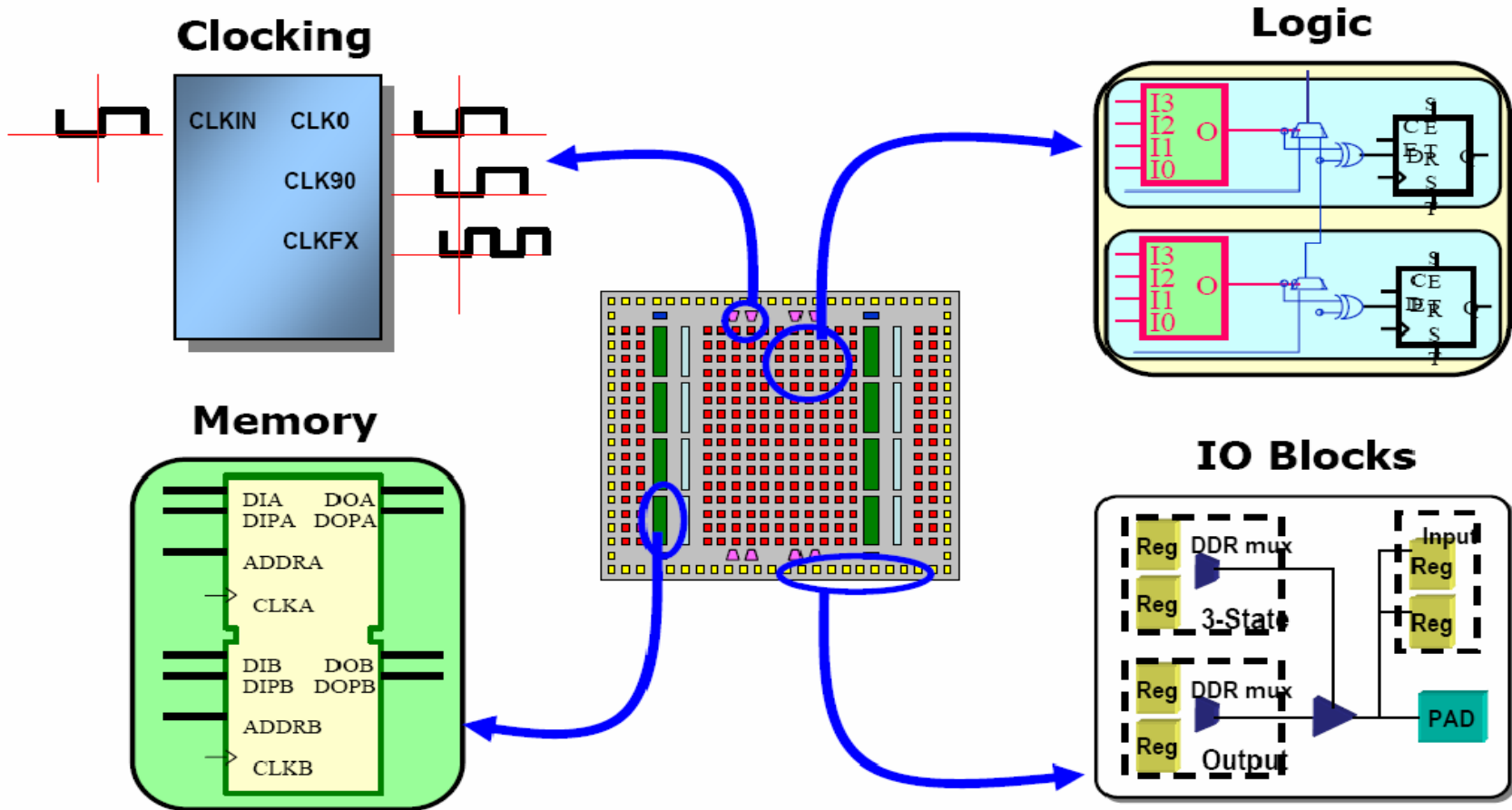
# Otros recursos de las FPGA: Gestor de reloj

- **Corrección auto-skew:** Se realiza comparando la señal hija con el reloj externo.



# Arquitectura de la FPGA

## Basic FPGA architecture

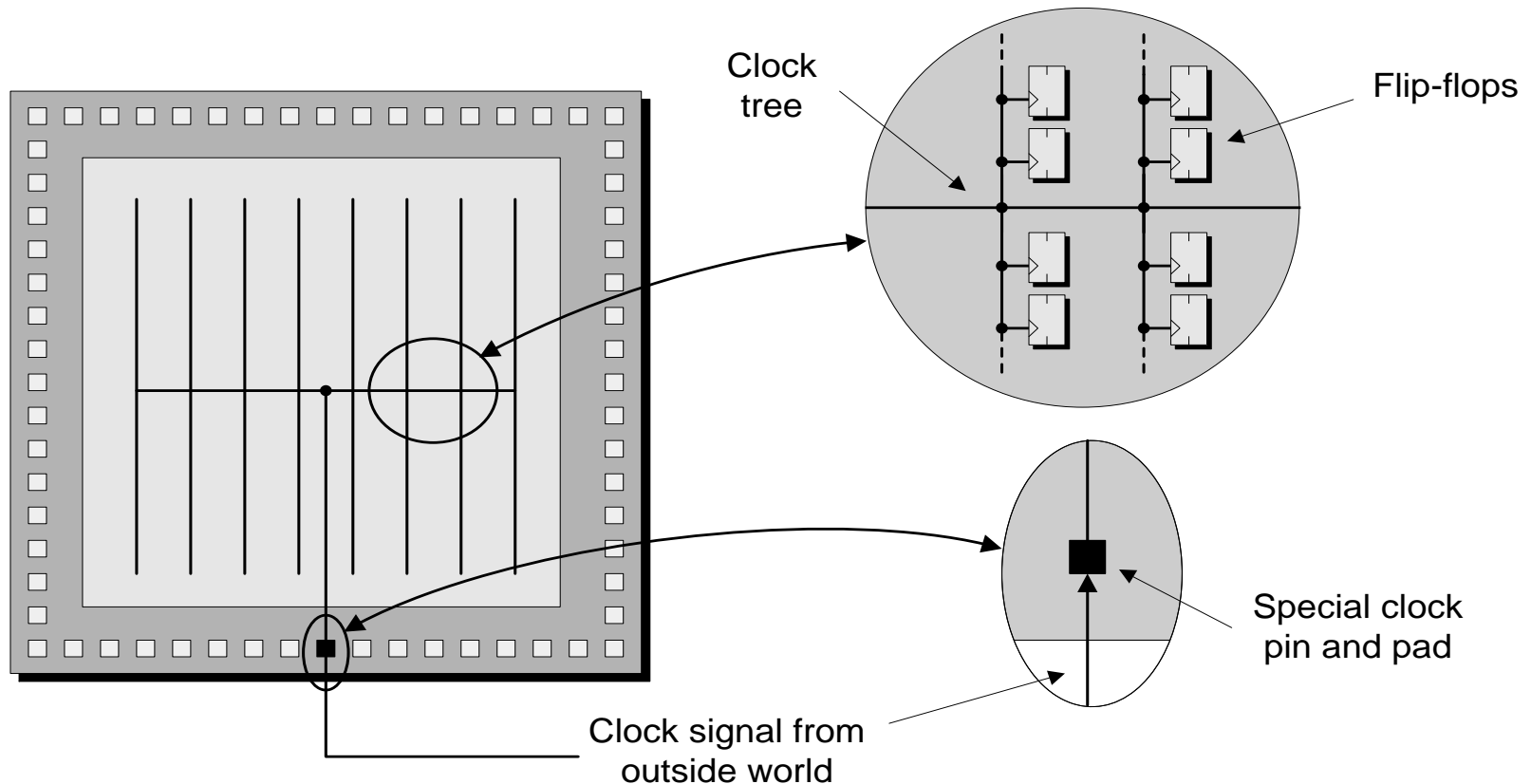


Fuente: Javier Serrano, CERN

### **3.1.6. Infraestructura de reloj**

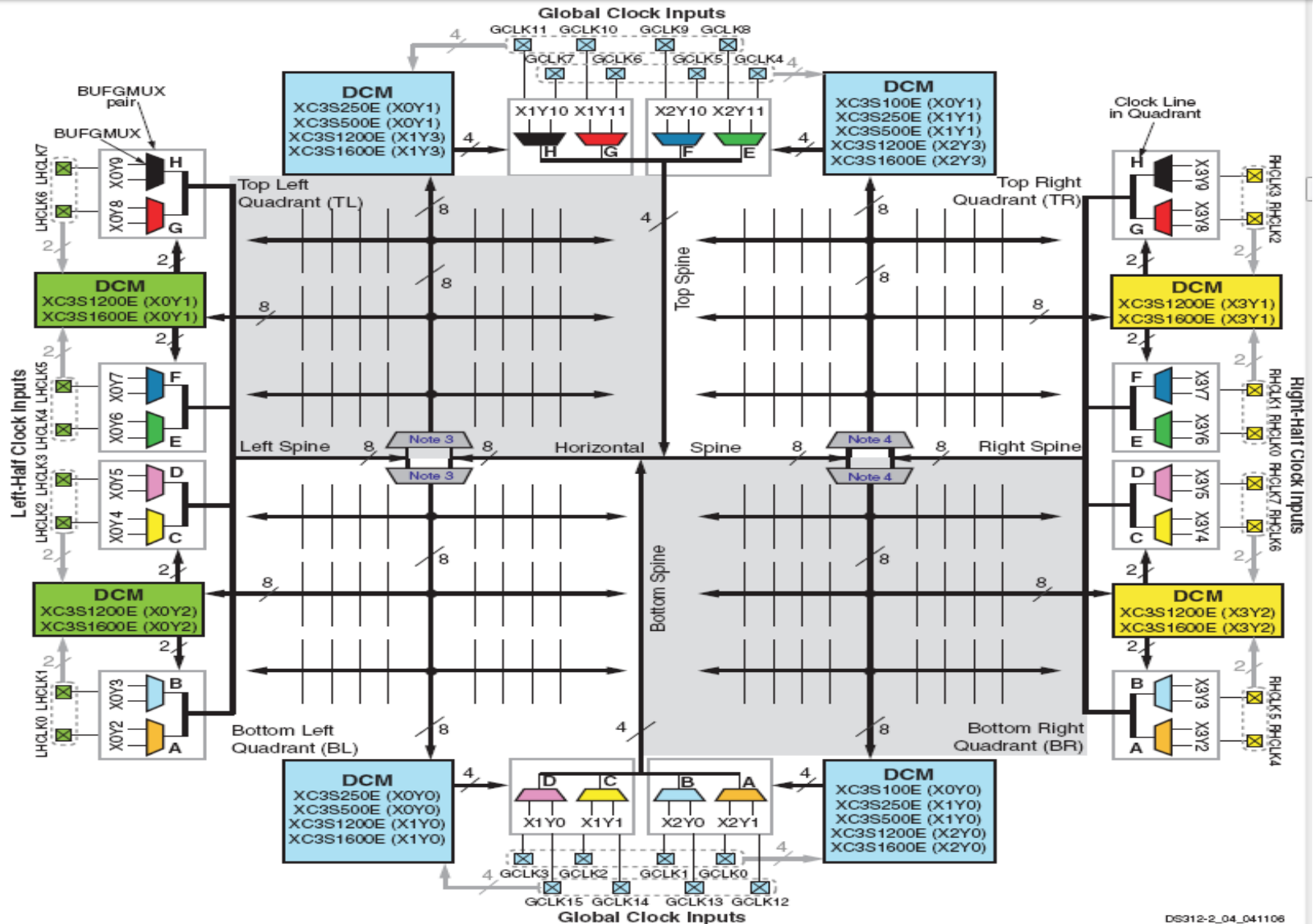
# Infraestructura de reloj

La señal de reloj es distribuida dentro de la FPGA mediante una estructura en árbol.



C. Maxfield

# Infraestructura de reloj



DS312-2\_04\_041108

### **3.1.7. Interconexiones jerárquicas**

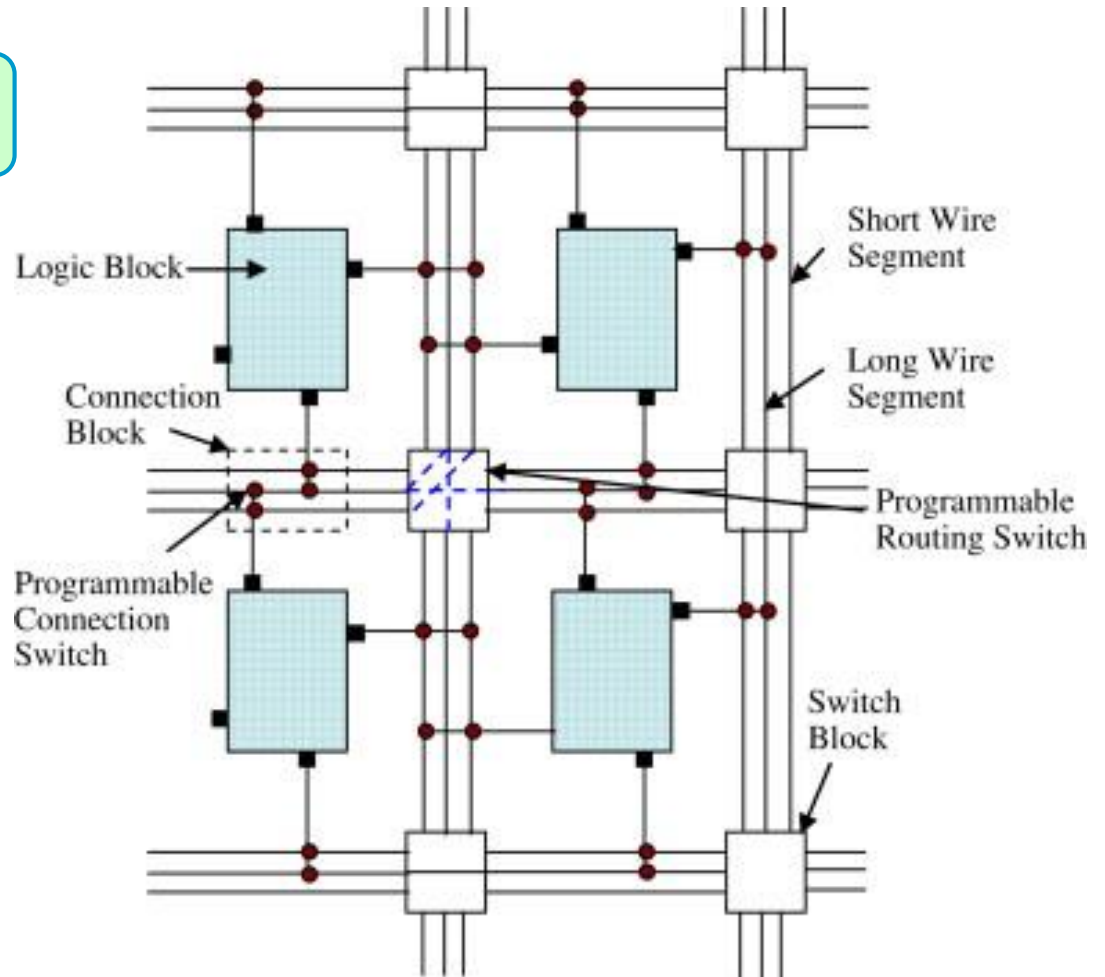


## Interconexiones jerárquicas

- **Conexiones directas** entre CLB's adyacentes → Muy rápidas
- **Conexiones de propósito general** → Más lentas, pasan al menos por un SB. Interconectan CLB's lejanos.
  - Single
  - Double
- **Líneas de interconexion largas** : No pasan por SB programables para evitar retardos
  - Verticales y Horizontales
  - Líneas largas globales/dedicadas (CLK y RESET)

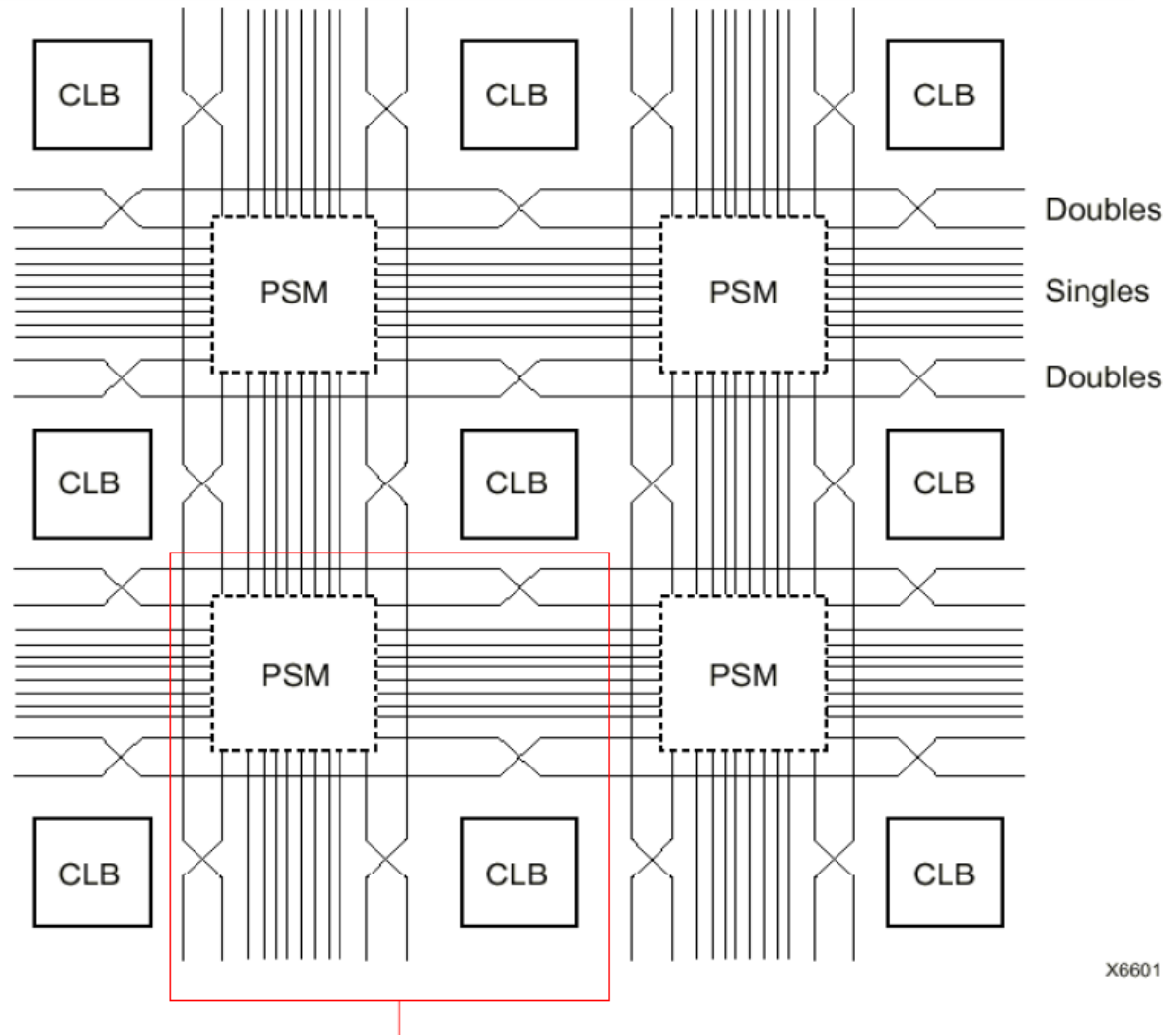
# Interconexiones jerárquicas

## Conexión directa



# Interconexiones jerárquicas

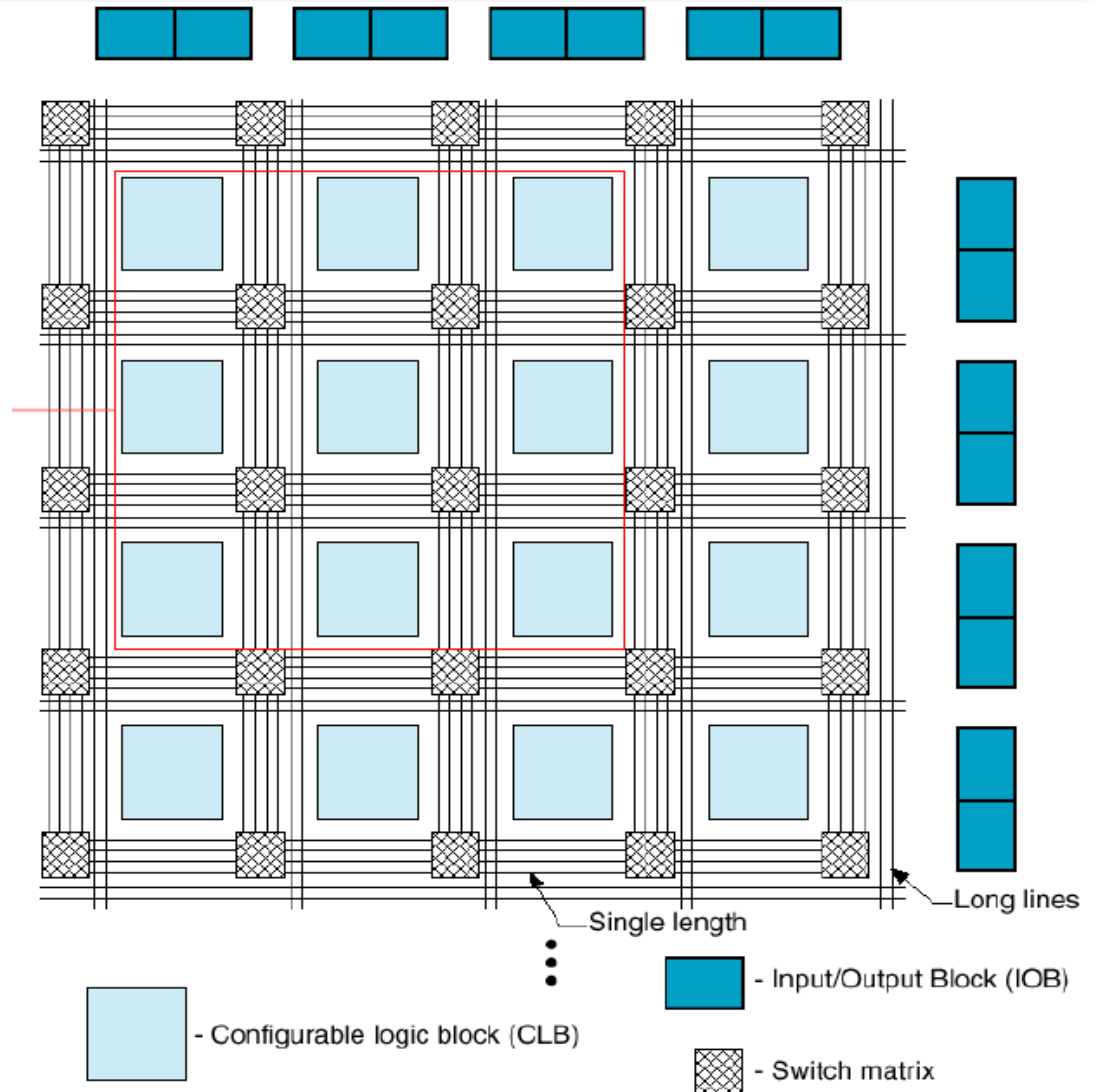
Conexión de  
propósito  
general



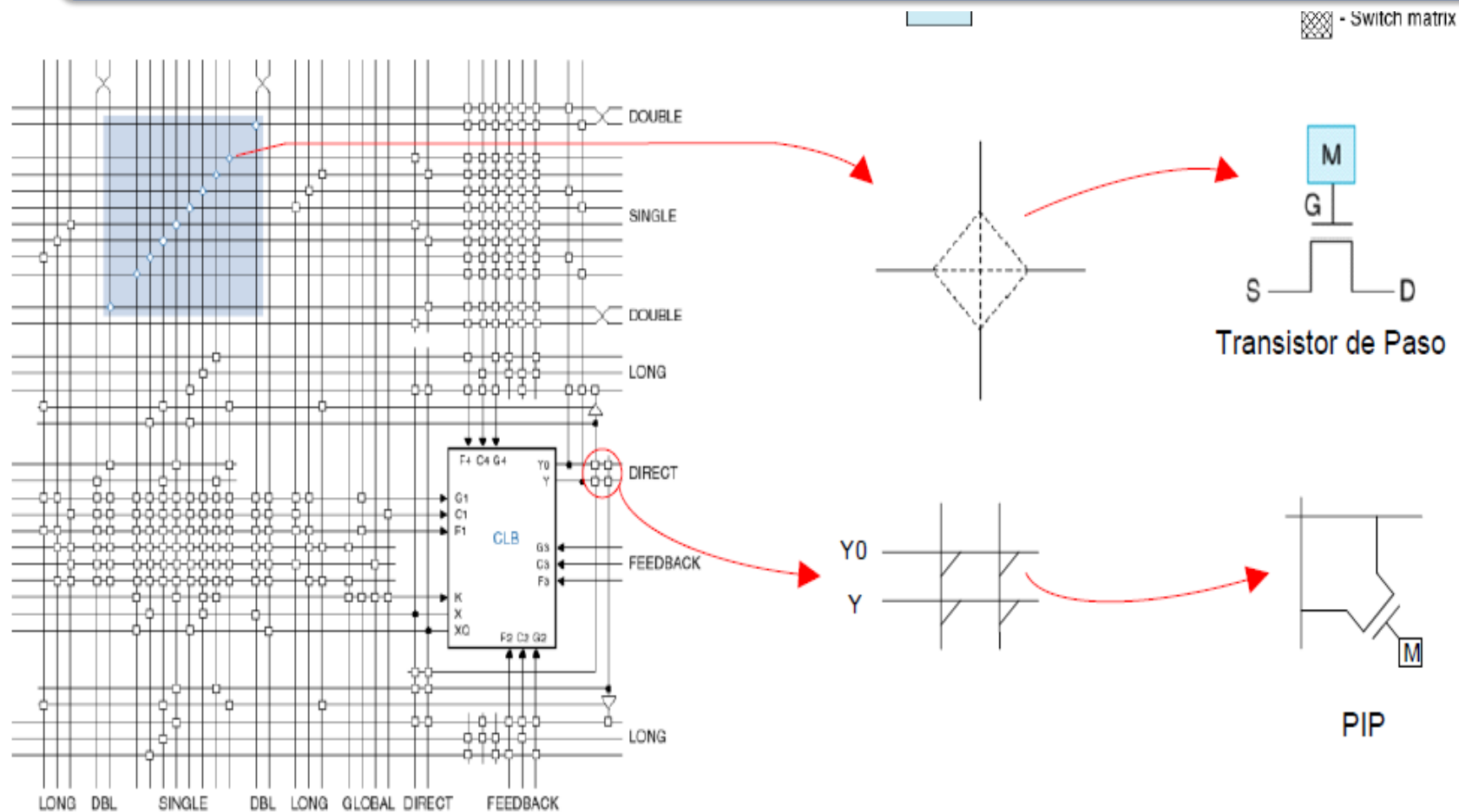
X6601

# Interconexiones jerárquicas

Líneas de  
interconexión  
largas



# Interconexiones jerárquicas

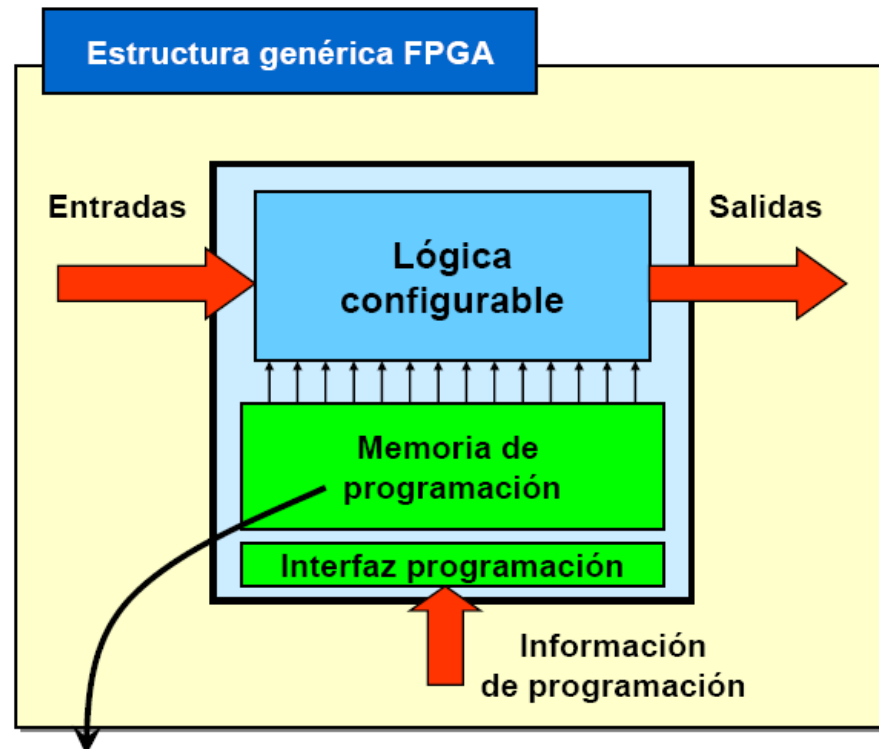


### **3.1.8 Programación de las FPGAs**

# Configuración de las FPGA

- **Configurar:** generar la secuencia de bits que configura el dispositivo
- **Programar:** Descargar la información de configuración a la FPGA

**Programar: cambiar las funciones lógicas y las conexiones**

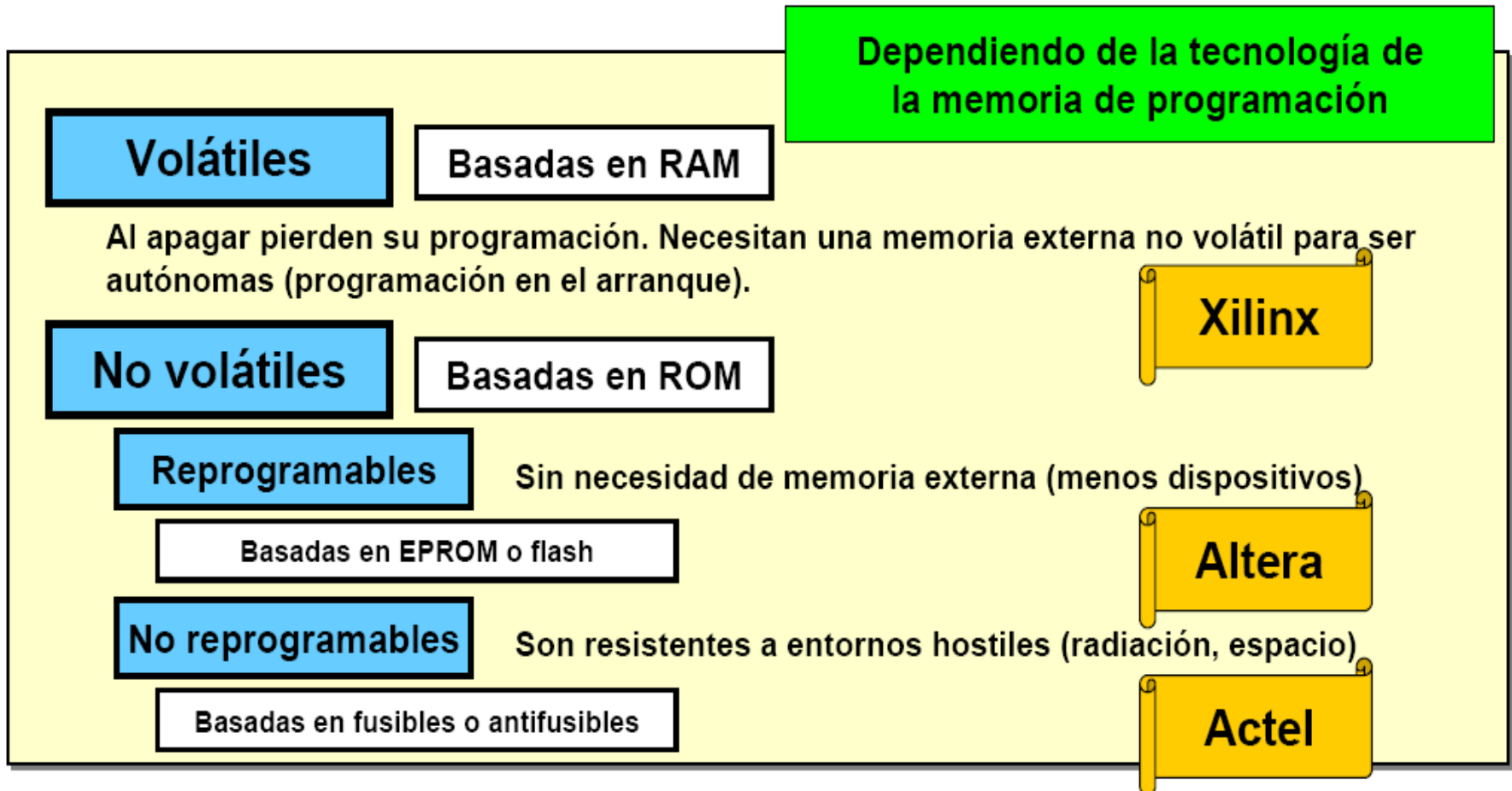


**La implementación física de la memoria sirve para clasificar las FPGAs**

Fuente: Universidad Rey Juan Carlos

# Configuración de las FPGA

## Clasificación de las FPGA según el tipo de memoria de programación.



Fuente: Universidad Rey Juan Carlos



# Configuración de las FPGA

## Clasificación de las FPGA según el tipo de memoria de programación.

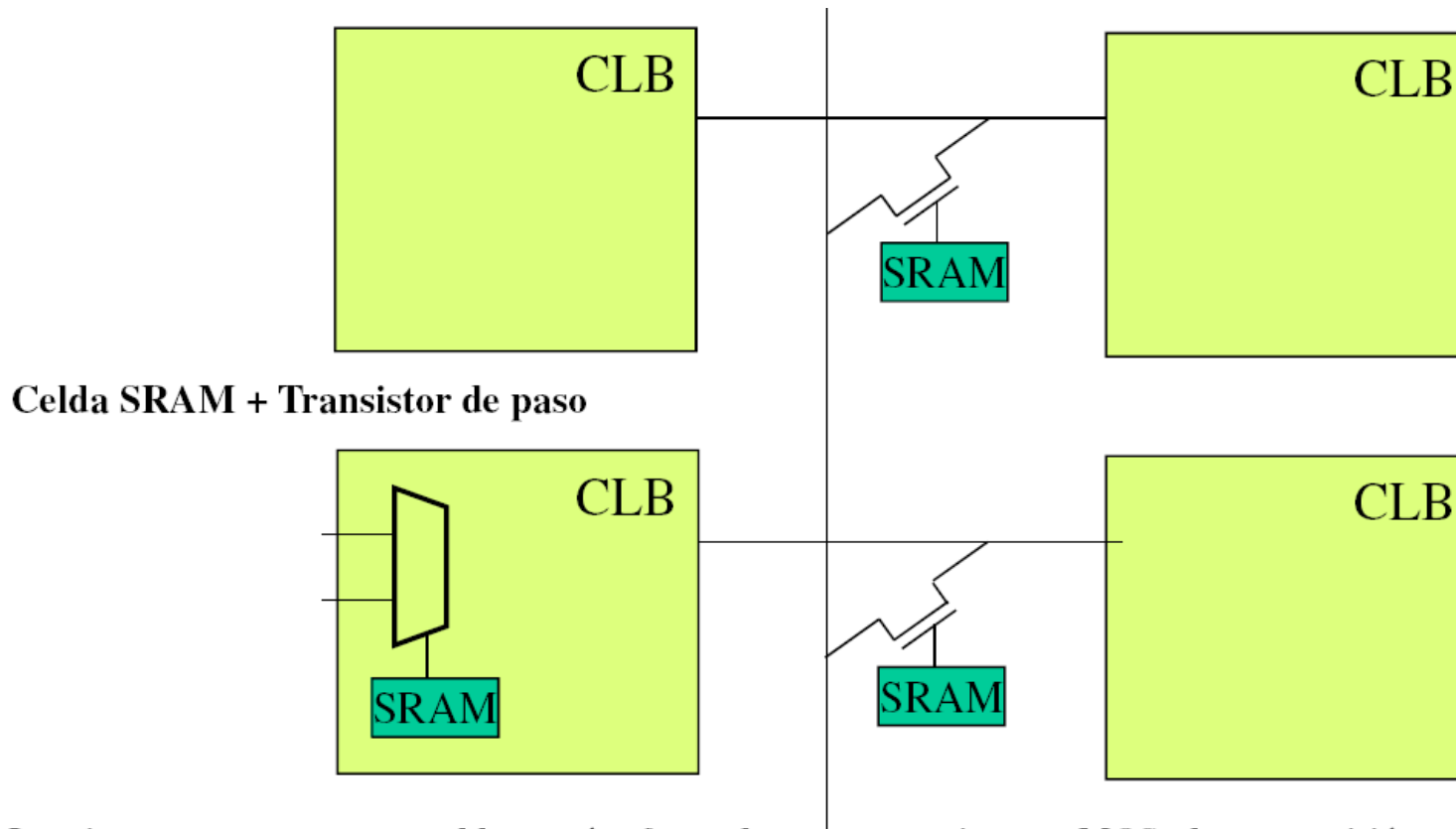
VENTAJAS (SRAM)	DESVENTAJAS (SRAM)
Rapidez en la reprogramabilidad	Volátil
Bajo consumo	Ocupan área del semiconductor

VENTAJAS (FLASH)	DESVENTAJAS (FLASH)
No volátil	Programación lenta (3xSRAM)
	Ocupan área del semiconductor

VENTAJAS (OTP)	DESVENTAJAS (OTP)
Menor retardo	Programables una vez
Menor tamaño, ocupan menos área	Programación externa
Tolerancia a la radiación electromagnética	
No volátil	

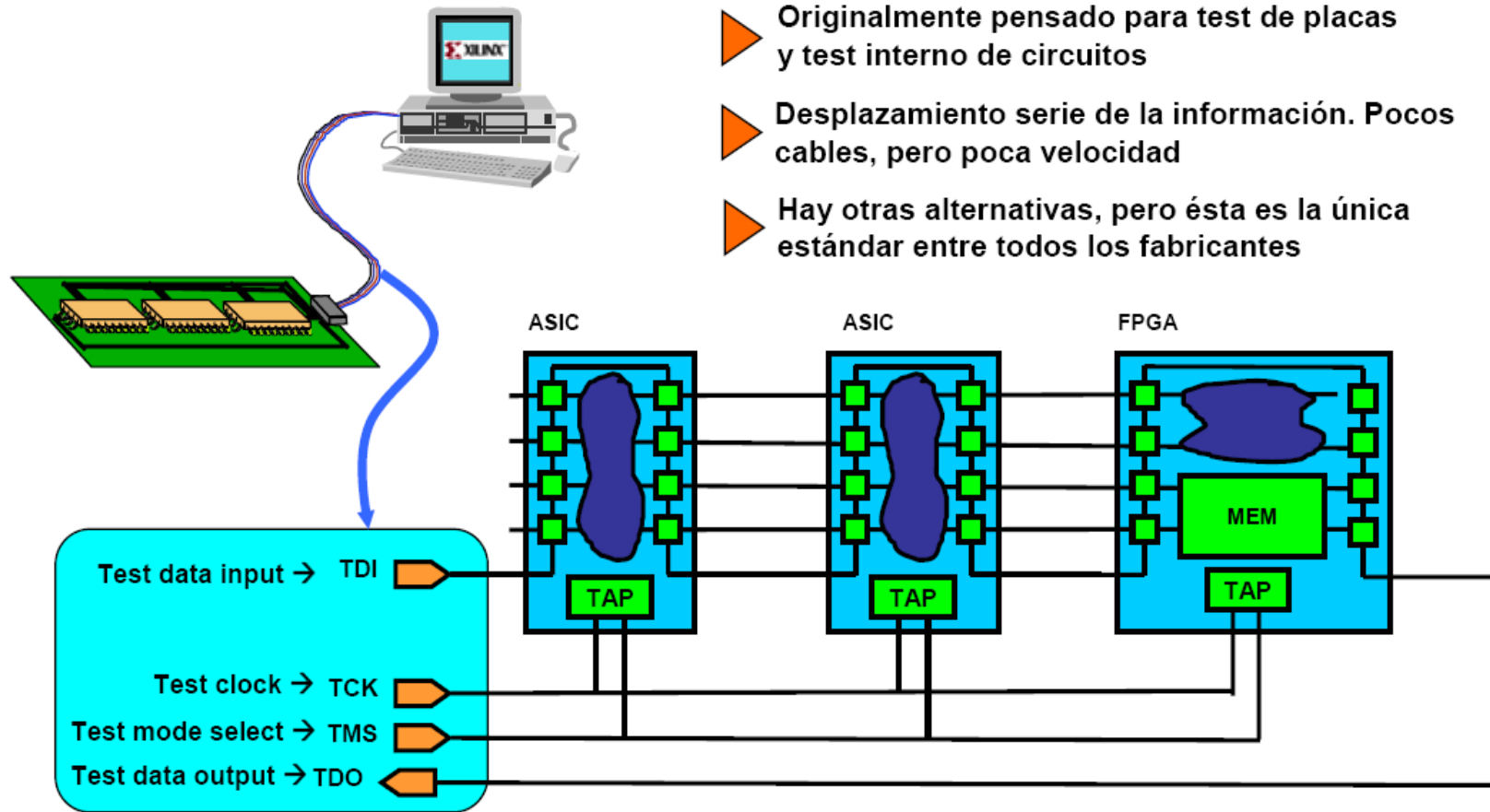
# Configuración de las FPGA

## Programación SRAM



# Configuración de las FPGA

## Programación basada en el estándar IEEE 1149.1 (JTAG o Boundary Scan)



Fuente: Universidad Rey Juan Carlos

### **3.1.9. Otras características de las FPGAs**

# Otras características de las FPGA

## Reconfiguración

### ➤ Reconfigurabilidad estática:

La configuración de la FPGA sólo cambia durante la fase de diseño. Su funcionalidad no cambia mientras que la aplicación esté en funcionamiento.

### ➤ Reconfigurabilidad dinámica:

La funcionalidad cambia durante el funcionamiento normal el sistema se adapta a nuevas necesidades del proceso sin cambiar el sistema físico.

# Otras características de las FPGA

## Reconfiguración estática

- **Realización de prototipos de sistemas complejos:** Permite comprobar el funcionamiento real (no simulación) de un sistema a partir de una descripción de alto nivel. Una vez comprobado el funcionamiento del prototipo, se fabrica un ASIC para implementar el sistema final.
- **Realización de sistemas:** La FPGA permite su modificación sin necesidad de rediseñar de nuevo la placa del circuito . Adaptación a diferentes entornos y normas durante su vida útil. Menores tiempos de diseño y costes, rapidez en la comercialización

# Otras características de las FPGA

## Reconfiguración dinámica

- **Sistemas autoverificables:** La FPGA se configura inicialmente en modo verificación y se reconfigura después para la aplicación incrementa la fiabilidad pero también el tamaño, la complejidad y el coste.
- **Interfaces de comunicación reconfigurables:** La mayoría de protocolos de buses actuales incluyen mecanismos de autoconfiguración (“plug and play”) de los dispositivos conectados para distribuir los recursos y el modo de comunicación.
- **Computadores reconfigurables:** Reconfiguran su hardware para adaptarse a los algoritmos a realizar en cada instante . Mayor velocidad que un computador de aplicación general, gran complejidad , dificultad para desarrollar SO adecuados.

# Otras características de las FPGA

## Reconfiguración dinámica

### ➤ Computadores reconfigurables

Como aceleradores de procesamiento en servidores. La FPGA se configura para realizar tareas paralelas readaptándose al algoritmo necesario en cada caso.

### Ejemplo: Microsoft Bing

<http://research.microsoft.com/en-us/projects/catapult/>

<http://streamcomputing.eu/blog/2014-09-16/use-opencl-fpgas/>



# BIBLIOGRAFÍA

- **The Design Warrior's Guide to FPGAs.** Clive “Max”Maxfield
- [www.xilinx.com](http://www.xilinx.com)
- [www.altera.com](http://www.altera.com)
- **FPGA 101.** Gina Smith. Editorial Elsevier.