



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA



DEPARTAMENTO DE
ELECTRONICA

IPD413 - Tarea 2

Prof. Jorge Marin - jorge.marinn@usm.cl

19-05-2023

Actividades

Actividad 1.- Efectos del ruido electrónico en circuitos con MOSFETs y componentes pasivos.

NOTA: Para el desarrollo de esta actividad, investigue el uso de la sentencia de Ngspice llamada ".noise" (sección 15.3.4 en el manual disponible online).

- (a) Considerando la ecuación de ruido térmico del resistor discutida en clases, $v_n^2 = 4k_BTR\Delta f$, verifique analíticamente la regla de pulgar siguiente: "para $R = 1k\Omega$, el ruido de voltaje integrado entre 0 y 1MHz es equivalente a $4\mu V_{RMS}$ ". Utilizando el archivo de simulación de Xschem 'resistor-noise_jm.sch', confirme este cálculo utilizando el divisor de voltaje resistivo dado. Compare sus resultados con el ruido integrado simulado entre 1MHz y 2MHz, y explique lo que observa. (Nota: $T = 300^\circ K$; k_B (cte. de Boltzmann) = $1.380649 \times 10^{-23} \text{ m}^2 \text{ kg s}^{-2} \text{ K}^{-1}$)
- (b) Considerando el análisis del ruido térmico del resistor integrado por un capacitor, explique por qué el ruido integrado no depende del valor del resistor. Comente sobre el aporte del capacitor al ruido del circuito. Utilizando el archivo de simulación de Xschem 'RC-noise_jm.sch', verifique que, para $C_1 = 1pF$, el ruido integrado total (en un ancho de banda suficientemente grande) es aproximadamente $65\mu V_{RMS}$. Grafique el ruido integrado total para C_1 entre 1pF y 100pF, y para R_1 entre 1k Ω y 100k Ω .
- (c) Utilizando el archivo de simulación de Xschem 'mos-noise-corners_jm.sch' como referencia, grafique el ruido de salida de los dispositivos NMOS y PMOS para $W/L = 10\mu m/0,35\mu m$ y compare el resultado. Explique qué tipos de ruido discutidos en clases se observan. Para ambos casos, determine la frecuencia de esquina (corner frequency).

Actividad 2.- Diseño de una OTA de una etapa utilizando la técnica basada en gm/ID

- Diseñe la OTA de una etapa utilizando la técnica basada en gm/ID de la Fig. 1, según las especificaciones de la Tabla 1. Utilice las expresiones de ganancia DC de lazo abierto A_V y producto ganancia-ancho de banda GBW discutidas en clases. Obtenga las curvas gm/ID de los archivos 'n(p)mos_charac_IPD413HW2_LVTxxx.sch' y especifique en detalle sus decisiones de diseño y cálculos de dimensiones para cada grupo de transistores del circuito.
- Simule el diseño en AC, basándose en el archivo de simulación de Xschem 'OTA2_lvt_tb_jm.sch', y grafique el diagrama de Bode en amplitud y fase para determinar A_V y GBW. Comente con respecto a la estabilidad del circuito.
- En relación a la referencia "Fifty Nifty Variations of Two-Transistor Circuits" de H. Pretl, comente qué circuito de dos transistores se utilizan en la OTA de Miller. Comente brevemente en relación a otro dos circuitos con aplicaciones analógicas que le hayan llamado la atención (3 líneas c/u).

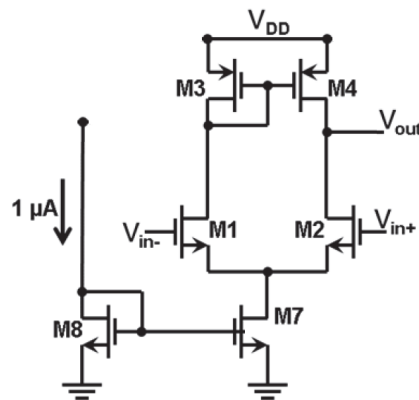


Figura 1: Circuito de la OTA de 1 etapa a diseñar.

I_{M7}	1.5uA
C_L	5pF
Objetivo de opt.	GBW

Tabla 1: Especificaciones de la OTA de 1 etapa.

Reporte y plazo

Entregue sus resultados y discusiones en un informe breve (máximo 6 páginas), que incluya diagramas, gráficos y explicaciones solicitadas. Adjunte igualmente sus archivos de simulación. El nuevo plazo de entrega es el viernes 9 de Junio.

Créditos

Los archivos de simulación y análisis están basados en el trabajo de Louis Alarcon (University of the Philippines, Diliman), y Ángel Abusleme/Agustín Campeny (Pontificia Universidad Católica de Chile).