



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA



DEPARTAMENTO DE
ELECTRONICA

IPD413 - Tarea 1

Prof. Jorge Marin - jorge.marinn@usm.cl

Ayud. Andrés Martínez - andres.martinezf@sansano.usm.cl

21-04-2025

Actividades

Actividad 1.- Caracterización del transistor MOSFET

- (a) Utilizando el archivo de simulación de Xschem 'nmos_charac_IPD413HW1.sch', genere la curva I_{DS} vs V_{GS} para $V_{DS} = 0,45V$, $V_{DS} = 0,9V$ y $V_{DS} = 1,35V$ en un NMOS low voltage (lv) de la tecnología IHP-sg13g2 en escala lineal y logarítmica, y comente con respecto a las regiones de operación discutidas hasta ahora (cuadrática, saturación de velocidad, inversión débil e inversión moderada).
- (b) Genere la familia curvas I_{DS} vs V_{DS} para $V_{GS} = 0,4V, 0,8V$ y $1,5V$, y comente con respecto a las regiones de operación discutidas hasta ahora (lineal, de saturación y transición).
- (c) Grafique las curvas gm/I_D vs V_{GS} y f_T vs V_{GS} para $V_{DS} = 0,75V$, y comente con respecto a las regiones de operación discutidas hasta ahora y los usos potenciales de los dispositivos diseñados en tales regiones.
- (d) Investigue técnicas para extraer los parámetros n y V_{th} . Determine sus valores extraídos a partir de la curva I_{DS} vs V_{GS} para el dispositivo del ejemplo 'nmos_charac_IPD413HW1.sch' y $V_{DS} = 0,75V$.

Actividad 2.- Diseño de un amplificador de fuente común (CS) utilizando la técnica basada en gm/I_D

- (a) Siguiendo la metodología discutida en clases, diseñe un amplificador de fuente común con carga de fuente de corriente ideal. Determine W , L , V_{GS} e I_D para cumplir con las especificaciones de la Tabla 1.

- (b) Utilice el archivo de simulación de Xschem 'cs_amp_full_IPD413HW1.sch' (cuyo circuito se representa en la Fig. 2), para verificar la performance del circuito diseñado. Grafique el diagrama de Bode de la amplitud e interprete los resultados.

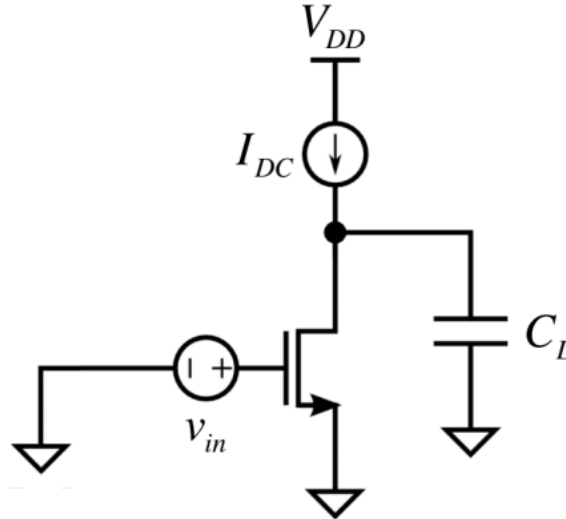


Figura 1: Circuito de simulación de la performance del amplificador CS NMOS.

Ganancia DC	40V/V
GBW	100MHz
C_L	5pF
Objetivo de opt.	Power

Tabla 1: Especificaciones del amplificador CS.

Actividad 3.- Diseño de transistores de potencia para convertidor DC-DC Buck.

En la figura 3) se puede ver el circuito de un convertidor de potencia DC-DC Buck síncrono. Este convertidor reduce un voltaje de entrada DC a un voltaje DC de menor valor, mediante el encendido y apagado de los transistores Q1 y Q2. La conmutación de estos transistores se modela como si fueran interruptores, que se encienden y apagan de forma complementaria.

- (a) Usando el archivo 'TB_hvMOS_POWER_Sizing_IPD413_202501_HW1.sch' y el PDK de IHP-sg13g2, dimensione en una primera iteración W, L y mult de Q1 y Q2 tal que la resistencia de encendido de ambos sea similar para la corriente especificada en 2, y una caída de tensión (V_{on}) lo suficientemente baja para ser modelada como un interruptor. Use un V_g tal que la resistencia de encendido se minimice. Justifique su diseño. ¿En qué región de operación operan los transistores?

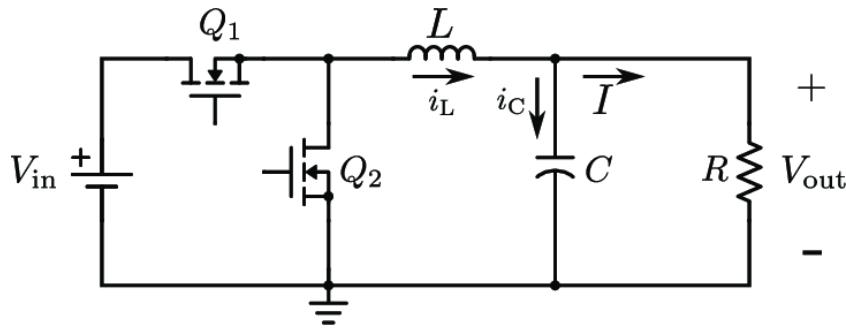


Figura 2: Circuito de convertidor DC-DC Buck sincrónico.

- (b) Usando el archivo 'TB_hvMOS_switch_test_IPD413_202501_HW1.sch' y los tamaños de Q1 y Q2 diseñados, verifique que las señales de disparo logran conmutar a los transistores como si fueran interruptores, y que la corriente de encendido sea la deseada. Grafique V_{c1} y V_{c2} junto con las corrientes I_{ds} .
- (c) Usando el archivo 'TB_DCDCBuck_IPD413_202501_HW1.sch' y los tamaños de Q1 y Q2 diseñados, verifique que se obtiene el voltaje y corriente especificados. Analice las pérdidas y eficiencia. Si no se logra la eficiencia especificada, vuelva a iterar su diseño hasta lograrlo. ¿Qué resistencia de encendido tienen Q1 y Q2?
- (d) Realice un sweep en la frecuencia de conmutación e indique que frecuencia entrega mayor eficiencia. ¿Qué pasa con las pérdidas a mayor frecuencia? ¿Que transistor posee más pérdidas y por qué?
- (e) Haga un estimado del área ocupada, ¿Qué transistor ocupa más área? ¿Qué diferencia en las propiedades eléctricas explica esta diferencia de área?

Vout	1.8 V
r_V	10 % V
I_o	2 A
r_I	30 % V
Po	3.6 W
Eficiencia	$\geq 90 \%$
Objetivo de opt.	Eficiencia

Tabla 2: Especificaciones de convertidor DC-DC Buck síncrono.

Reporte y plazo

Entregue sus resultados y discusiones en un informe breve (máximo 6 páginas, en formato de doble columna tipo artículo IEEE), que incluya diagramas, gráficos y expli-

caciones solicitadas. El plazo de entrega es dos semanas a partir de la publicación del enunciado.

Créditos

Los archivos de simulación y análisis están basados en el trabajo de Louis Alarcon (University of the Philippines, Diliman), y Ángel Abusleme/Agustín Campeny (Pontificia Universidad Católica de Chile).