

IE0411 Microelectrónica -G01-

Tarea 5: Temporización II

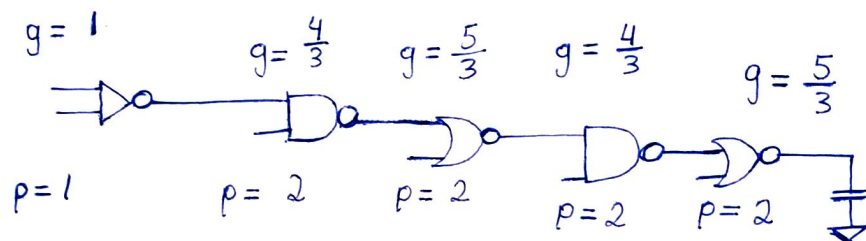
Jorge Muñoz Taylor (A53863) - jorge.munoztaylor@ucr.ac.cr

II-2020

1. Parte A

A.1. Retardo mínimo del path.

- Se tiene para cada etapa del circuito:



- Los valores corresponden al esfuerzo lógico de cada compuerta junto con su retardo p
- Ya con todos los g se puede obtener el esfuerzo lógico del path:

$$G = 1 \cdot \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} \cdot \frac{5}{3}$$

$$\rightarrow G = 4.94$$

- Se tiene entonces:

$$F = G B H$$

Como no hay bifurcaciones
 $B = 1$

$$= (4.94) (1) \left(\frac{180}{45} \right)$$

↖ Esfuerzo eléctrico $\frac{C_{out}}{C_{in}}$

$$F = (4.94)(1)(4)$$

$$\rightarrow F = 19.76$$

- Para obtener P debemos sumar los retardos parásitos de cada compuerta (ver el dibujo hecho al inicio, ahí está el valor de cada retardo):

$$P = \sum p$$

$$\rightarrow P = 1 + 2 + 2 + 2 + 2$$

$$\rightarrow P = 9$$

- Sabiendo que tenemos 5 etapas ya podemos calcular el retardo mínimo:

$$D = N F^{\frac{1}{N}} + P$$

$$= (5)(19.76)^{\frac{1}{5}} + 9$$

$$\rightarrow \boxed{D = 18.08} \rightarrow \text{retardo mínimo del path}$$

A.2. Tiempo de propagación de todo el path:

- Se tiene un valor de τ de $\tau = 11 \text{ ps}$
- Tenemos la relación:

$$d = \frac{t_{pd}}{\tau}$$

- Despejamos t_{pd} :

$$t_{pd} = d \tau$$

- Si tomamos el retardo mínimo de todo el path tenemos:

$$t_{pd} = (18.08)(11 \text{ ps})$$

$$\rightarrow \boxed{t_{pd} = 198.88 \text{ ps}}$$

A.3. Capacitancia de entrada para (x, y, z, ω) :

• Tenemos:

$$h = \frac{C_{out}}{C_{in}}$$

$$\rightarrow C_{in} = \frac{1}{h} C_{out} \quad , \text{ donde } h = \frac{f}{g}$$

$$\rightarrow C_{in} = \frac{g}{f} C_{out} \quad , \text{ donde } f = F^{\frac{1}{N}}$$

$$\rightarrow C_{in} = \frac{g}{(19.76)^{\frac{1}{5}}} \cdot C_{out}$$

$$\rightarrow C_{in} = \frac{g}{1.82} C_{out} \quad \left. \vphantom{\frac{g}{1.82}} \right\} \text{ para cada etapa}$$

Para x :

$$C_{in_x} = \frac{4}{3(1.82)} (180) = \boxed{131.87}$$

Para y :

$$C_{in_y} = \frac{5}{3(1.82)} (180) = \boxed{164.83}$$

Para z :

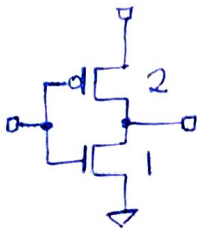
$$C_{in_z} = \frac{5}{3(1.82)} (180) = \boxed{164.83}$$

Para ω :

$$C_{in\omega} = \frac{4}{3(1.82)} (180) = \boxed{131.87}$$

A.4. El dimensionamiento de los transistores:

• Inversor de entrada:



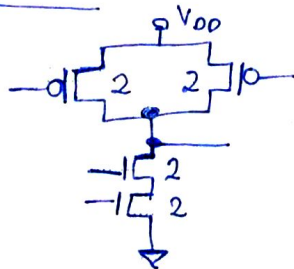
$$\left. \begin{array}{l} \text{pmos} : k = 2 \\ \text{nmos} : k = 1 \end{array} \right\} \text{comparadas con el inversor}$$

$$\frac{C_{in}}{f} = \frac{45}{1.82} = 24.72$$

• El dimensionamiento queda:

$$\begin{array}{l} \text{pmos} = 2 \cdot (24.72) = 49.45 \\ \text{nmos} = 1 \cdot (24.72) = 24.72 \end{array}$$

• Para x:



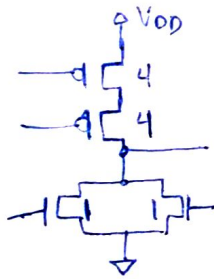
$$\begin{array}{l} \text{pmos: } k = 1 \cdot (2) = 2 \quad \downarrow \text{inversor} \\ \text{nmos: } k = 2 \cdot (1) = 2 \quad \uparrow \text{inversor} \end{array}$$

- El dimensionamiento queda:

$$p_{mos} = \left(\frac{131.87}{1.82} \right) \cdot 2 = 144.91$$

$$n_{mos} = \left(\frac{131.87}{1.82} \right) \cdot 2 = 144.91$$

- Para y :



$$p_{mos}: K = 2 \cdot 2 = 4$$

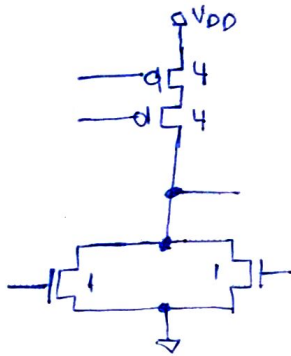
$$n_{mos}: K = 1 \cdot 1 = 1$$

- El dimensionamiento queda:

$$p_{mos} = \left(\frac{164.83}{1.82} \right) \cdot 4 = 362.26$$

$$n_{mos} = \left(\frac{164.83}{1.82} \right) \cdot 1 = 90.56$$

• Para z :



$$\text{pmos: } K = 2 \cdot 2 = 4$$

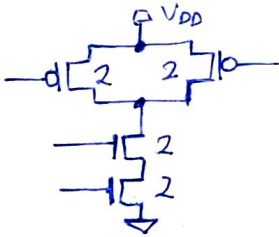
$$\text{nmos: } k = 1 \cdot 1 = 1$$

El dimensionamiento queda:

$$\text{pmos} = \left(\frac{164.83}{1.82} \right) \cdot 4 = 362.26$$

$$\text{nmos} = \left(\frac{164.83}{1.82} \right) \cdot 1 = 90.56$$

• Para w :



$$\text{pmos: } k = 2 \cdot 1 = 2$$

$$\text{nmos: } k = 1 \cdot 2 = 2$$

El dimensionamiento queda:

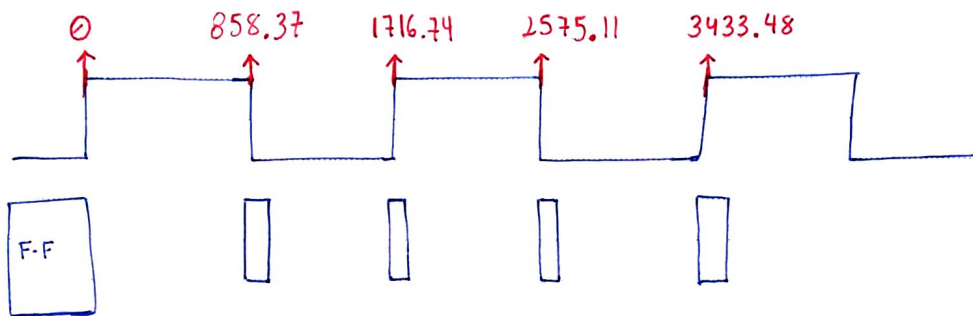
$$\text{pmos} = \left(\frac{131.87}{1.82} \right) \cdot 2 = 144.91$$

$$\text{nmos} = \left(\frac{131.87}{1.82} \right) \cdot 2 = 144.91$$

2. Parte B

1) Valor máximo de Borrowing por etapa

- El periodo del reloj : $T = \frac{1}{582.5 \text{ MHz}} = 1716.74 \text{ ps}$



$$\text{Latch 1: } \frac{T}{2} - (t_{\text{setup}_B} + \text{skew}) = 858.37 - (60 + 5) = 793.37 \text{ ps}$$

$$\text{Latch 2: } \frac{T}{2} - (t_{\text{setup}_D} + \text{skew}) = 858.37 - (35 + 5) = 818.37 \text{ ps}$$

$$\text{Latch 3: } \frac{T}{2} - (t_{\text{setup}_A} + \text{skew}) = 858.37 - (25 + 5) = 828.37 \text{ ps}$$

$$\text{Latch 4: } \frac{T}{2} - (t_{\text{setup}_D} + \text{skew}) = 858.37 - (35 + 5) = 818.37 \text{ ps}$$

- Entonces, el borrowing máximo por etapa es:

$$\text{Etapa 1: } 858.37 + 793.37 = \boxed{1651.74 \text{ ps}}$$

$$\text{Etapa 2: } 1716.74 + 818.37 = \boxed{2535.11 \text{ ps}}$$

$$\text{Etapa 3: } 2575.11 + 828.37 = \boxed{3403.48 \text{ ps}}$$

$$\text{Etapa 4: } 3433.48 + 818.37 = \boxed{4251.85 \text{ ps}}$$

2) Determinar cuales etapas presentan borrowing y calcular el tiempo por etapa.

$$\text{Etapa 1: } \Delta_1 - 858.37 = 798 - 858.37 = -60.37 \text{ ps}$$

$$\text{Etapa 2: } \Delta_2 - 1716.74 = 2095 - 1716.74 = 378.26 \text{ ps (borrow)}$$

$$\text{Etapa 3: } \Delta_3 - 2575.11 = 2988 - 2575.11 = 412.89 \text{ ps (borrow)}$$

$$\text{Etapa 4: } \Delta_4 - 3433.48 = 4200 - 3433.48 = 766.52 \text{ ps (borrow)}$$

* Las etapas 2, 3 y 4 presentan borrowing

3) Determinar si existe violación de tiempos de setup en los latches

$$\text{Etapa 1: } (\Delta_1 = 798) < (t_{\text{borrow máx}_1} = 1651.74 \text{ ps})$$

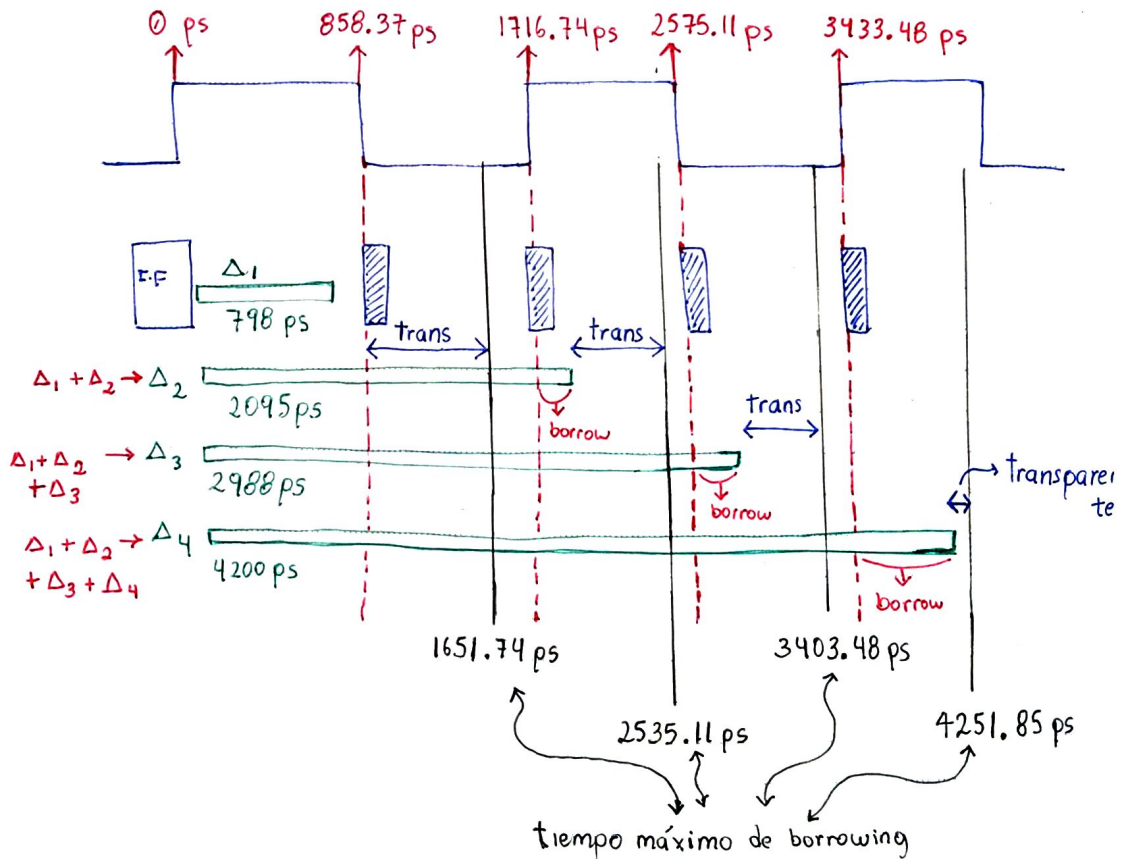
$$\text{Etapa 2: } (\Delta_2 = 2095) < (t_{\text{borrow máx}_2} = 2535.11 \text{ ps})$$

$$\text{Etapa 3: } (\Delta_3 = 2988) < (t_{\text{borrow máx}_3} = 3403.48 \text{ ps})$$

Etapa 4: ($\Delta_4 = 4200$) < ($t_{\text{borrow máx}_4} = 4251.85 \text{ ps}$)

\therefore No hay violación de setup en ninguna etapa

4) Dibujar los diagramas de tiempo del circuito



- Rangos donde operan en modo transparente :

Latch 1: [858.37 ps ~ 1651.74 ps]

Latch 2: [2095 ps ~ 2535.11 ps]

Latch 3: [2988 ps ~ 3403.48 ps]

Latch 4: [4200 ~ 4251.85 ps]

5)