

Procesadores para cómputo de altas prestaciones

Introducción: Tendencias Tecnológicas

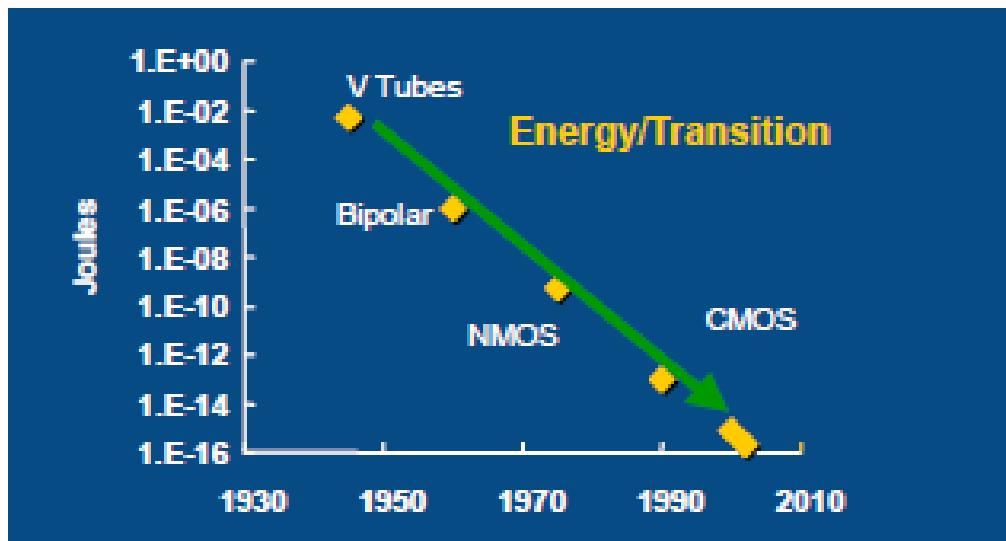
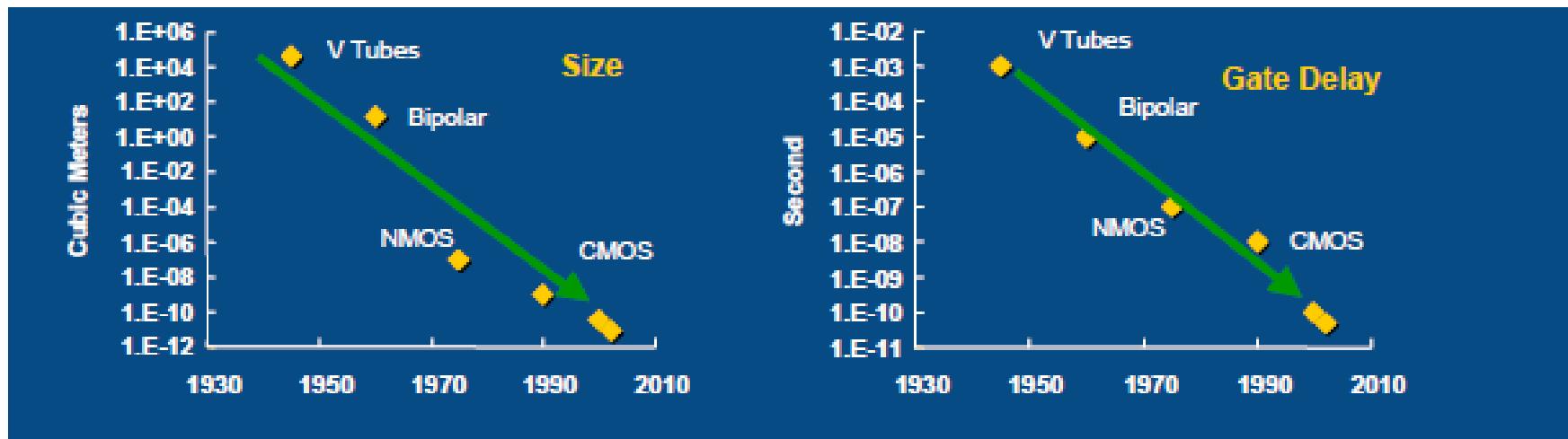
- 1. Introducción: Tendencias tecnológicas, costo/ rendimiento/consumo
- 2. Aspectos básicos de la segmentación. Diseño de un procesador segmentado, tipos de riesgos, segmentación con operaciones multiciclo.
- 3. Paralelismo a nivel de instrucción: planificación dinámica. Tratamiento de dependencias de control: Predicción de saltos. Especulación.
- 4. Ejecución de múltiples instrucciones por ciclo. Límites del paralelismo a nivel de instrucción. Procesadores multithreading, Multiprocesadores en un chip (Multi /Many cores).
- 5. Jerarquía de memoria: Cache, reducción de fallos, ocultación de latencia, memoria principal

- El entorno tecnológico
 - Rendimiento
 - Costo
-
- Lecturas recomendadas

- G. E. Moore " Cramming More Components onto IC", *Electronic*, april 1965
- J. L. Henning. " SPEC CPU2000: Measuring CPU performance in the new millennium." *IEEE Computer*, July 2000. 28-35
- M Flynn, P Hung, "Microprocessor Design Issues: Thoughts on the Road Ahead", *IEEE Micro*, May-June 2005, pp16-31, 2005
- T. Agerwala, S Chatterjee "Computer Architecture Challenges and Opportunities for the Next Decade" *IEÉE Micro*, May-June 2005, pp58-69, 2005
- H McGhan " SPEC 2006 Benchmark Suite", *Microprocessor Report* , October 10, 2006,
- V Agerwala, et all " Clock Rate versus IPC: The End of the Road for Convencional Microarchitectures" *ISCA27*, pp248-259, 2000 Lecture on Computer Science, Morgan&Claypool, 2011.
- Mario Nemirovsky, Dean M. Tullsen, " Multithreading Architecture", *Synthesis Lecture on Computer Science*, Morgan&Claypool, 2013.

Evolución y tendencias

El escalado de la tecnología continua.



Evolución y tendencias

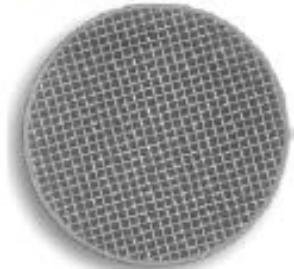
- 1949 EDSAC 10^2 op/seg
- 1957 Transistor: de 10^3 a 10^4 op/seg
 - DEC PDP-1 (1957)
 - IBM 7090 (1960)
- 1965 CI: de 10^5 a 10^6 op/seg
 - IBM System 360 (1965)
 - DEC PDP-8 (1965)
- 1971 Microprocesador
 - Intel 4004
- 2003 más de 3×10^{13} op/seg
- 2012 > 10^{15} op/seg (1 petaflop)
 - 1º K Computer Fujitsu 548352 cores, 8.162 Pflops
Sparc 64VIIIfx 2Ghz, red Tofu



Transistor (47) PN 56



CI (58) PN2000

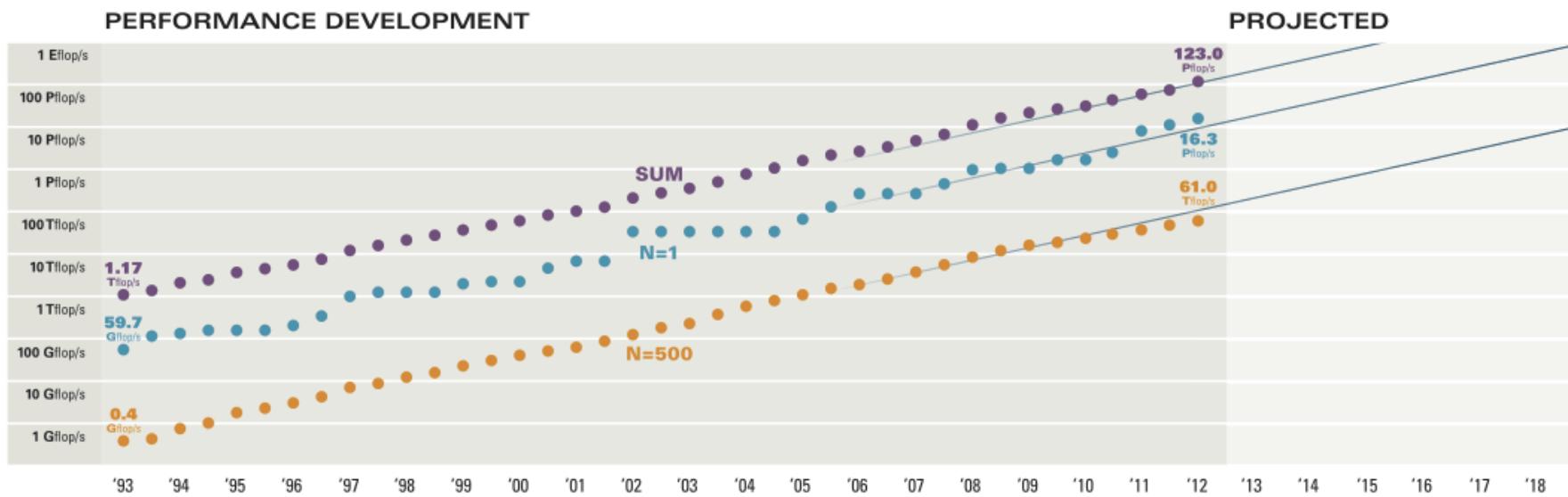


Oblea (Wafer)

Evolución y tendencias

- ❑ Top 500 jun 2011 a jun 2012
- ❑ De lista anterior a actual (12 meses)
- ❑ Total de 58.9 Pflops a 123,41Pflops
- ❑ En último 31.1 Tflops a 60,82 Tflops

	NAME	SPECS	SITE	COUNTRY	CORES	R_{max} Pflop/s
1	Sequoia	IBM BlueGene/Q, Power BQC 16C 1.60 GHz, Custom interconnect	DOE / NNSA / LLNL	USA	1,572,864	16.33
2	K computer	Fujitsu SPARC64 VIIIfx 2.0GHz, Tofu interconnect	RIKEN AICS	Japan	705,024	10.51
3	Mira	IBM BlueGene/Q, Power BQC 16C 1.60 GHz, Custom interconnect	DOE / SC / ANL	USA	786,432	8.153
4	SuperMUC	IBM iDataPlex DX360M4, Xeon E5-2680 8C 2.70GHz, Infiniband QDR	Leibniz Rechenzentrum	Germany	147,456	2.897
5	Tianhe-1A	NUDT YH MPP, Xeon X5670 6C 2.93 GHz, NVIDIA 2050	NUDT/NSCC/Tianjin	China	186,368	2.566



□ La Ley de Moore

Cramming More Components onto Integrated Circuits

GORDON E. MOORE, LIFE FELLOW, IEEE

With unit cost falling as the number of components per circuit rises, by 1975 economics may dictate squeezing as many as 65 000 components on a single silicon chip.

The future of integrated electronics is the future of

Each approach evolved rapidly and converged so that each borrowed techniques from another. Many researchers believe the way of the future to be a combination of the



Fig. 2.

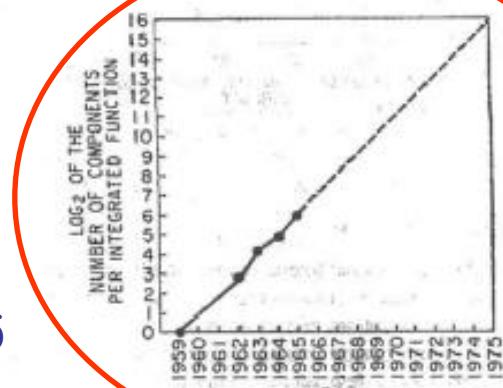


Fig. 3.

diagram to technological realization without any sp engineering.

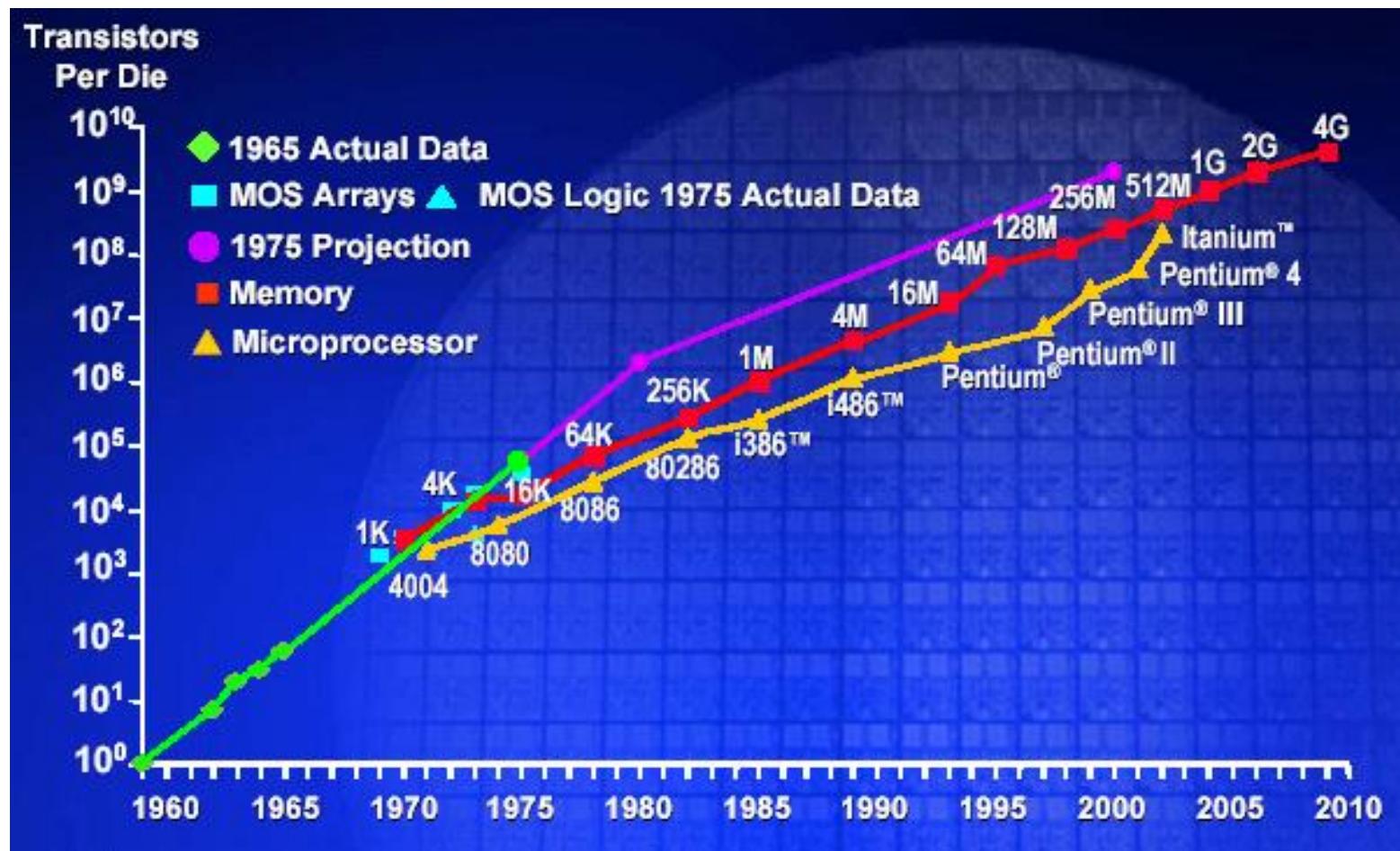
It may prove to be more economical to build systems out of smaller functions, which are separately packaged and interconnected. The availability of large functional blocks combined with functional design and construction, shall allow the manufacturer of large systems to design and construct a considerable variety of equipment both rapidly and economically.

IX. LINEAR CIRCUITRY

Integration will not change linear systems as radically as digital systems. Still, a considerable degree of integration will be achieved with linear circuits. The lack of low-value capacitors and inductors is the greatest fundamental limitation to integrated electronics in the linear area.

Electronic- Abril1965

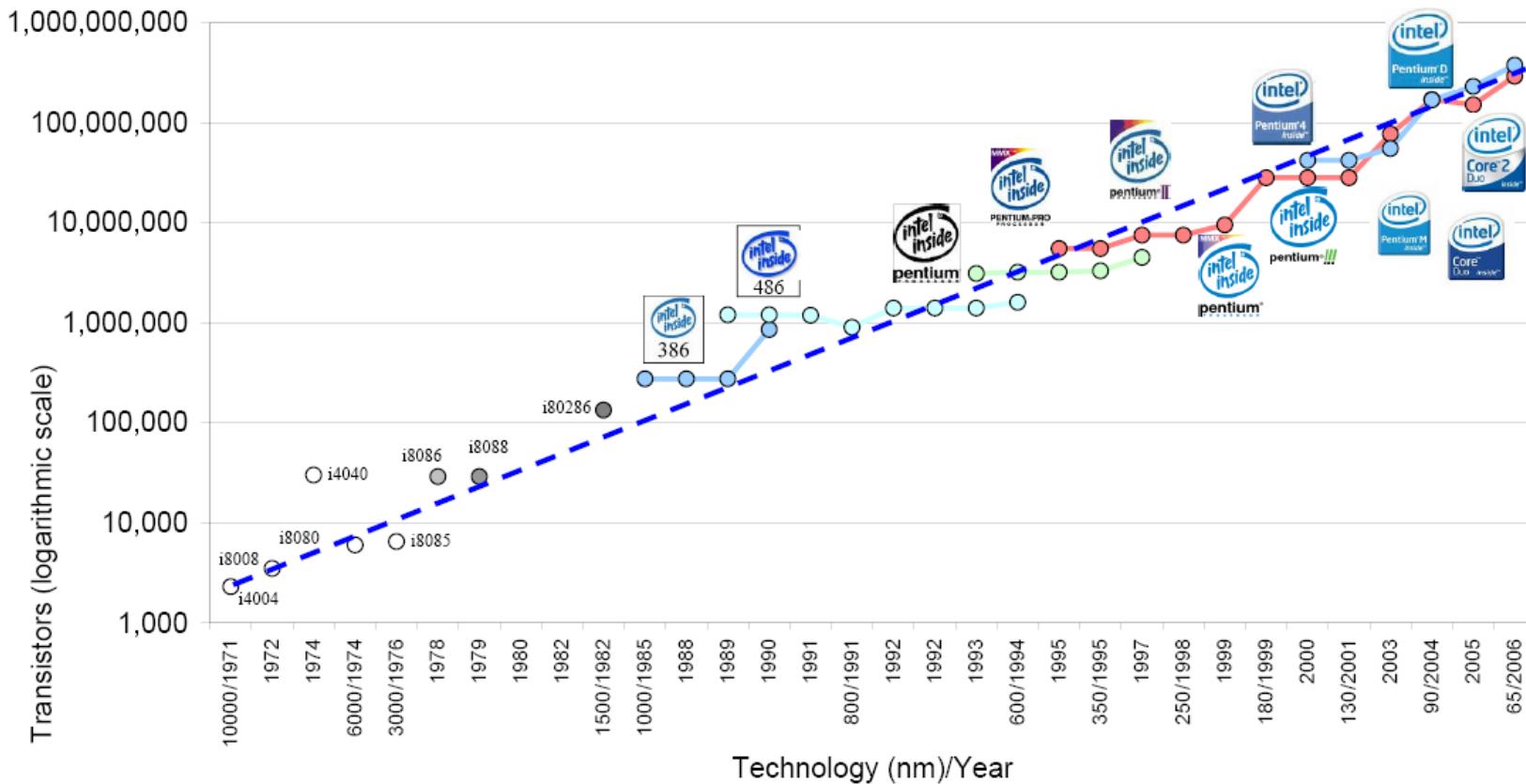
□ La Ley de Moore se ha cumplido



Fuente: Intel Corporation

El entorno

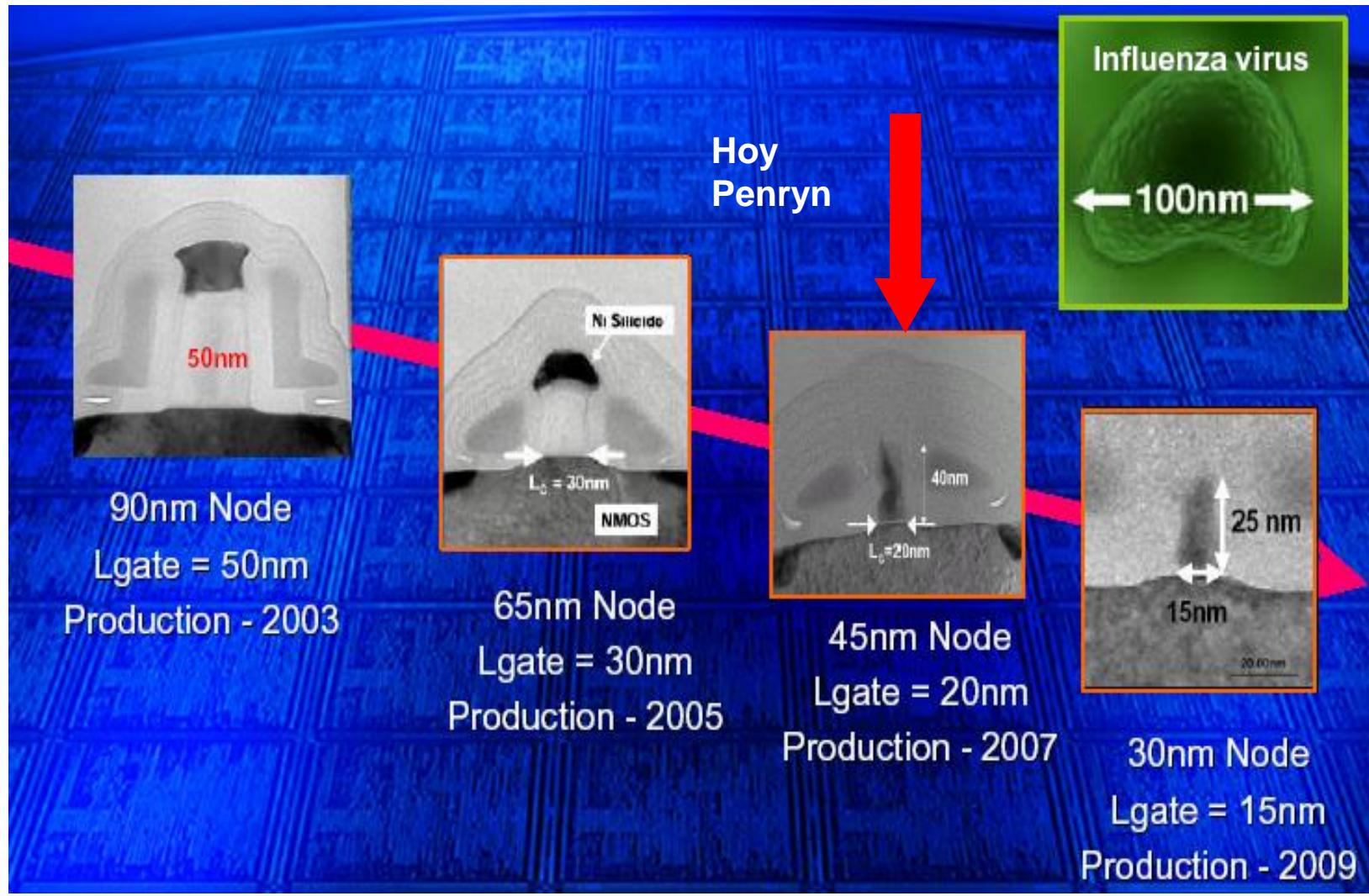
□ La Ley de Moore se ha cumplido



Fuente: Intel Corporation

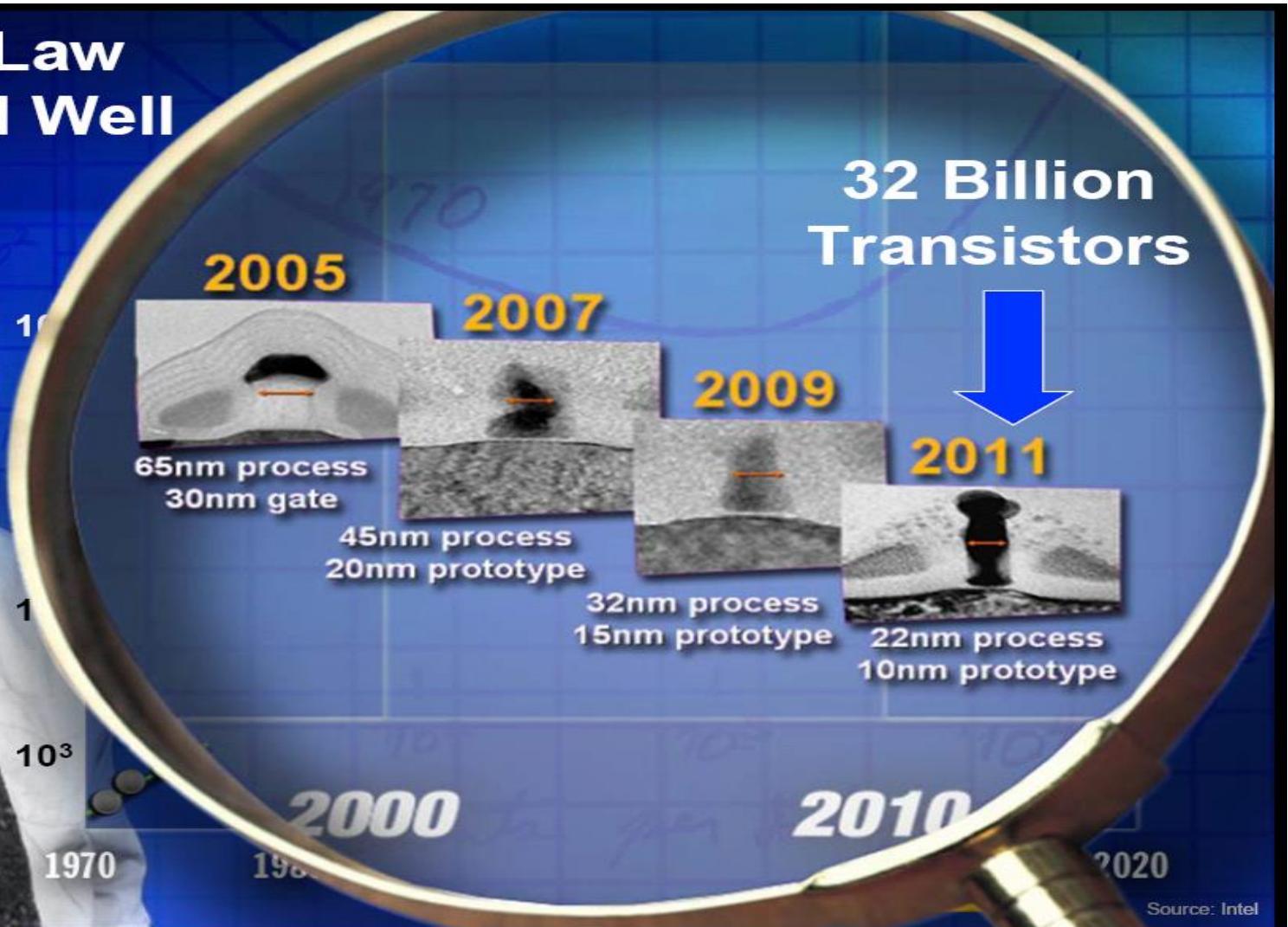
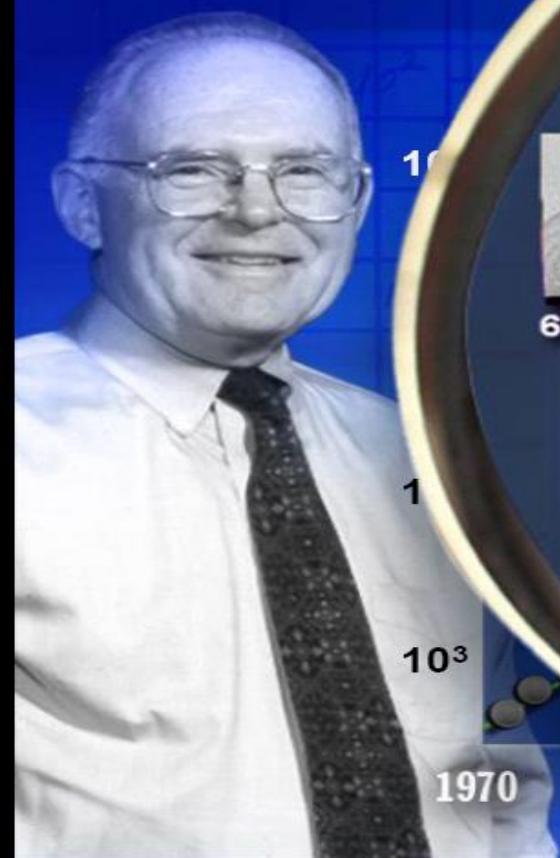
La Ley de Moore

□ La Ley de Moore continua



Fuente: Intel Corporation

Moore's Law Alive and Well



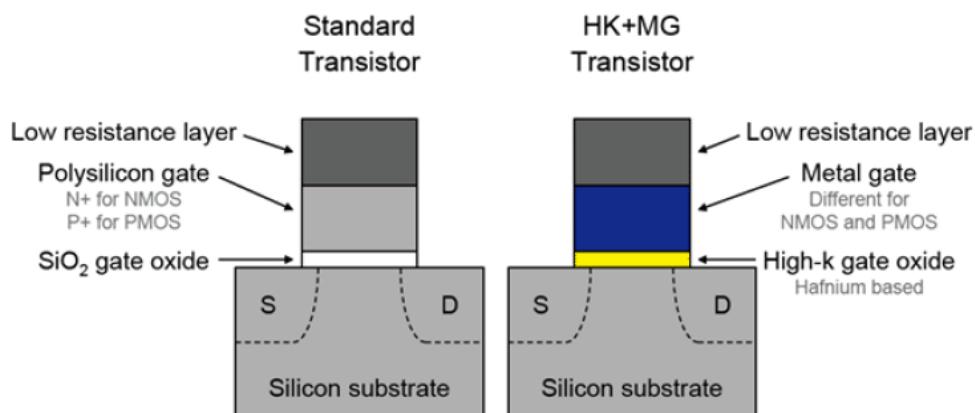
Fuente: Intel Corporation

La Ley de Moore

Process Name	P856	P858	Px60	P1262	P1264	P1266	P1268	P1270
1 st production	1997	1999	2001	2003	2005	2007	2009	2011
Process	250 nm	180 nm	130 nm	90 nm	65 nm	45 nm	32 nm	22 nm
Wafer size	200	200	200/300	300	300	300	300	300
Inter-connect	Al	Al	Cu	Cu	Cu	Cu	Cu	?
Metal layers	5	6	6	7	8	9	?	?
Channel	Si	Si	Si	Strained Si	Strained Si	Strained Si	Strained Si	Strained Si
Gate Dielectric	SiO ₂	High-k	High-k	High-k				
Gate electrode	Poly-Si	Poly-Si	Poly-Si	Poly-Si	Poly-Si	Metal	Metal	Metal
Lithography	248 nm	248 nm	248 nm	193 nm	193 nm	193 nm	EUV 13.4 nm	EUV 13.4 nm

(Subject to change)

Manufacturing process details from 1997 to 2011



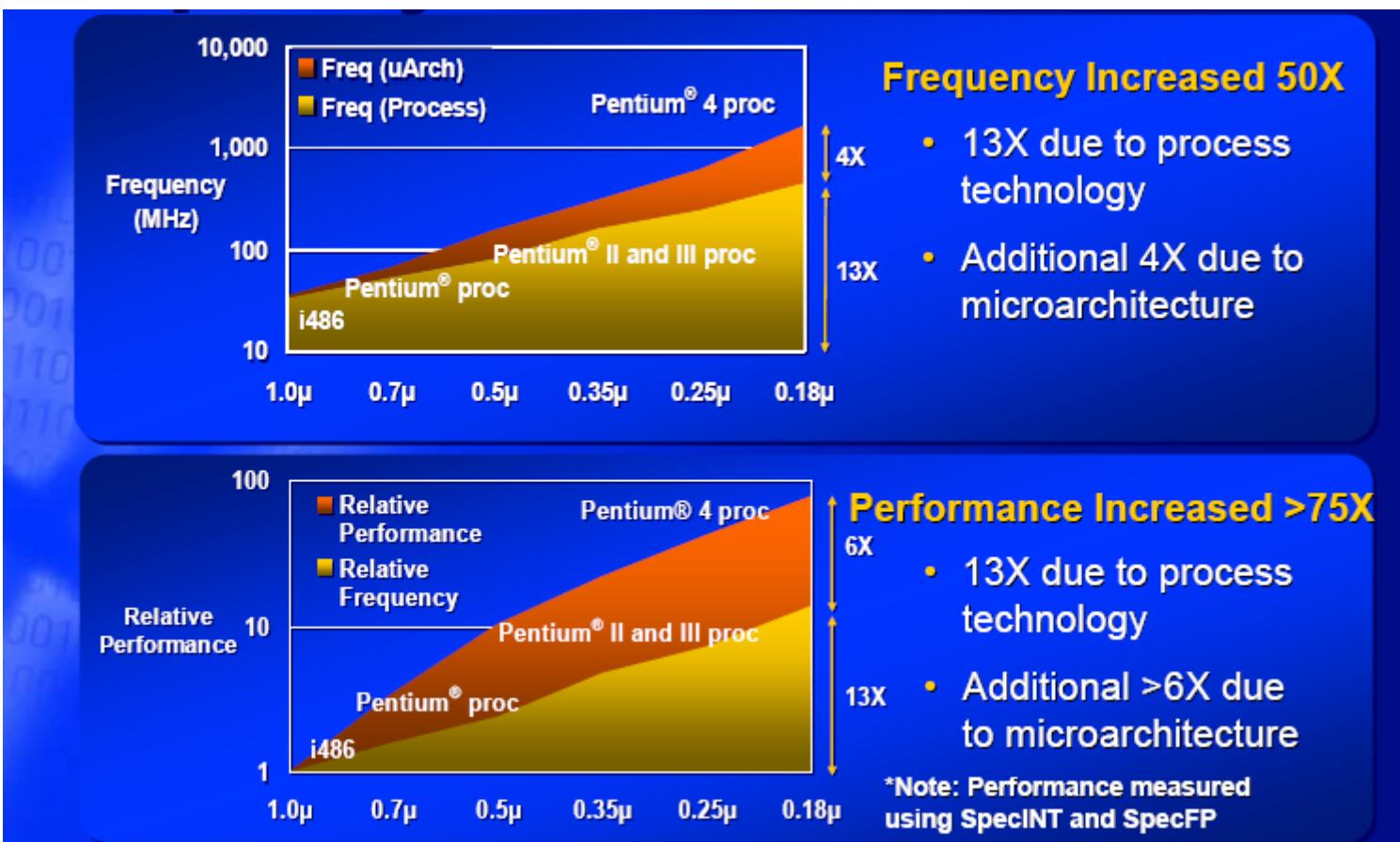
Fuente: Intel Corporation

- Microelectrónica + Microarquitectura
- Una industria con un progreso que no tiene equivalente
- Doblado cada 18 meses (1982-2000):
 - total de incremento 3,200X
 - Los coches viajarían a 176,000 MPH; y recorrerían 64,000 miles/gal.
 - El viaje: L.A. a N.Y. en 5.5 seg (MACH 3200)
- Doblado cada 24 meses (1971-2001):
 - total de incremento 36,000X
 - Los coches viajarían a 2,400,000 MPH; y recorrerían 600,000 miles/gal.
 - El viaje: L.A. a N.Y. en 0.5 seg (MACH 36,000)

[John Crawford, Intel, 1993]

La Ley de Moore

□ La Ley de Moore continua



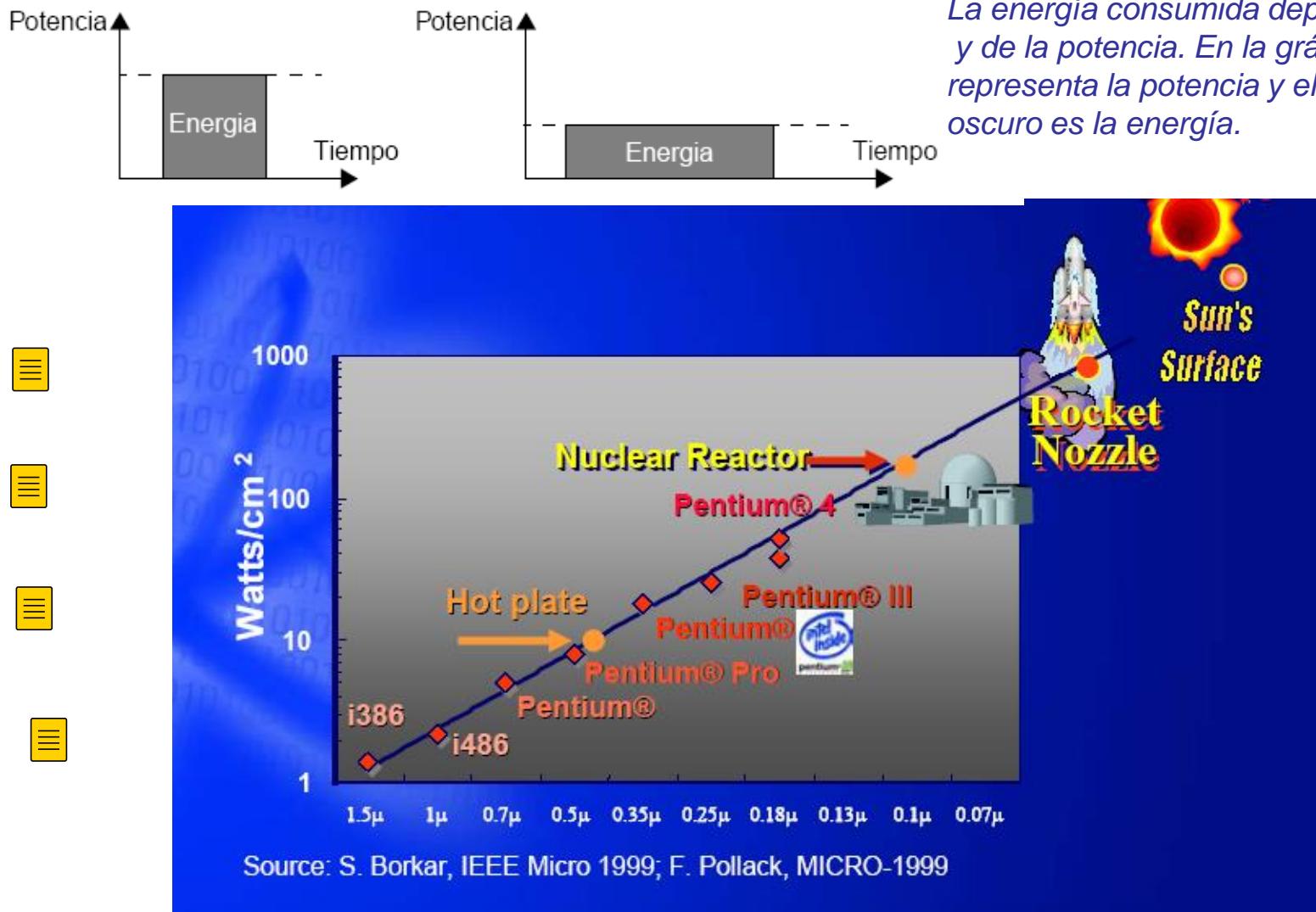
50X in frequency and 75X in performance

Fuente: Intel Corporation

- El escalado tecnológico propiciado por la ley de Moore está próximo a su fin.
- Las diferentes predicciones lo fijan para el nodo de 5nm en el entorno del 2022- 2025.
- Esta situación abre nuevos interrogantes sobre la futura evolución de los computadores, desde vías continuistas, "gate all-around", chip 3D, materiales III-IV, a otras completamente nuevas como la Computación Cuántica o la Computación Neuromorfica.
- Pero esto es otra historia

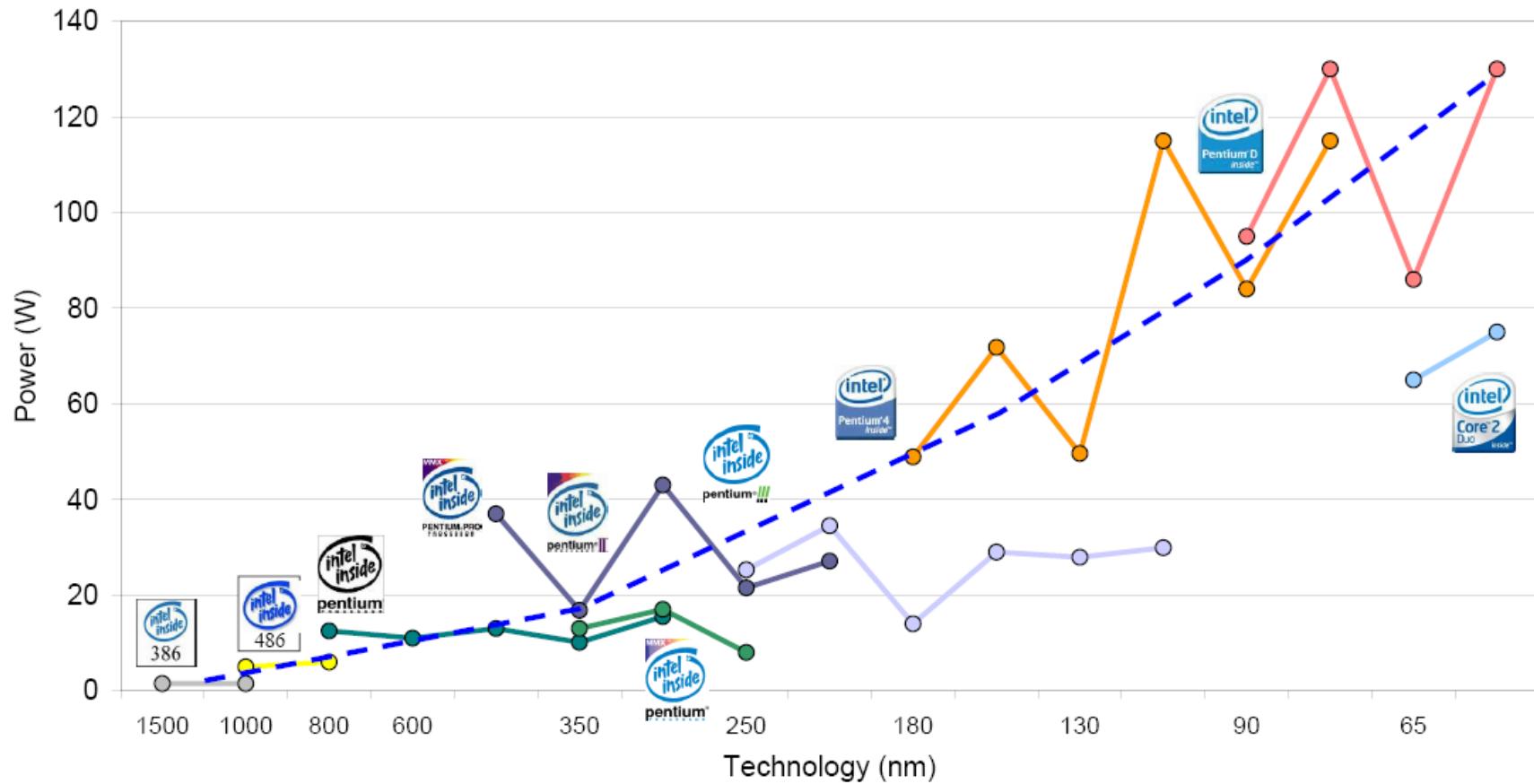
1º problema consumo

□ Energía y potencia (energía por unidad de tiempo)



1º problema consumo

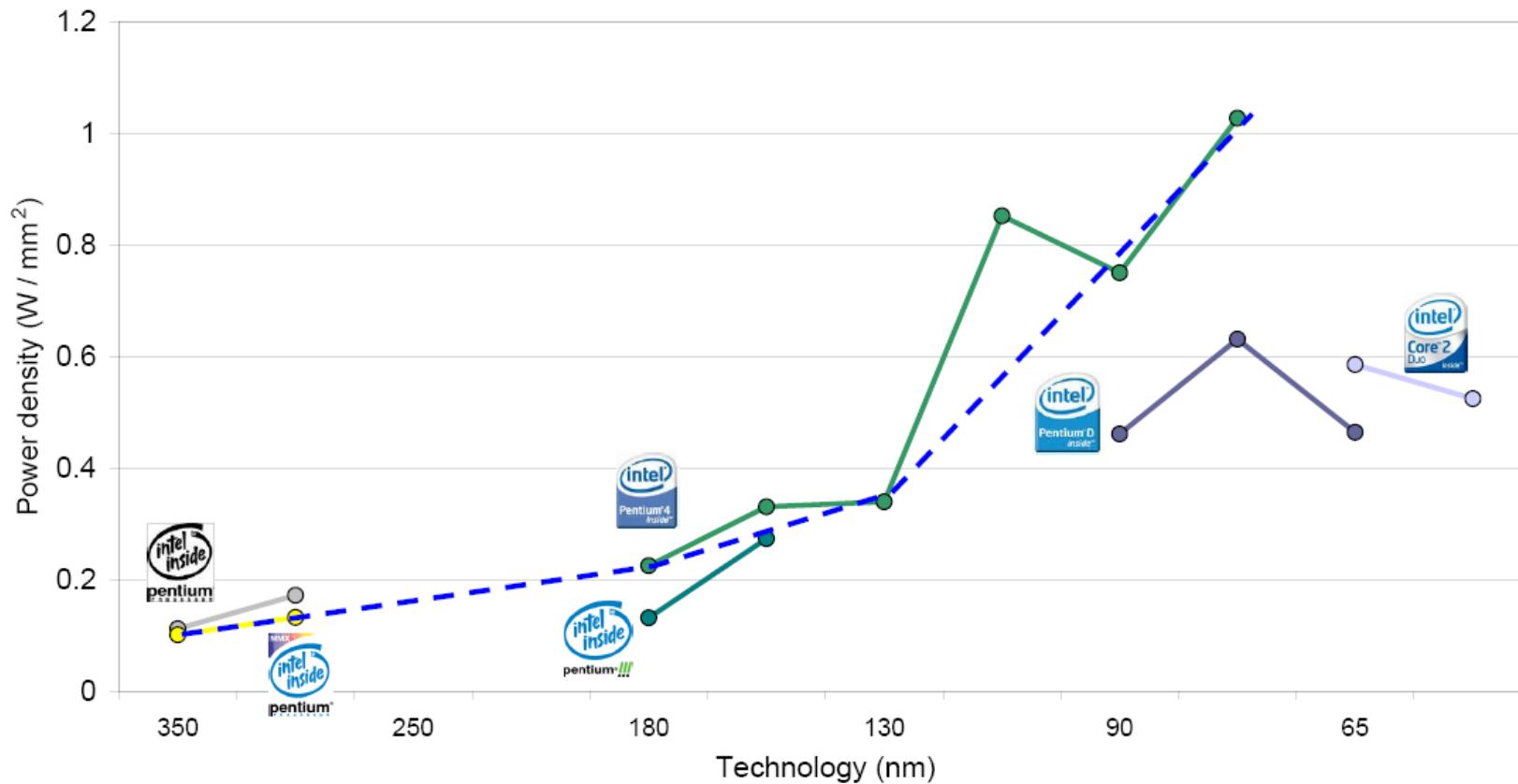
□ Energía y potencia (energía por unidad de tiempo)



Fuente: Intel Corporation

1º problema consumo

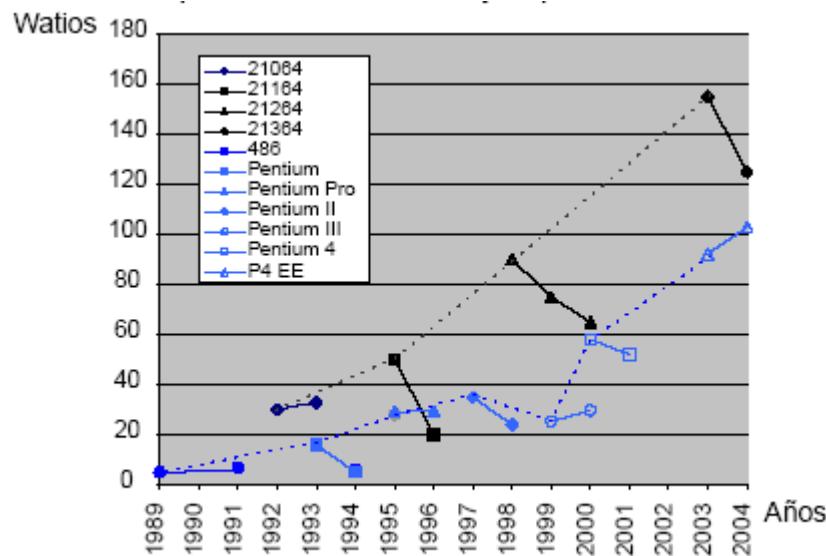
□ Energía y potencia (energía por unidad de tiempo)



Fuente: Intel Corporation

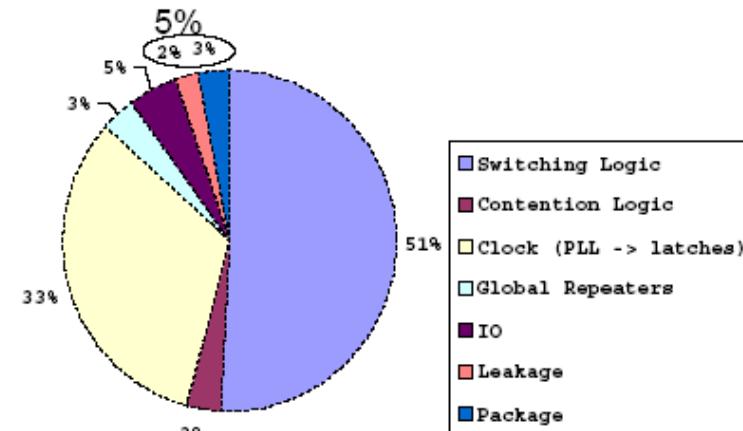
1º problema consumo

□ Energía y potencia (energía por unidad de tiempo)



□ Itanium 2 (130 W)

✓ 180 nm, 3MBytes (L3), 1GHz, 1.5 volt.



Tres componentes

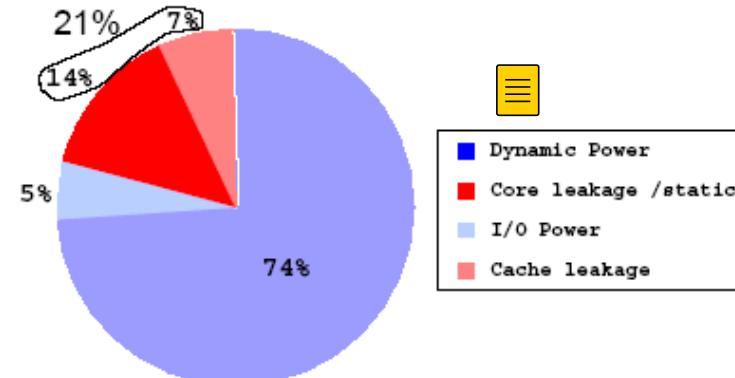
Commutación $P = Cx V^2 x f$ ↑↑↑

Fugas (gate leakage)

Cortocircuito (subthreshold leakage)

✓ 130 nm, 6Mbytes (L3), 1.5 GHz, 1.3 volt.

► fugas: 3.5X



1º problema consumo

□ Energía y potencia

- o ¿ Que hacer para seguir mejorando el rendimiento de los sistemas?

Mejora a nivel de un core. Balance power-performance

Integrar múltiples cores en un chip. Balance complejidad del core-numero de cores

Chip heterogeneos y aceleradores on chip



□ Espacio de diseño

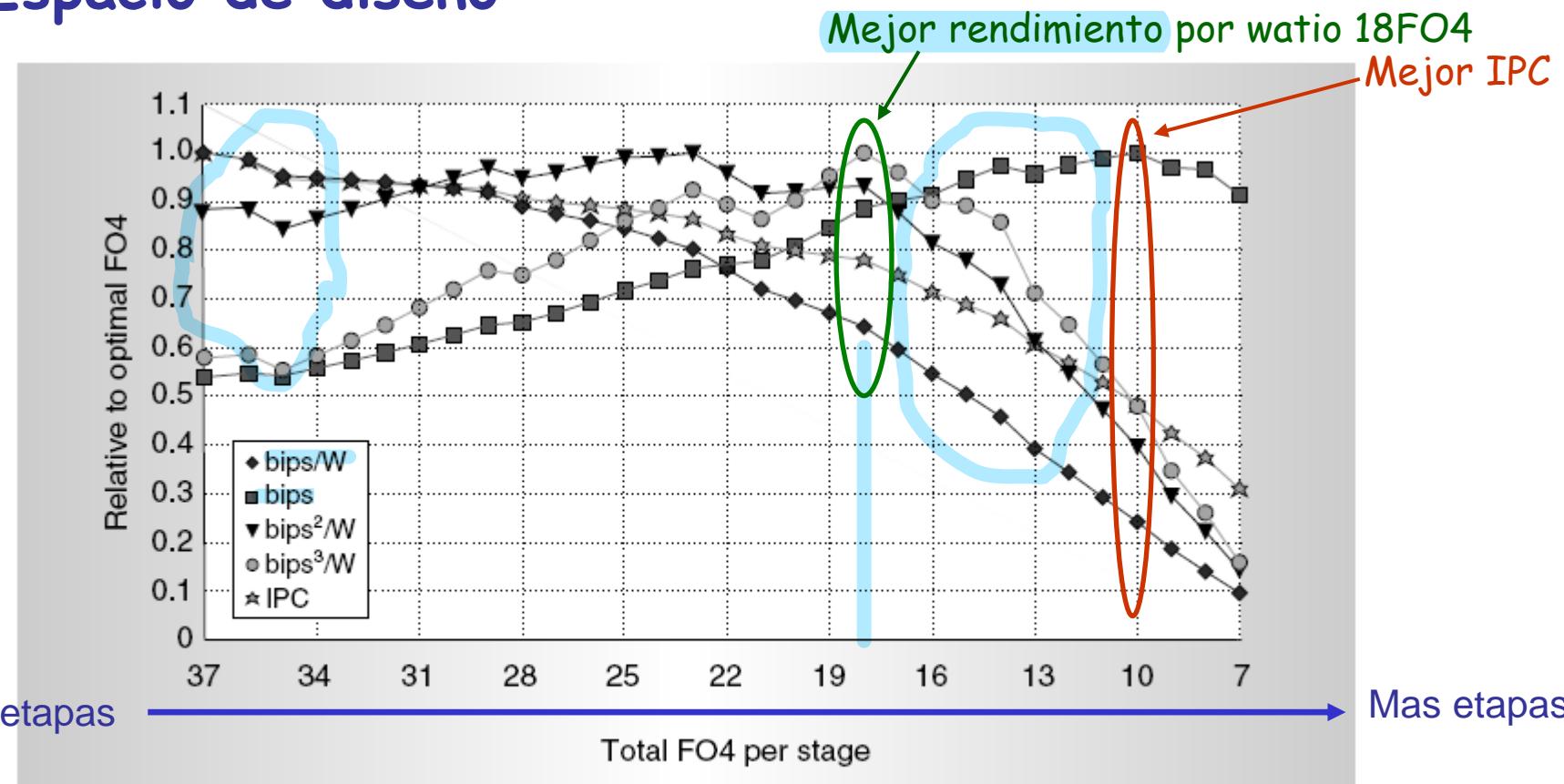


Figure 2. Power-performance trade-off in a single-processor pipeline.⁵ (Copyright IEEE Press, 2002.)

FO4 Fan-out of four (retardo de un inversor con 4 cargas), medida del retardo de una etapa de un pipeline

New methodology for early-stage, microarchitecture-level power-performance analysis of microprocessors

<http://portal.acm.org/citation.cfm?id=1014606>

<http://citeseerx.ist.psu.edu/>

□ Espacio de diseño

Técnicas Power-aware

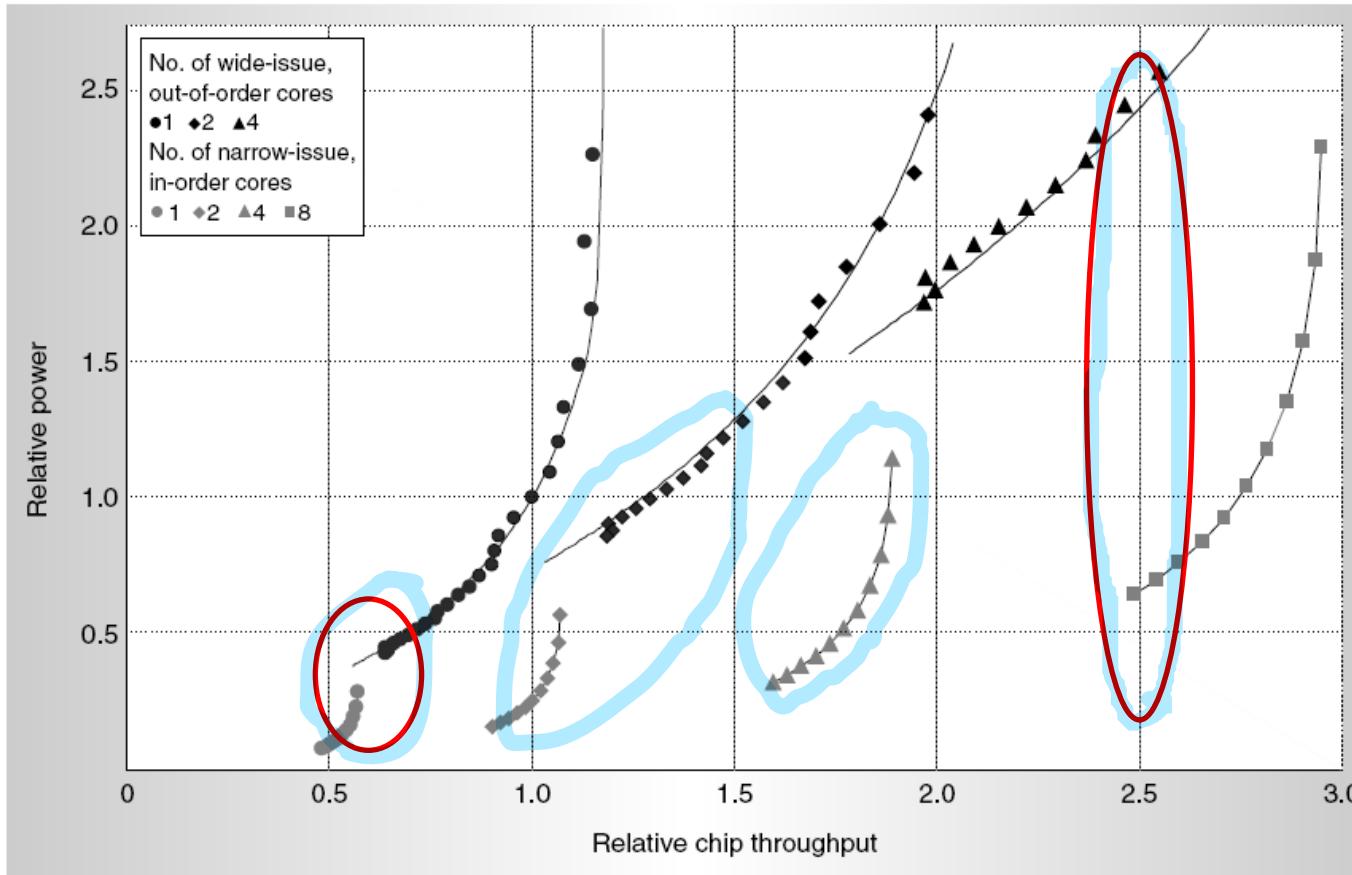
- o Clock gating, Pruning the clock disables portions of the circuitry so that the flip-flops in them do not have to switch states
- o Diferentes dominios de reloj,
- o Cores simples,
- o Voltage gating(UF, bloques de cache),
- o Resizing adaptivo, 
- o Voltaje dinámico y escalado de frecuencia

1º problema consumo

□ Espacio de diseño- cores-



o Número versus complejidad

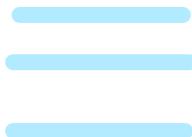
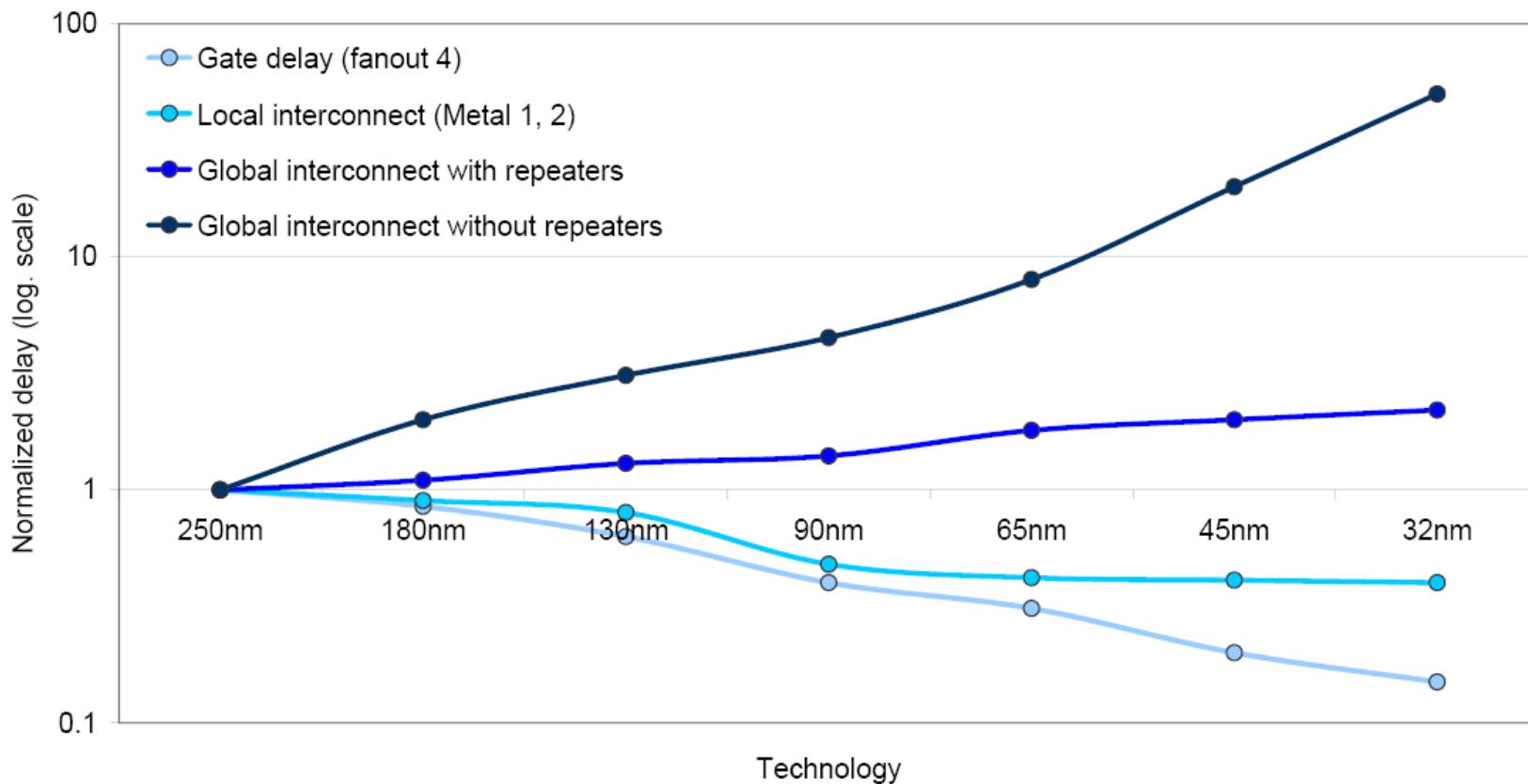


- o Cores simples mejor
- o Tipo de paralelismo que explotan

Figure 4. Power-performance trade-offs in integrating multiple cores on a chip. (Courtesy of V. Zyuban, "Power-Performance Optimizations across Microarchitectural and Circuit Domains," invited course at Swedish Intellect Summer School on Low-Power Systems on Chip, 23 to 25 Aug. 2004.)

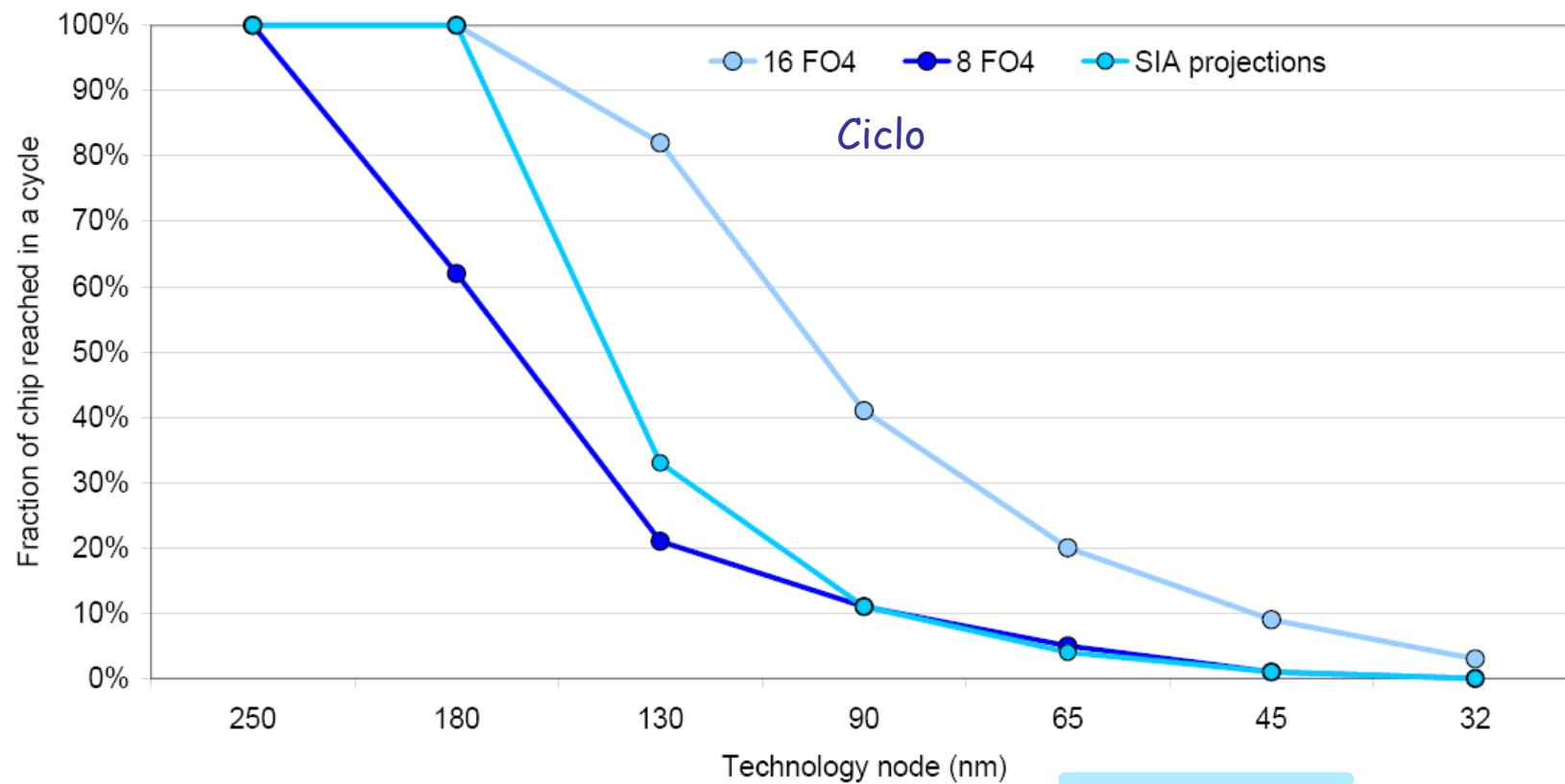
2º problema retardo interconexiones

□ Retardo de la interconexiones



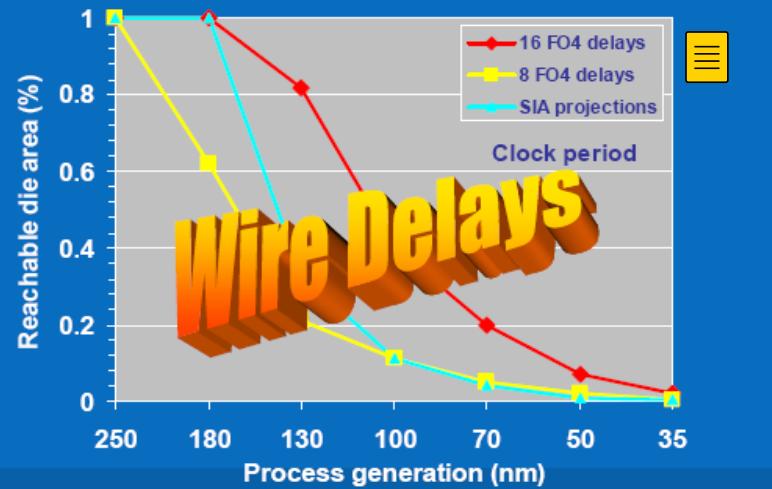
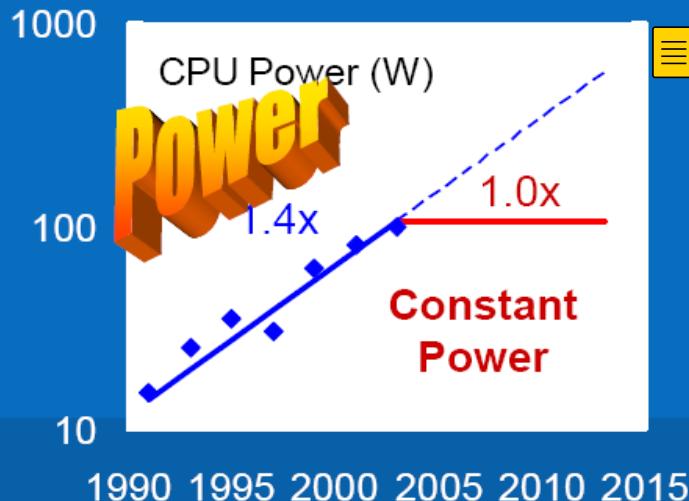
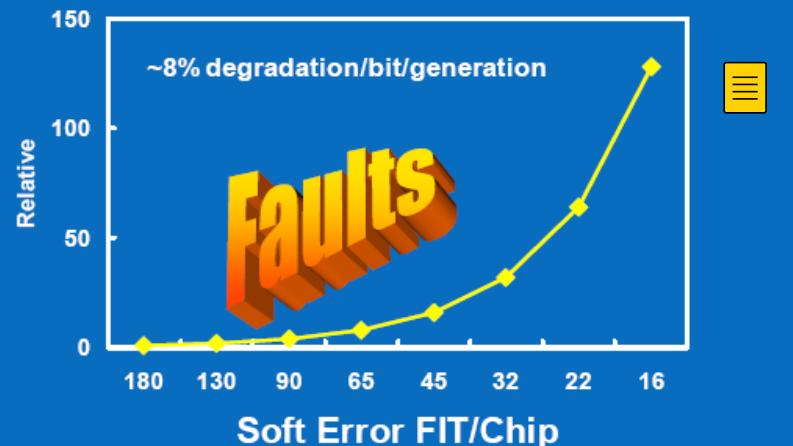
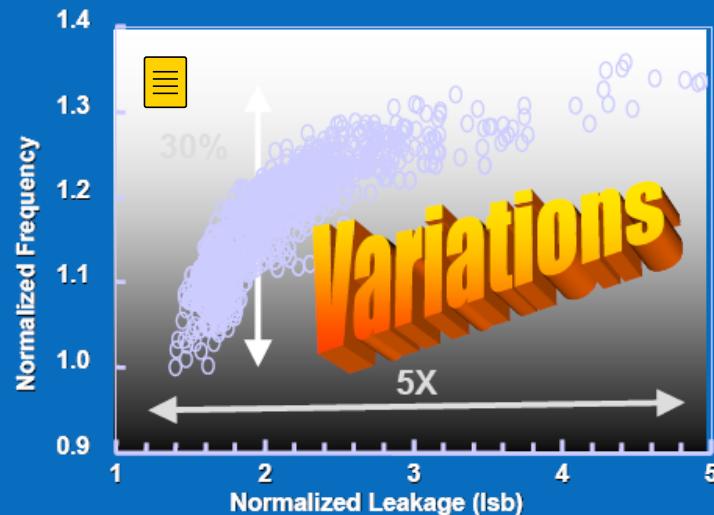
2º problema retardo interconexiones

□ Retardo de la interconexiones

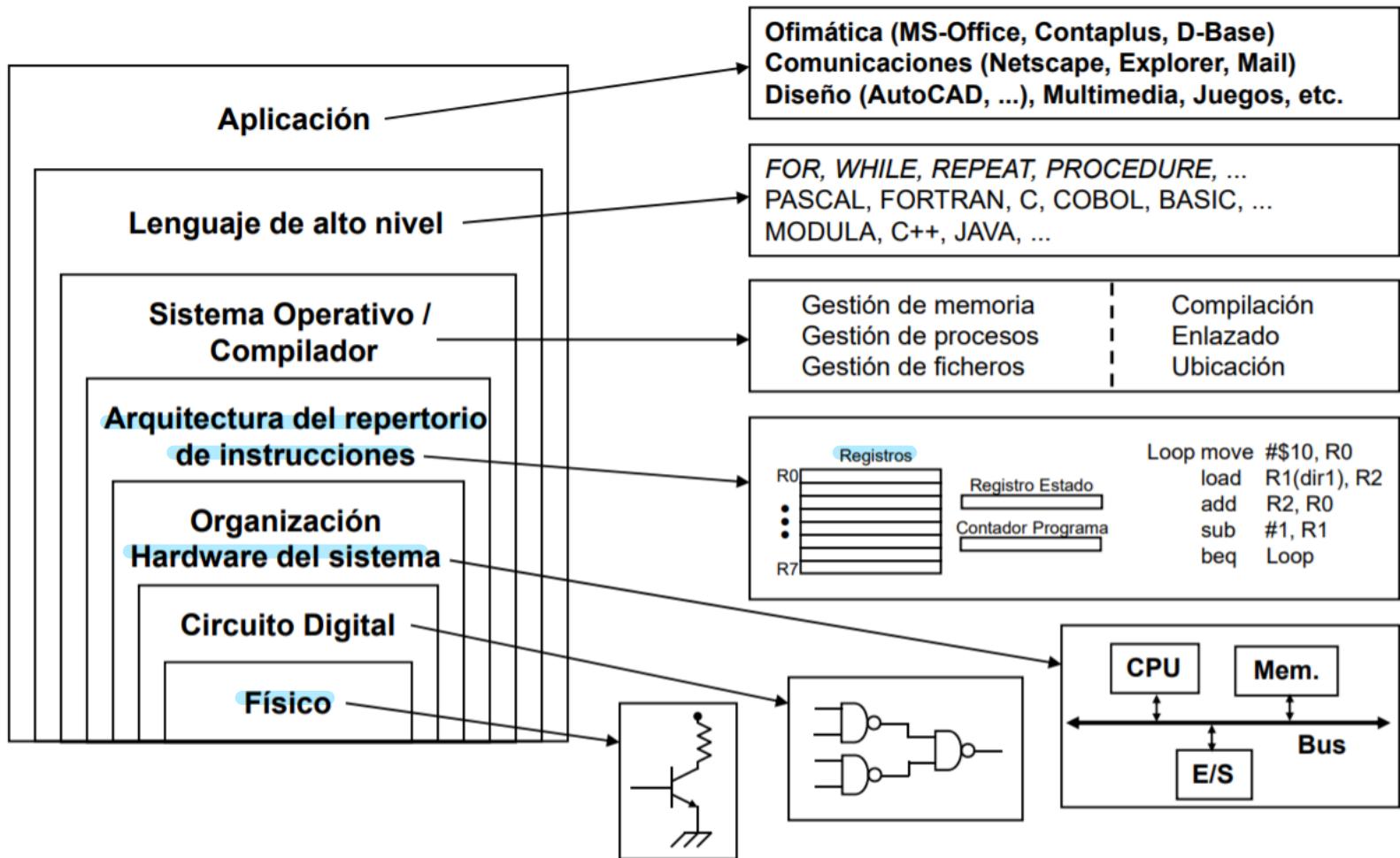


Multi - Many cores

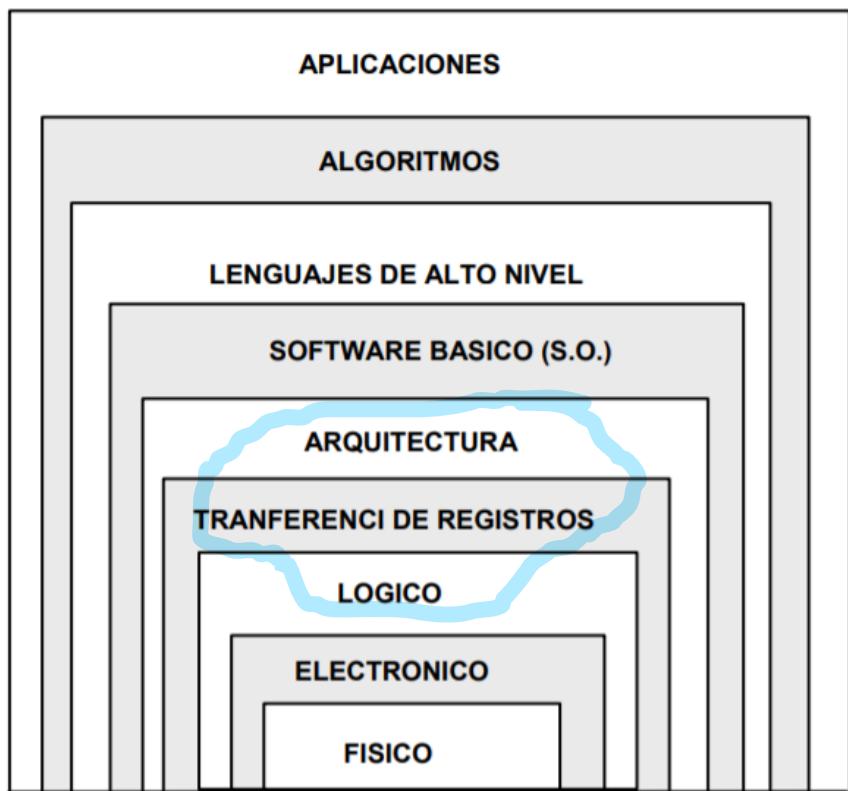
□ Retos de futuro 2015



Niveles de descripción y diseño de un computador

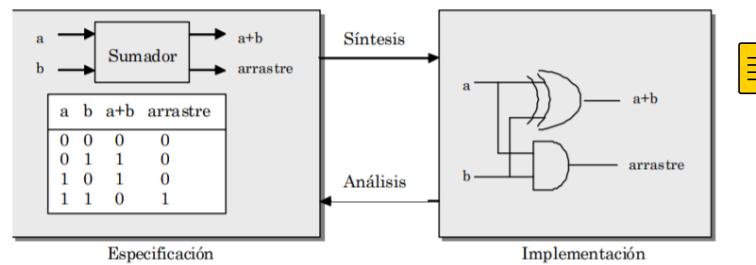
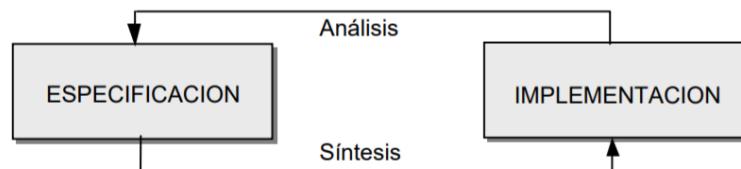


Niveles de descripción de un computador



Cada nivel se caracteriza por:

- Unos **elementos de entrada**, es decir, disponibles para el diseño en este nivel, **y que proceden del nivel inmediato inferior**.
- Unos **elementos de salida**, es decir, objetivos del diseño en este nivel, y **destinados al nivel inmediato superior**.
- Una metodología de análisis y síntesis** de los elementos de salida en términos de los de entrada.



El entorno: tendencias

□ Resumen de evolución en tecnología de implementación

	Capacidad	Velocidad Latencia
Logica	X2 en 3 años	X2 en 3 años
DRAM	X4 en 3 años	X2 en 10 años
Disco	X2 en 3 años	X2 en 10 años

□ Uso de los computadores

- ✓ La cantidad de memoria necesaria crece entre 1.5 y 2 por año. Más bits para direccionamiento.
- ✓ Programación en LAN. Los compiladores son fundamentales, son el interfase entre las aplicaciones y el computador.

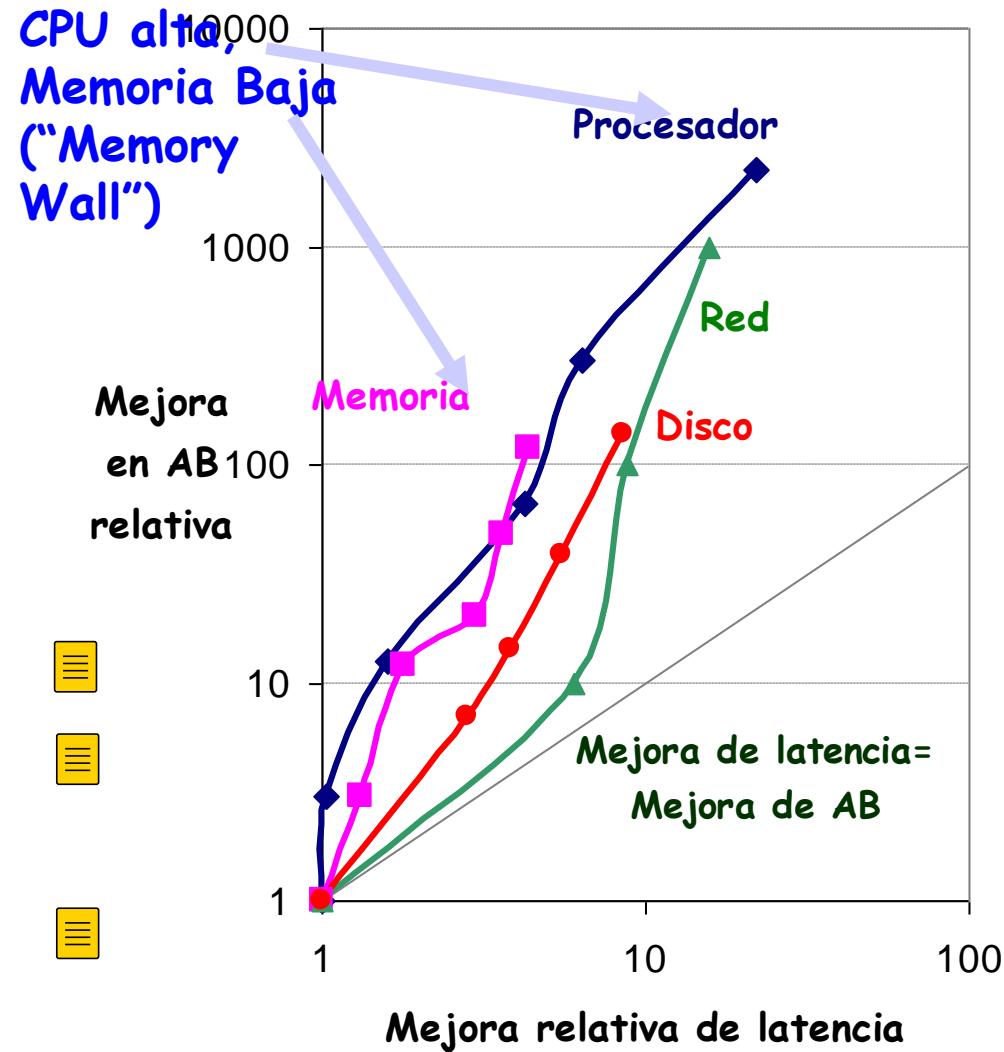
¿ Una arquitectura debe ser diseñada para soportar el paso del tiempo ?

Cambios en tecnología, Sw y aplicaciones.

Arquitectura IBM360-390 (1964) ,X86 (1978), Sparc(1992)

El entorno: tendencias

□ Latencia y ancho de banda en los últimos 20 años



- Procesador: '286, '386, '486, Pentium, Pentium Pro, Pentium 4 (21x, 2250x)
- Ethernet: 10Mb, 100Mb, 1000Mb, 10000 Mb/s (16x, 1000x)
- Modulo de Memoria: 16bit plain DRAM, Page Mode DRAM, 32b, 64b, SDRAM, DDR SDRAM (4x, 120x)
- Disco : 3600, 5400, 7200, 10000, 15000 RPM (8x, 143x)

□ Dos conceptos clave

Avión	Wa a París	Velocidad	Pasajeros	Throughput (pkph)
Boeing 747	6.5 hours	970 kph	470	455900
Concorde	3 hours	2160 kph	132	285120

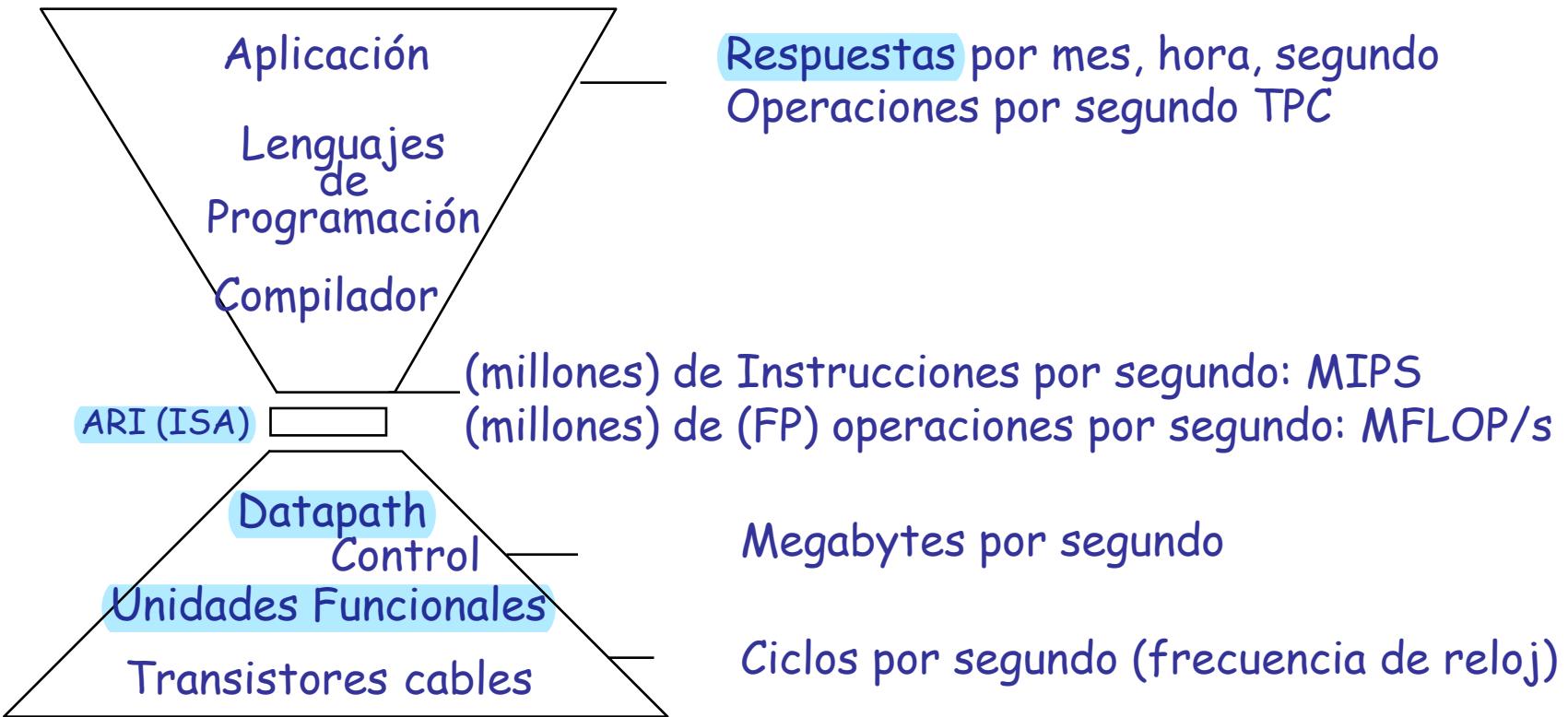
- o Tiempo de Ejecución (TEj) : Tiempo que tarda en completarse una tarea
 - ✓ (Tiempo de respuesta, latencia)
- o Rendimiento (Performance, Throughput) : tareas por hora, día ,...
- o "X es n veces más rápido que Y" significa

$$\frac{TEj(Y)}{TEj(X)} = \frac{Performance(X)}{Performance(Y)} = n$$

- o Reducir el TEj incrementa el rendimiento

Rendimiento

□ Medidas del rendimiento



La única medida fiable es el tiempo de ejecución programas reales
Dos aspectos: Rendimiento del computador, Rendimiento del procesador





□ Rendimiento del procesador

$$T_{CPU} = N * CPI * t$$

- N Compiladores y LM
- CPI LM, implementación, paralelismo
- t implementación, tecnología

□ Ciclos medios por instrucción CPI

$$\begin{aligned} CPI &= (T_{CPU} * \text{Clock Rate}) / \text{Número de Instrucciones} \\ &= \text{Ciclos} / \text{Número de Instrucciones} \end{aligned}$$

$$T_{CPU} = \text{Tiempo de ciclo} * \sum_{i=1}^n CPI_i * I_i$$

$$CPI = \sum_{i=1}^p CPI_i * F_i \text{ donde } F_i \text{ es la frecuencia de aparición de la instrucción J}$$

Ejemplo : ALU 1 ciclo(50%), Ld 2c(20%), St 2c(10%), saltos 2c(20%)

CPI ALU 0.5, Ld 0.4, St 0.2, salto 0.4 TOTAL CPI = 1.5

Invertir recursos donde se gasta el tiempo

Rendimiento



Performance (vs. VAX-11/780)

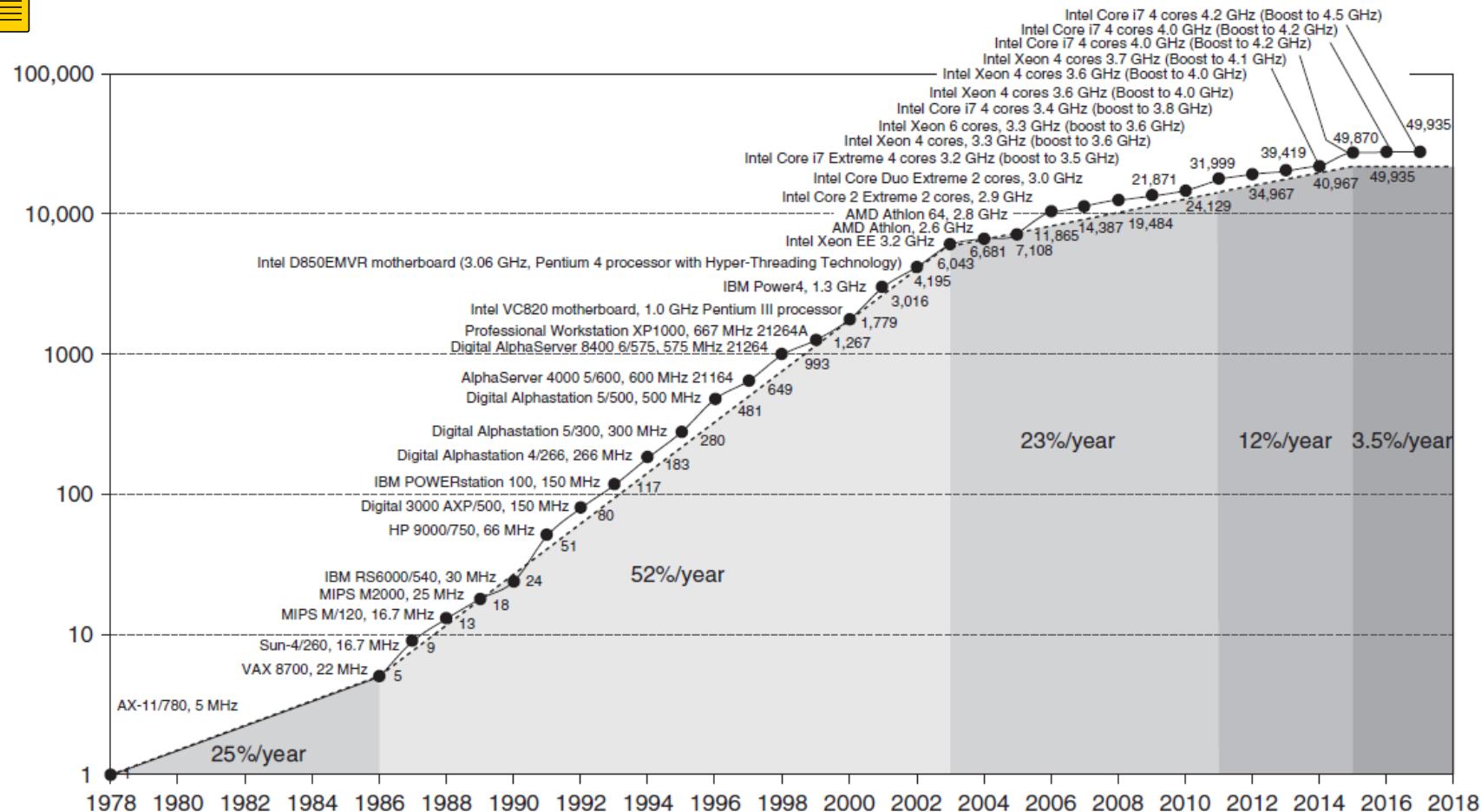


Figura muestra el Crecimiento del rendimiento del procesador a lo largo de 40 años. Este gráfico representa el rendimiento del programa en relación con el VAX 11/780 medido por los valores de referencia de números SPEC integer

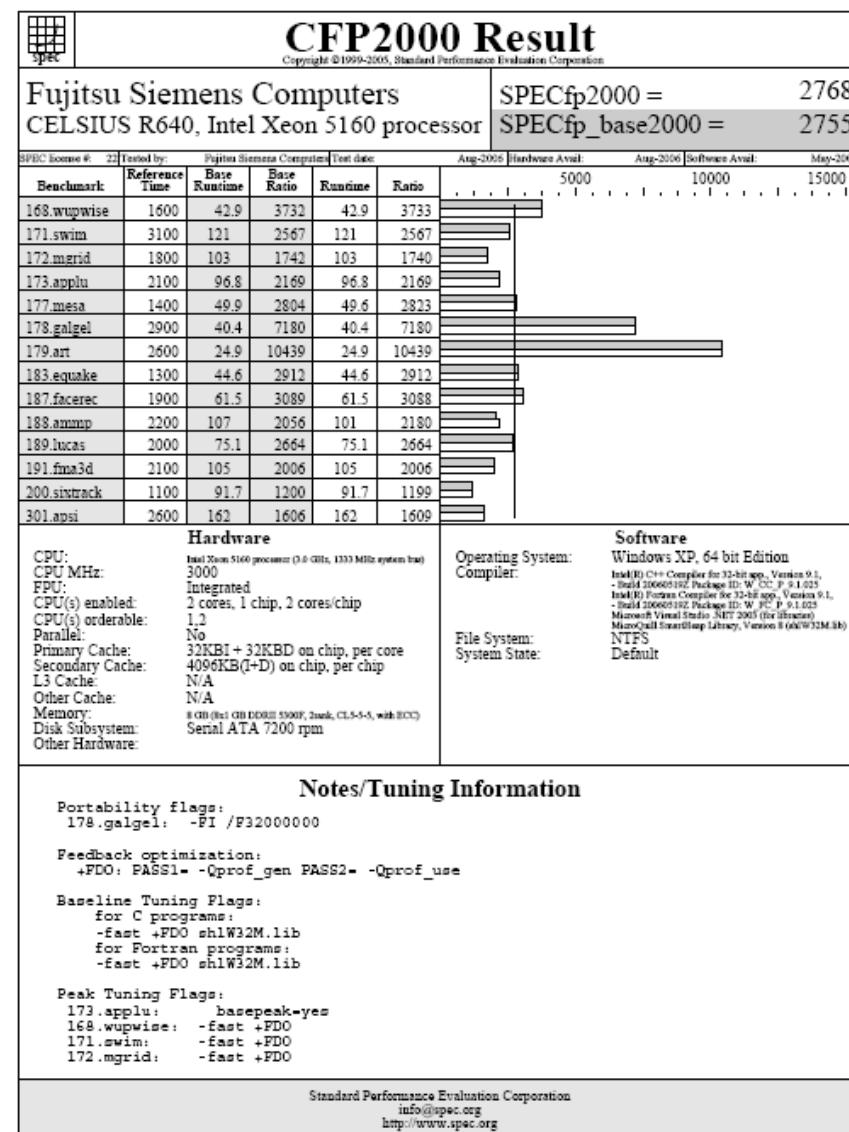
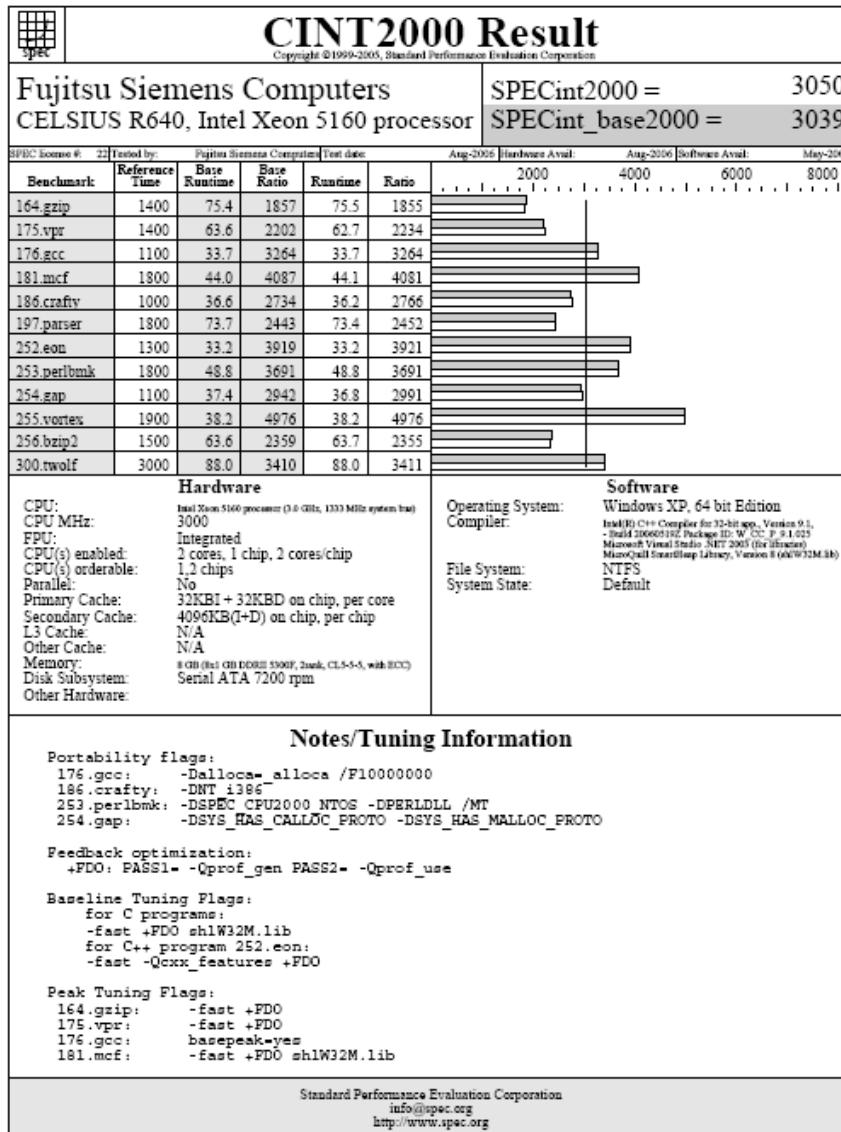
□ Rendimiento global del computador : Benchmarks

- ✓ La única forma fiable es ejecutando distintos programas reales.
 - ✓ Programas "de juguete": 10~100 líneas de código con resultado conocido. Ej:: Criba de Erastótenes, Puzzle, Quicksort
 - ✓ Programas de prueba (*benchmarks*) sintéticos: simulan la frecuencia de operaciones y operandos de un abanico de programas reales. Ej:: Whetstone, Dhrystone
- ✓ Programas reales típicos con cargas de trabajo fijas (actualmente la medida más aceptada)
 - ✓ **SPEC89**: 10 programas proporcionando un único valor.
 - ✓ **SPEC92**: 6 programas enteros (SPECint92) y 14 en punto flotante (SPECfp92). Sin límites en opciones de compilación
 - ✓ **SPEC95**: 8 programas enteros (SPECint95) y 10 en punto flotante (SPECfp95). Dos opciones en compilación: la mejor para cada programa y la misma en todos (base)
 - ✓ **SPEC2000** 12 programas enteros y 14 en punto flotante. Dos opciones de compilación (la mejor: spec--, la misma spec--_base
- ✓ Otros
 - ✓ HPC:LINPACK, SPEChpc96, Nas Parallel Benchmark
 - ✓ Servidores: SPECweb, SPECFS(File servers), TPC-C
 - ✓ Graficos: SPECviewperf(OpenGL), SPECapc(aplicaciones 3D)
 - ✓ Winbench, EEMBC

SPEC2006

Rendimiento

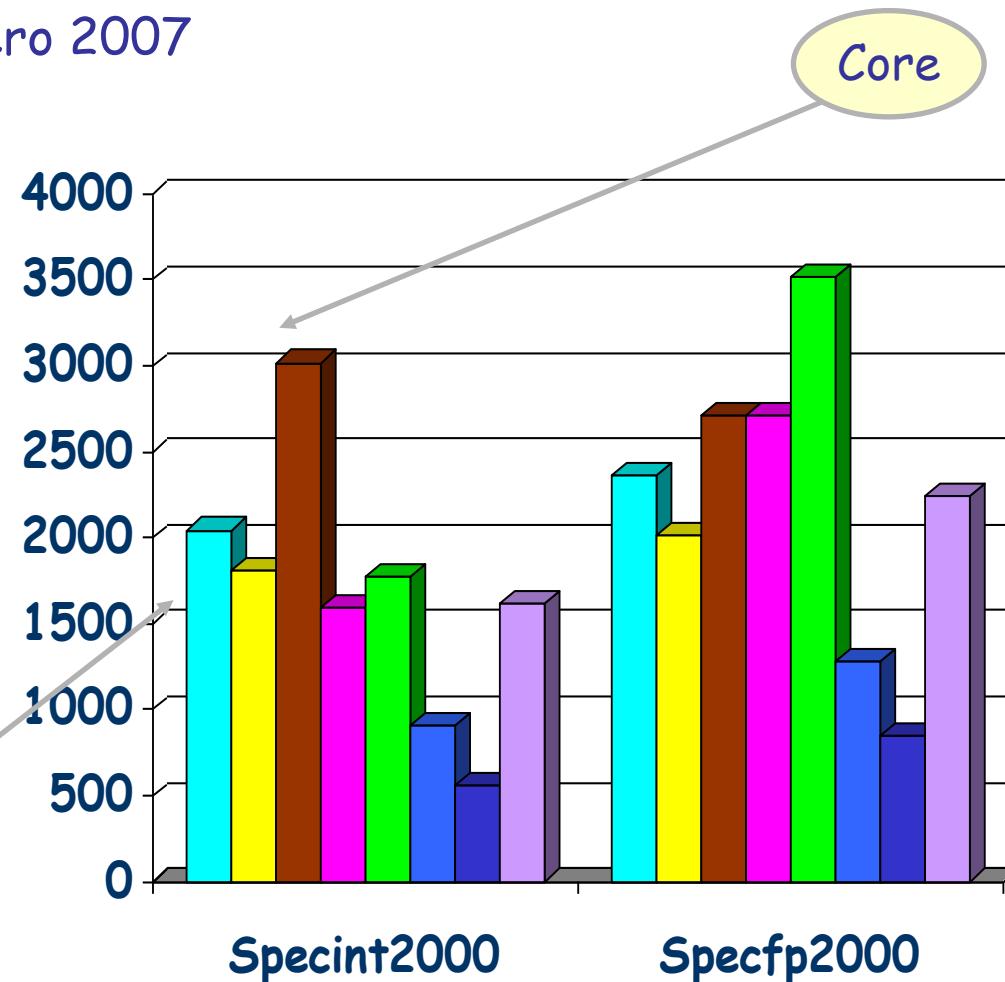
- Un Ejemplo: Intel Xeon 5160 (Core2, 3.0Ghz, 1333Mhz)



Rendimiento

- SPEC de los últimos procesadores (SPEC2000)
 - Retirados febrero 2007

█	AMD Opteron 3.0 Ghz
█	P Xeon5080 3.8 Ghz
█	P Xeon5160 3Ghz
█	Itanium 2 1.6 Ghz 9MB
█	Power 5+ 2.2Ghz
█	21364 1.3Ghz
█	UltraIII 1.05Ghz
█	Sparc64 V 2.1Ghz



Pentium4
NetBurst

Core

Rendimiento

➤ SPEC2006 versus SPEC2000

Evolución de la jerarquía de memoria (256KB, 256MB a 4MB, 1GB)
 Más programas más complejos

Benchmark Description	CPU2000			CPU2006		
	Integer	Lng	RT	Integer	Lng	RT
GNU C compiler	176.gcc	C	1,100	403.gcc	C	8,050
Manipulates strings & prime numbers in Perl language	253.perlbench	C	1,800	400.perlbench	C	9,766
Minimum cost network flow solver (combinatorial optimization)	181.mcf	C	1,800	429.mcf	C	9,120
Data compression utility	256.bzip2	C	1,500	401.bzip2	C	9,644
Data compression utility	164.gzip	C	1,400			
Video compression & decompression				464.h264ref	C	22,235
Artificial intelligence, plays game of Chess	186.crafty	C	1,000	458.sjeng	C	12,141
Artificial intelligence, plays game of Go				445.gobmk	C	10,489
Artificial intelligence used in games for finding 2D paths across terrains				473.astar	C++	7,017
Natural language processing	197.parser	C	1,800			
XML processing				483.xalancbmk	C++	6,869
FPGA circuit placement and routing	175.vpr	C	1,400			
EDA place and route simulator	300.twolf	C	3,000			
Search gene sequence				456.hammer	C	9,333
Ray tracing	252.eon	C++	1,300			
Computational group theory	254.gap	C	1,100			
Database program	255.vortex	C	1,900			
Library for simulating a quantum computer				462.libquantum	C	20,704
Discrete event simulation				471.omnetpp	C++	6,270
	hours	5.3	19,100	hours	36.6	131,638

Rendimiento

➤ SPEC2006 versus SPEC2000

Benchmark Description	CPU2000			CPU2006		
	Floating Pnt	Lng	RTime	Floating Pnt	Lng	RTime
Weather prediction, shallow water model	171.swim	F77	3,100			
Velocity & distribution of pollutants based on temperature, wind	301.apsi	F77	2,600			
Weather modeling (30km area over 2 days)				481.wrf	C/F	11,215
Physics, particle accelerator model	200.sixtrack	F77	1,100			
Parabolic/elliptic partial differential equations	173.applu	F77	2,100			
Multi-grid solver in 3D potential field	172.mgrid	F77	1,800			
General relativity, solves Einstein evolution equations				436.cactusADM	C/F	11,927
Computational electromagnetics (solves Maxwell equations in 3D)				459.GemsFDTD	F	10,583
Quantum chromodynamics	168.wupwise	F77	1,600			
Quantum chromodynamics, gauge field generation with dynamical quarks				433.milc	C	9,180
Fluid dynamics, analysis of oscillatory instability	178.galgel	F90	2,900			
Fluid dynamics, computes 3D transonic transient laminar viscous flow				410.bwaves	F	13,592
Computational fluid dynamics for simulation of astrophysical phenomena				434.zeusmp	F	9,096
Fluid dynamics, large eddy simulations with linear-eddy model in 3D				437.leslie3d	F	9,358
Fluid dynamics, simulates incompressible fluids in 3D				470.lbm	C	13,718
Molecular dynamics (simulations based on newtonian equations of motion)				435.gromacs	C/F	7,132
Biomolecular dynamics, simulates large system with 92,224 atoms				444.namd	C++	8,018
Computational chemistry	188.ammp	C	2,200			
Quantum chemistry package (object-oriented design)				465.tonto	F	9,822
Quantum chemistry, wide range of self-consistent field calculations				416.gamess	F	19,575
Computer vision, face recognition	187.facerec	F90	1,900			
Speech recognition system				482.sphinx3	C	19,528
3D graphics library	177.mesa	C	1,400			
Neural network simulation (adaptive resonance theory)	179.art	C	2,600			
Earthquake modeling (finite element simulation)	183.eqquake	C	1,300			
Crash modeling (finite element simulation)	191.fma3d	F90	2,100			
Number theory (testing for primes)	189.lucas	F90	2,000			
Structural mechanics (finite elements for linear & nonlinear 3D structures)				454.calculix	C/F	8,250
Finite element analysis (program library)				447.deallII	C++	11,486
Linear programming optimization (railroad planning, airlift models)				450.soplex	C++	8,338
Image ray tracing (400x400 anti-aliased image with abstract objects)				453.povray	C++	5,346
	hours	8.0	28,700	hours	52	186,164

Rendimiento

➤ Evolución de los SPEC

Year	Iteration	Suites	Languages	Measures	Reference Machine
1989	SPEC CPU	10 SPEC programs RT: 18.66 hours (scores not rounded)	C(4) & Fortran(5) & C/Fortran(1)	SPECmark SPECthruput	Vax 11/780 5 MHz 8K cache off-chip memory N/A
1992	SPEC CPU92	6 CINT92 programs RT: 6.21 hours 14 CFP92 programs RT: 41.27 hours (scores rounded to 10s place)	C(6) C(2) & Fortran(12)	SPECint92 SPECfp92 SPECint_rate92 SPECfp_rate92	same as SPEC89
1995	SPEC CPU95	8 CINT95 programs RT: 5.25 hours 10 CFP95 programs RT: 11.00 hours (scores rounded to 100s place)	C(8) Fortran(10)	SPECint95 SPECint_base95 SPECfp95 SPECfp_base95 SPECint_rate95 SPECint_rate_base95 SPECfp_rate95 SPECfp_rate_base95	SPARCstation 10/40 40 MHz SuperSPARC I 20K/16K I/D L1 on-chip no L2 cache 128MB memory
2000	SPEC CPU2000	12 CINT2000 programs RT: 5.31 hours 14 CFP2000 programs RT: 7.97 hours (scores rounded to 100s place)	C(11) & C++(1) C(4) & Fortran77(6) & Fortran90(4)	same set of 8 measures defined for SPEC CPU95	Ultra 5 model 10 300 MHz UltraSPARC III 16K/16K I/D L1 on-chip 2MB L2 cache off-chip 256MB memory
2006	SPEC CPU2006	12 CINT2006 programs RT: 36.57 hours 17 CFP2006 programs RT: 51.71 hours (scores not rounded)	C(9) & C++(3) C(3) & C++(4) & Fortran(6) & C/Fortran(4)	same set of 8 measures defined for SPEC CPU95	Ultra Enterprise 2 296 MHz UltraSPARC II 16K/16K I/D L1 on-chip 2MB L2 cache off-chip 1GB memory

Rendimiento

➤ Un Ejemplo: Intel Xeon 5160 (Core2, 3.0Ghz, 1333Mhz)

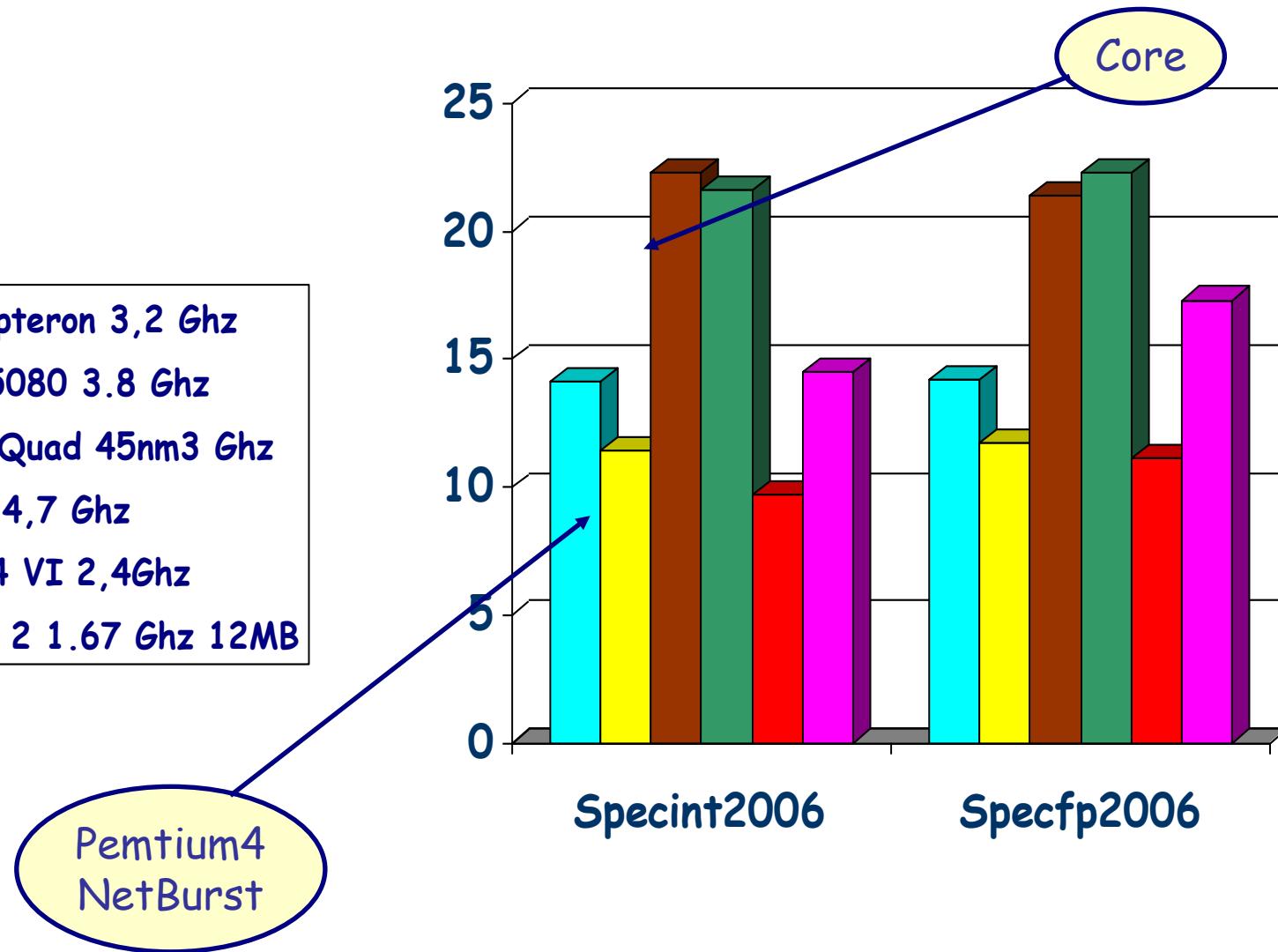
SPEC® CINT2006 Result	
Copyright ©2006 Standard Performance Evaluation Corporation	
Fujitsu Siemens Computers	SPECint®2006 = 16.9
CELSIUS R640, Intel Xeon 5160 processor	SPECint_base2006 = 16.2
Test sponsor: Fujitsu Siemens Computers Tested by: Fujitsu Siemens Computers CPU2006 license #: 22 Test date: Nov-2006 Hardware Availability: Sep-2006 Software Availability: Nov-2006 	
400.perlbench	16.2
401.bzip2	16.7
403.gcc	11.9
429.mcf	14.8
445.gobmk	13.5
456.hmmer	16.9
458.sjeng	16.9
462.libquantum	17.4
464.h264ref	36.1
471.omnetpp	11.1
473.astar	13.8
483.xalancbmk	16.4
SPECint_base2006 = 16.2 SPECint2006 = 16.9	
Hardware CPU Name: Intel Xeon 5160 CPU Characteristics: Dual Core, 3.0 GHz CPU MHz: 3000 FPU: Integrated CPU(s) enabled: 4 cores, 2 chips, 2 cores/chip CPU(s) orderable: 1,2 chips Primary Cache: 32 KB L1 + 32 KB D on chip per core Secondary Cache: 4 MB I+D on chip per chip L3 Cache: None Other Cache: None Memory: 8 GB (8x1 GB DDR2 5300MHz, 2 ranks, CL5-5-5, ECC) Disk Subsystem: SATA II 7200 rpm Other Hardware: None	
Software Operating System: Windows XP Professional x64 Edition Compiler: Intel C++ Compiler for EM64T version 9.1 - Build 20061104, Package-ID: W_CC_C_9.1.033 Microsoft Visual Studio 2005 (Iitr. & Linker) Auto Parallel: No File System: NTFS System State: Default Base Pointers: 64-bit Peak Pointers: 64-bit Other Software: Smart Heap Library, Version 8	
Standard Performance Evaluation Corporation info@spec.org http://www.spec.org/	
Page 1	

SPEC® CFP2006 Result	
Copyright ©2006 Standard Performance Evaluation Corporation	
Fujitsu Siemens Computers	SPECfp®2006 = 17.7
CELSIUS R640, Intel Xeon 5160 processor	SPECfp_base2006 = 17.1
Test sponsor: Fujitsu Siemens Computers Tested by: Fujitsu Siemens Computers CPU2006 license #: 22 Test date: Nov-2006 Hardware Availability: Sep-2006 Software Availability: Nov-2006 	
410.bwaves	17.1
416.gameess	26.0
433.milc	9.96
434.zeusmp	15.0
435.gronacs	18.9
436.cactusADM	41.4
437.leslie3d	13.2
444.namd	16.5
447.dealII	16.2
450.soplex	11.5
453.povray	26.5
454.calculix	15.0
459.GemsFDTD	16.0
465.tonto	16.7
470.Ibm	16.3
481.wrf	17.7
482.sphinx3	19.4
SPECfp_base2006 = 17.1 SPECfp2006 = 17.7	
Hardware CPU Name: Intel Xeon 5160 CPU Characteristics: Dual Core, 3.0 GHz CPU MHz: 3000 FPU: Integrated CPU(s) enabled: 4 cores, 2 chips, 2 cores/chip CPU(s) orderable: 1,2 chips Primary Cache: 32 KB L1 + 32 KB D on chip per core Secondary Cache: 4 MB I+D on chip per chip L3 Cache: None	
Software Operating System: Windows XP Professional x64 Edition Compiler: Intel C++ Compiler for EM64T version 9.1 - Build 20061104, Package-ID: W_CC_C_9.1.033 Intel Fortran Compiler for EM64T version 9.1 - Build 20061104, Package-ID: W_FC_C_9.1.033 Microsoft Visual Studio 2005 (Iitr. & Linker)	
Auto Parallel: Yes File System: NTFS System State: Default Base Pointers: 64-bit	
Continued on next page	
Standard Performance Evaluation Corporation info@spec.org http://www.spec.org/	
Page 1	

Rendimiento

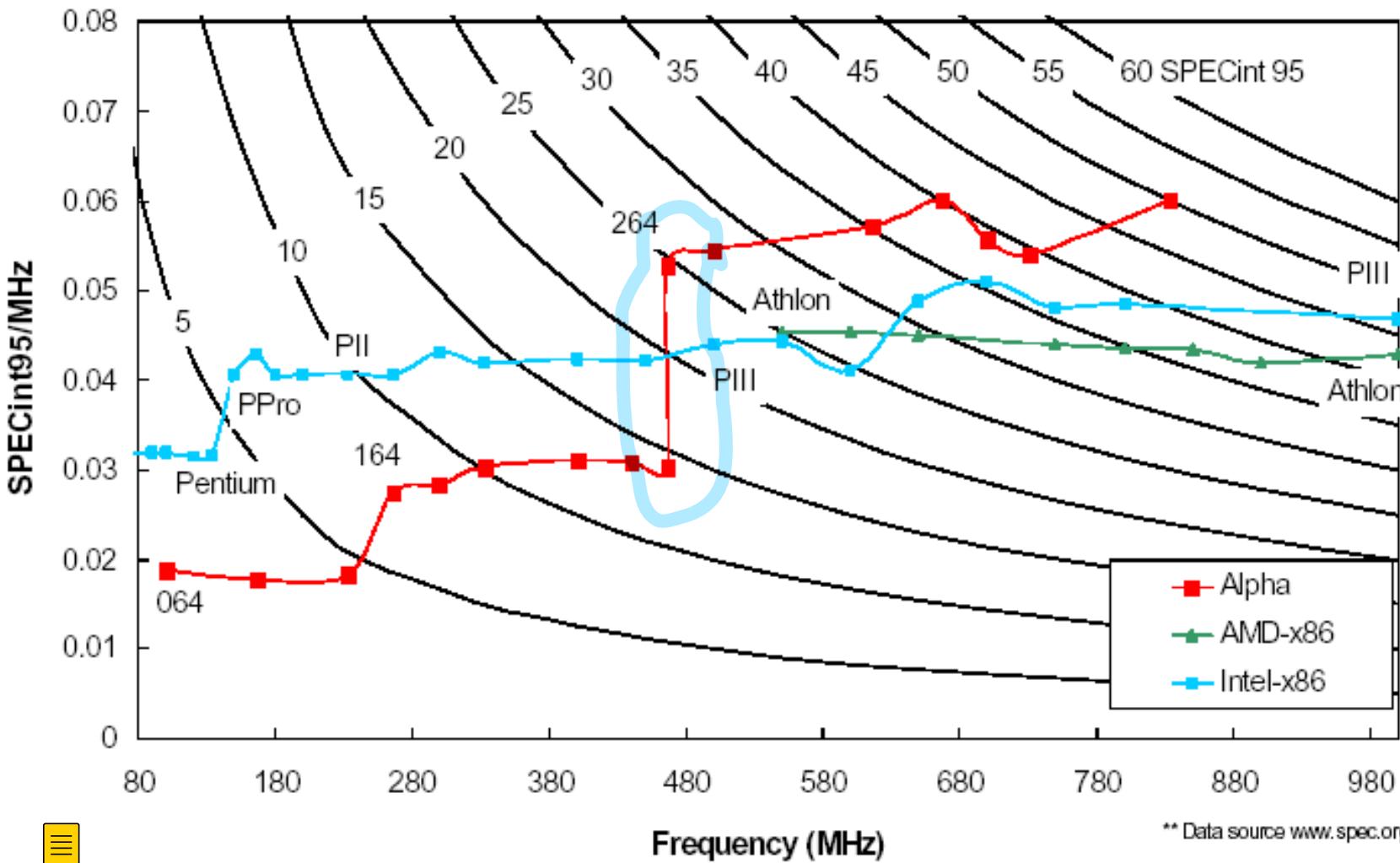
□ SPEC de los últimos procesadores (SPEC2006)

- AMD Opteron 3,2 Ghz
- P Xeon5080 3.8 Ghz
- Core 2 Quad 45nm3 Ghz
- Power6 4,7 Ghz
- Sparc64 VI 2,4Ghz
- Itanium 2 1.67 Ghz 12MB



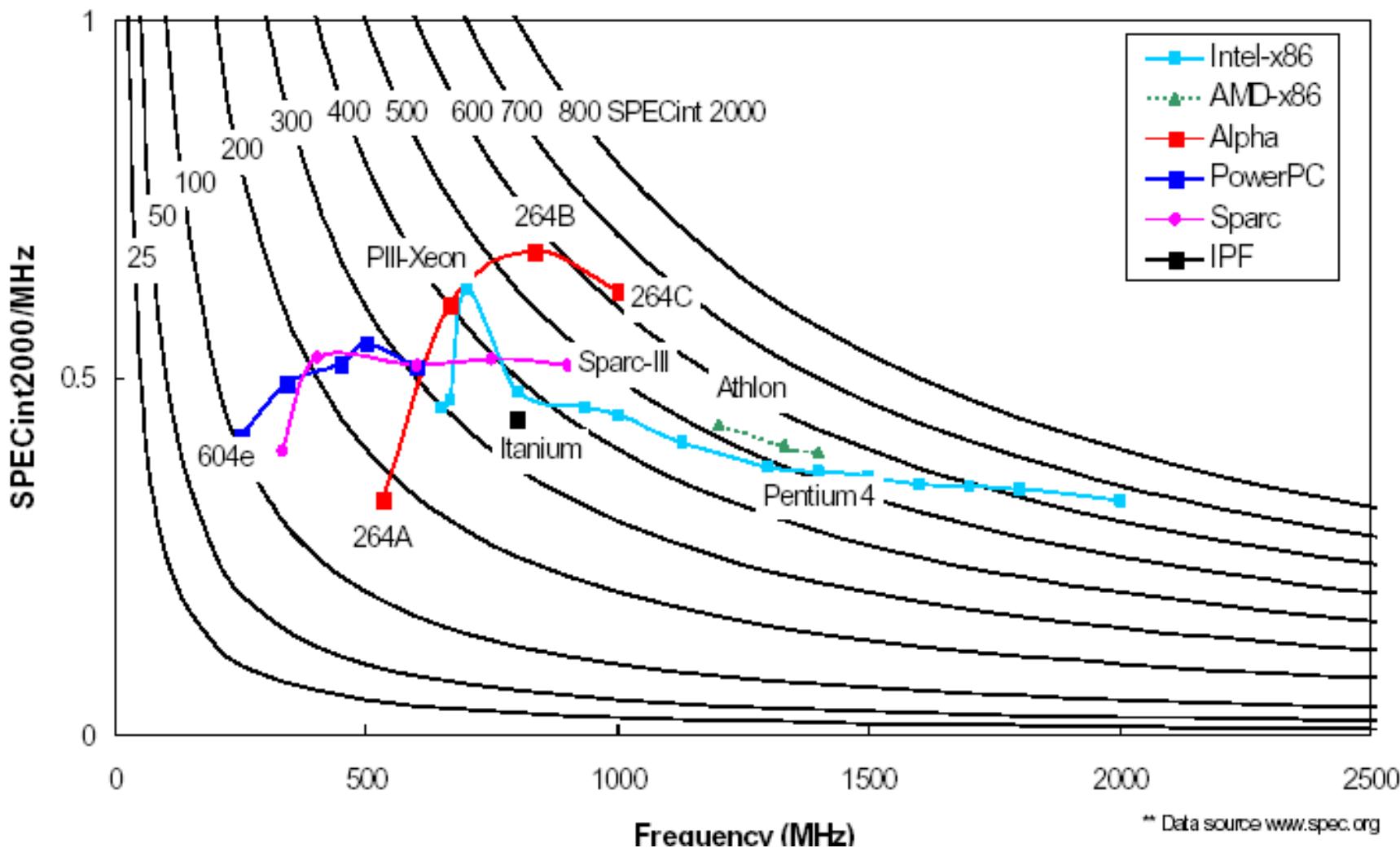
Rendimiento

SPECint95



Rendimiento

SPECint2000



Rendimiento

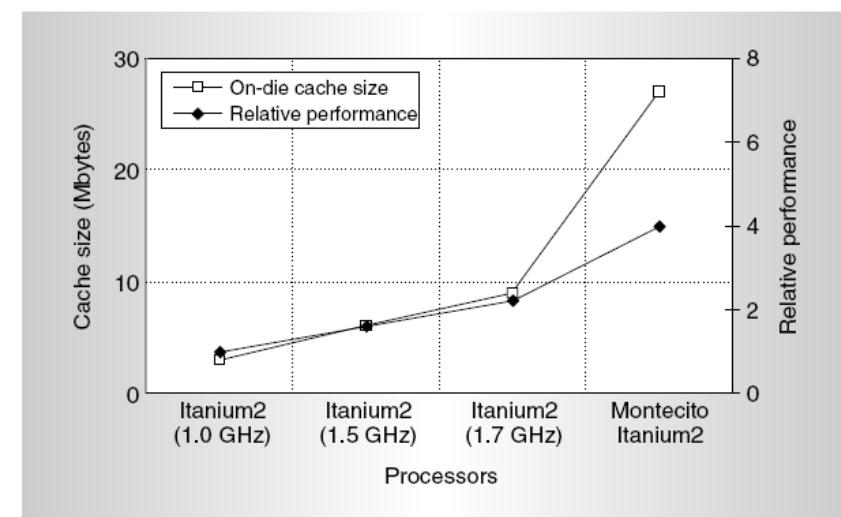
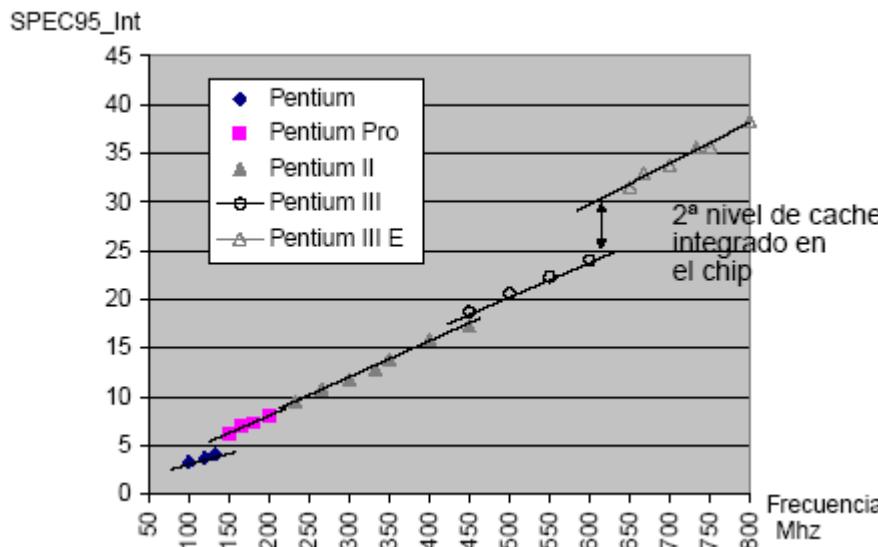
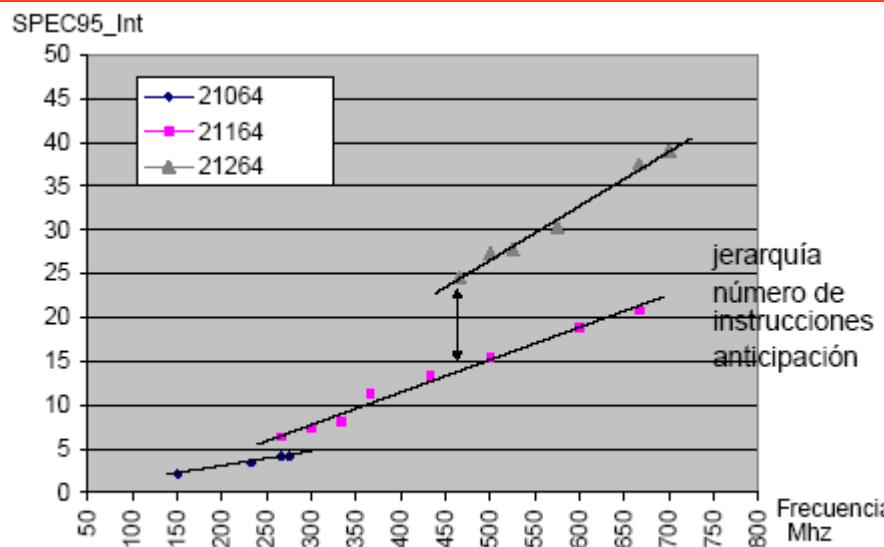
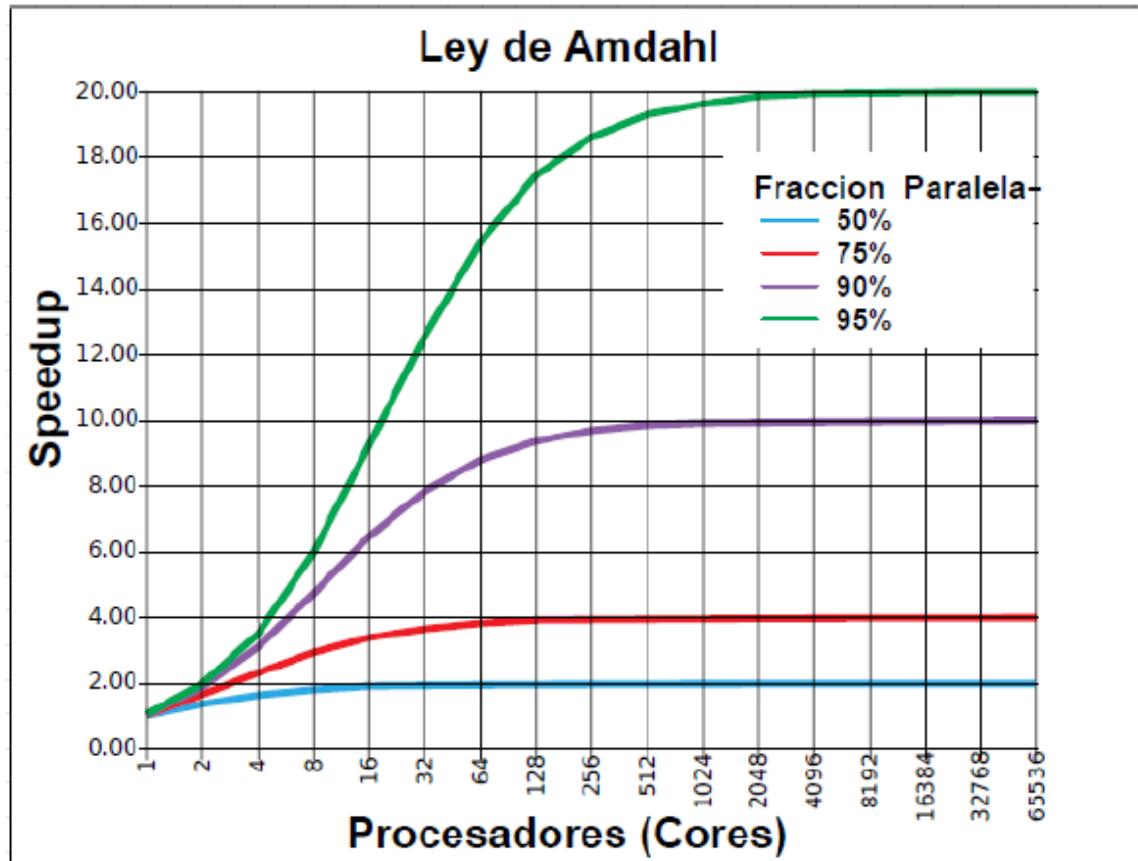


Figure 6. Cache size and processor performance for Itanium processors.

Un principio simple

- Everyone knows Amdahl's Law but quickly forgets it!
- Thomas Puzak (IBM's T. J. Watson Research Center)



La mejora obtenida en el rendimiento de un sistema debido a la alteración de uno de sus componentes está limitada por la fracción de tiempo que se utiliza dicho componente.

Ley de Amdahl

La fórmula original de la ley de Amdahl es la siguiente:

$$T_m = T_a \cdot \left((1 - F_m) + \frac{F_m}{A_m} \right)$$

siendo:

- F_m = fracción de tiempo que el sistema utiliza el subsistema mejorado.
- A_m = factor de mejora que se ha introducido en el subsistema mejorado.
- T_a = tiempo de ejecución antiguo.
- T_m = tiempo de ejecución mejorado.

Esta fórmula se puede reescribir usando la definición del incremento de la velocidad que viene dado por $A=T_a/T_m$, por lo que la fórmula anterior se puede reescribir como:

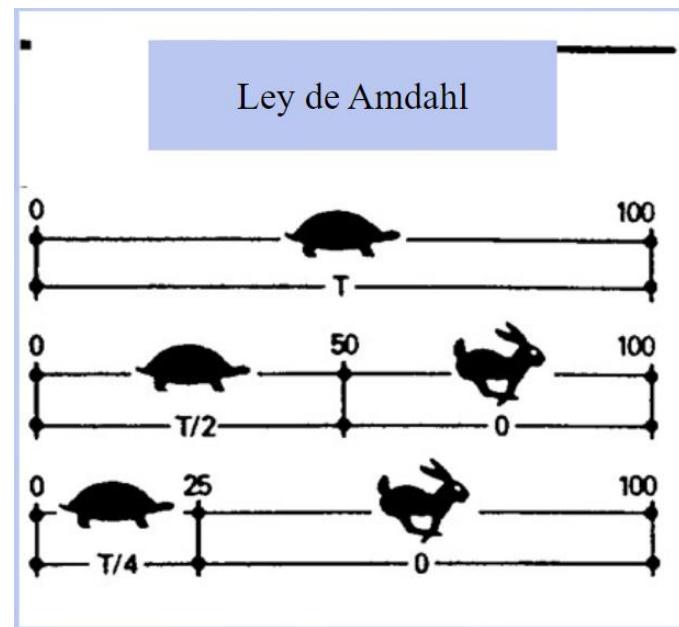
$$A = \frac{1}{(1 - F_m) + \frac{F_m}{A_m}}$$

siendo:

- A es la aceleración o ganancia en velocidad conseguida en el sistema completo debido a la mejora de uno de sus subsistemas.
- A_m , es el factor de mejora que se ha introducido en el subsistema mejorado.
- F_m , es la fracción de tiempo que el sistema utiliza el subsistema mejorado.

Ley de Amdahl

- ◆ La tortuga cubre el recorrido inicial de 100 metros en T minutos
- ◆ Con la intención de mejorar el desempeño de el equipo, el conejo entra en la segunda parte de la carrera
- ◆ Consideremos el conejo tan rápido que el segundo trecho es recorrido en un tiempo despreciable, o sea, equivalente a zero
- ◆ La tortuga gasto $T/2$ minutos para recorrer su trecho
- ◆ La pregunta es: cuál es el progreso de el equipo con la entrada de el conejo ultra-rápido?
- ◆ Como se pode ver, el tiempo total de la correra pasa a ser:
 - Tiempo total = $T/2 + 0 = T/2$ minutos
- ◆ No obstante la inmensa velocidad de el conejo, el tiempo total de el equipo fue solamente dos veces menor
- ◆ Si reducimos la participación de la lenta tortuga para solamente $1/4$ del recorrido, el tiempo total pasa a ser de $1/4 * T$
- ◆ queda evidente, que la fracción de participación de la tortuga (o sea, de la parte más lenta) determina el desempeño global de el sistema



Ley de Amdahl

- ◆ Debemos tener en cuenta que solo una fracción F de el programa podrá ser ejecutado en paralelo
- ◆ Esta fracción puede ser dada en % de el programa total (por ejemplo 80% de el programa, o 0,80 de el programa)
- ◆ O sea, solo en esta fracción F los 10 procesadores podrán trabajar simultáneamente
- ◆ En la otra fracción del programa ($1 - F$) o el 0,20 de el programa, solo un procesador podrá trabajar (el programa deberá ser ejecutado secuencialmente)
- ◆ Los otros procesadores quedarán parados
- ◆ Resumiendo: En este ejemplo, el tiempo de ejecución de la fracción $F = 0.80$ (o sea 80%) podrá ser disminuido para 1/10 de el tiempo anterior
- ◆ 20% de el programa (el 0,20) solo puede ser ejecutado por un solo_procesador o sea:
 - El tiempo de ejecución de el resto de el programa ($1 - F$) = 0.20 (o sea 20%) no será afectado
- ◆ Aplicando la fórmula tenemos:

$$\text{speedup} = \frac{1}{(1-F) + \frac{F}{S}} = \frac{1}{0,20 + \frac{0,80}{10}} = \frac{1}{0,28} = 3,57$$

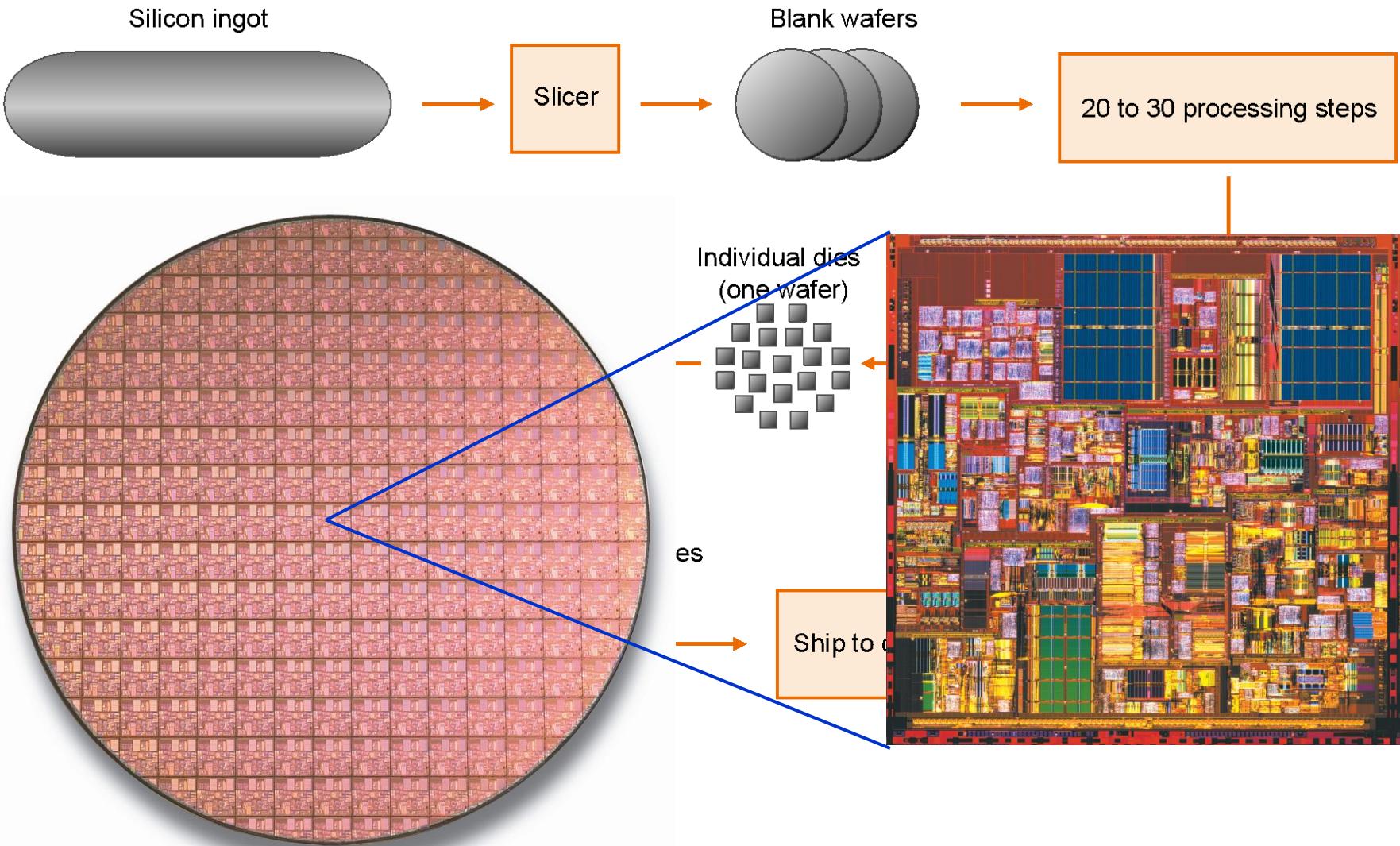


- ◆ Queda claro que el desempeño de un sistema con múltiples procesadores (multiprocesador) está limitado por la fracción del programa que debe ser ejecutada de modo secuencial (sin usar paralelismo)

Ejemplos

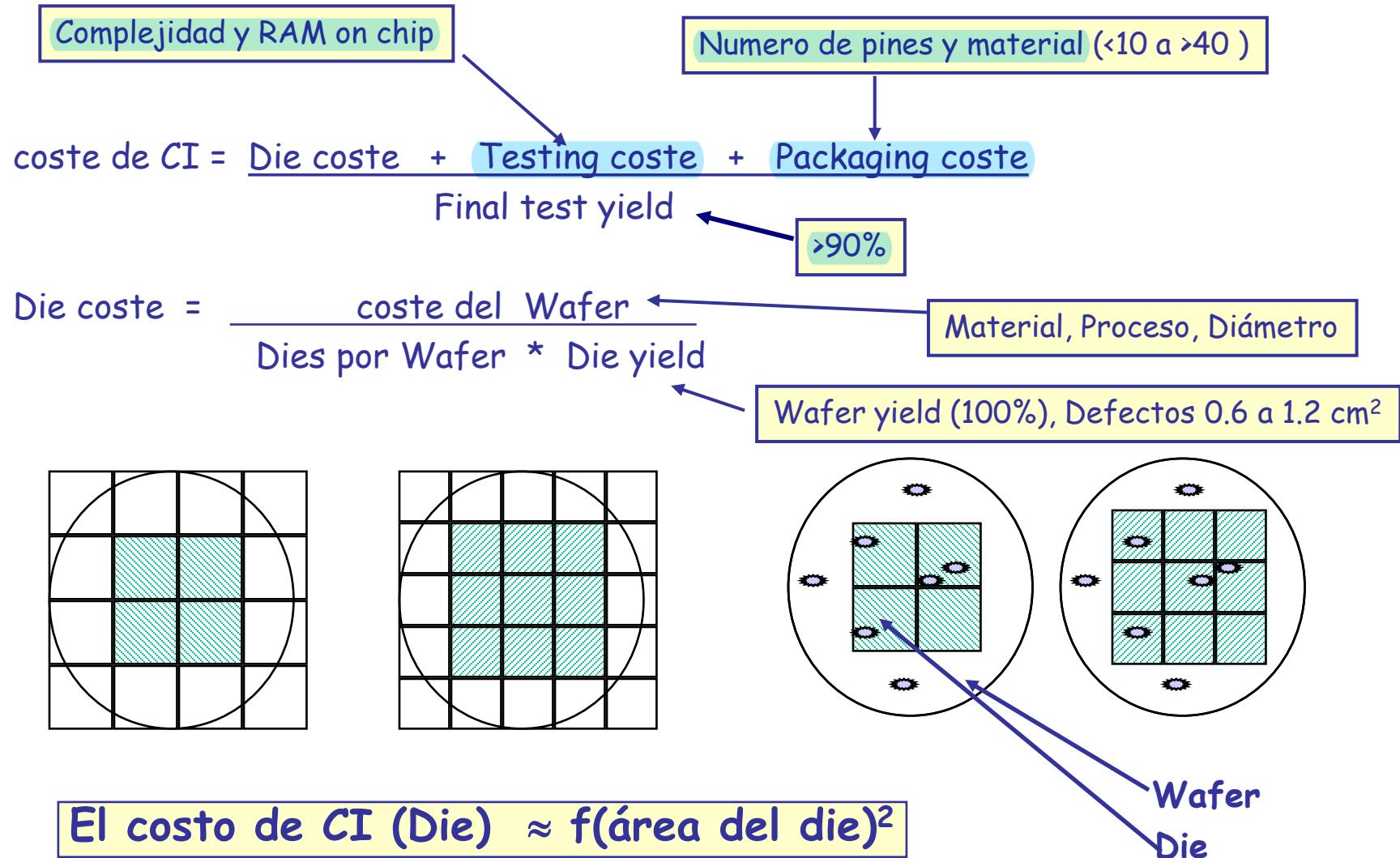
Processor	AMD 1-core Opteron 854	Intel 1-core Xeon	AMD 2-core Opteron 8224SE	Intel 2-core Xeon 5160	AMD 4-core Opteron 8360SE	Intel 4-core Xeon X7350	Intel 4-core Core 2 Quad QX9650
Bit-width	32/64-bit	32/64-bit	32/64-bit	32/64-bit	32/64-bit	32/64-bit	32/64-bit
Cores/chip x Threads/core	1 x 1	1 x 2	2 x 1	2 x 1	4 x 1	4 x 1	4 x 1
Clock Rate	2.80GHz	3.80GHz	3.20GHz	3.03GHz	2.50GHz	2.93GHz	3.00GHz
Cache: L1-L2-L3 - I/D or Unified	64K/64K - 1M - N/A	12K/16K - 2M - N/A	2 x 64K/64K - 2 x 1M - NA	2 x 32K/32K - 4M - NA	4 x 64K/64K - 4 x 512K - 2M	4 x 32K/32K - 2 x 4M - NA	4 x 32K/32K - 2 x 6M - NA
Execution Rate/Core	3 instructions	3 instructions	3 instructions	1 complex + 3 simple	3 instructions	1 complex + 3 simple	1 complex + 3 simple
Pipeline Stages	12 int / 17 fp	31	12 int / 17 fp	14	12 int / 17 fp	14	14
Out of Order	72	126	72	96	72	96	96
Memory bus	6.4 GB/s	800 MHz	10.6 GB/s	1333 MHz	10.6 GB/s	1066 MT/s	1333 MHz
Package	uPGA 940	LGA-775	LGA-1207	LGA-771	LGA-1207	LGA-771	LGA-775
IC Process	90nm 9M	90nm 7M	90nm 9M	65nm 8M	65nm 8M	65nm 8M	45nm
Die Size	106mm ²	109mm ²	227mm ²	143mm ²	283mm ²	2 x 143mm ²	2 x 107mm ²
Transistors	120M	169M	233M	291M	463M	2 x 291M	2 x 410M
List Price (intro)	\$1,514	\$903	\$2,149	\$851	N/A	\$2,301	\$999
Power (Max)	93W	110W	120W	80W	120W	130W	130W
Availability	3Q05	3Q05	3Q07	3Q06	1Q08	3Q07	4Q07
Scalability	2-4 chips	1-2 chips	1-4 chips	1-2 chips	2-4 chips	1-4 chips	1 chip
SPECint/fp2006 [cores]	11.2/12.1 [2]	11.4/11.7 [2]	14.1/14.2 [8]	19.7*/18.3* [4]	N/A	21.7*/18.9* [16]	22.3*/21.4* [4]
SPECint/fp2006_rate [cores]	41.4/45.6 [4]	20.9/18.8 [2]	105/96.7 [8]	60.8/45.1 [4]	163/149 [16]	184*/108* [16]	69.0*/49.9 [4]
Architecture Status	inactive	inactive	active	active	active	active	active
Processor	Intel Itanium 2 9050	Intel Itanium 9150M	IBM Power6	IBM Power5+	Fujitsu SPARC64 VI	Sun UltraSPARC IV+	Sun UltraSPARC T2
Bit-width	64-bit	64-bit	64-bit	64-bit	64-bit	64-bit	64-bit
Cores/chip x Threads/core	2 x 2	2 x 2	2 x 2	2 x 2	2 x 2	2 x 1	8 x 8
Clock Rate	1.60GHz	1.67GHz	4.70GHz	2.20GHz	2.40GHz	1.95GHz	1.40GHz
Cache: L1-L2-L3 I/D or Unified	2 x 16K/16K - 1M/256K - 12M(on)	2 x 16K/16K - 1M/256K - 12M(on)	2 x 64K/64K - 2 x 4M - 32M(off)	2 x 64K/32K - 1.92M - 36M(off)	2 x 128K/128K - 5M - NA	2 x 64K/64K - 2M - 32M(off)	8 x 8K/16K - 4M - NA
Execution Rate/Core	6 issue	6 issue	7 issue	5 issue	4 issue	4 issue	16 issue
Pipeline Stages	8 stages	8 stages	13 stages	15 stages	15 stages	14 stages	8 int / 12 fp
Out of Order	None	None	"Limited"	200	64	None	None
Memory B/W	8.5GB/s	10.6GB/s	75GB/s	12.8GB/s	8GB/s	4.8GB/s	42.7GB/s
Package	mPGA-700	mPGA-700	N/A	MCM-5370 pins	412 I/O pins	FC-LGA 1368	1831 pins
IC Process	90nm 7M	90nm 7M	65nm 10m	90nm 10m	90nm 10M	90nm 9M	65nm
Die Size	596mm ²	596mm ²	341mm ²	245mm ²	421mm ²	335mm ²	342mm ²
Transistors	1.72 billion	1.72 billion	790 million	276 million	540 million	295 million	503 million
List Price (intro)	\$3,692	\$3,692	N/A	N/A	N/A	N/A	N/A
Power (Max)	104W	104W	~100W	100W	120W	90W	84W
Availability	3Q06	4Q07	2Q07	4Q05	2Q07	3Q06	3Q07
Scalability	1-64 chips	8-128 chips	2-32 chips	1-32 chips	4-64 chips	1-72 chips	1 chip
SPECint/fp2006 [cores]	14.5/17.3 [2]	N/A	17.8/18.7 [1]	10.5/12.9 [1]	9.7/11.1 [32]	N/A	N/A
SPECint/fp2006_rate [cores]	1534/1671 [128]	1832/N/A [128]	420/379 [16]	197/229 [16]	1111/1160 [128]	1120/N/A [144]	73.1/58.1
Architecture Status	Inactive	Active	Active	Inactive	Active	Inactive	Active

Fabricación de un CI



Coste

□ Coste : El fundamental, el coste del CI



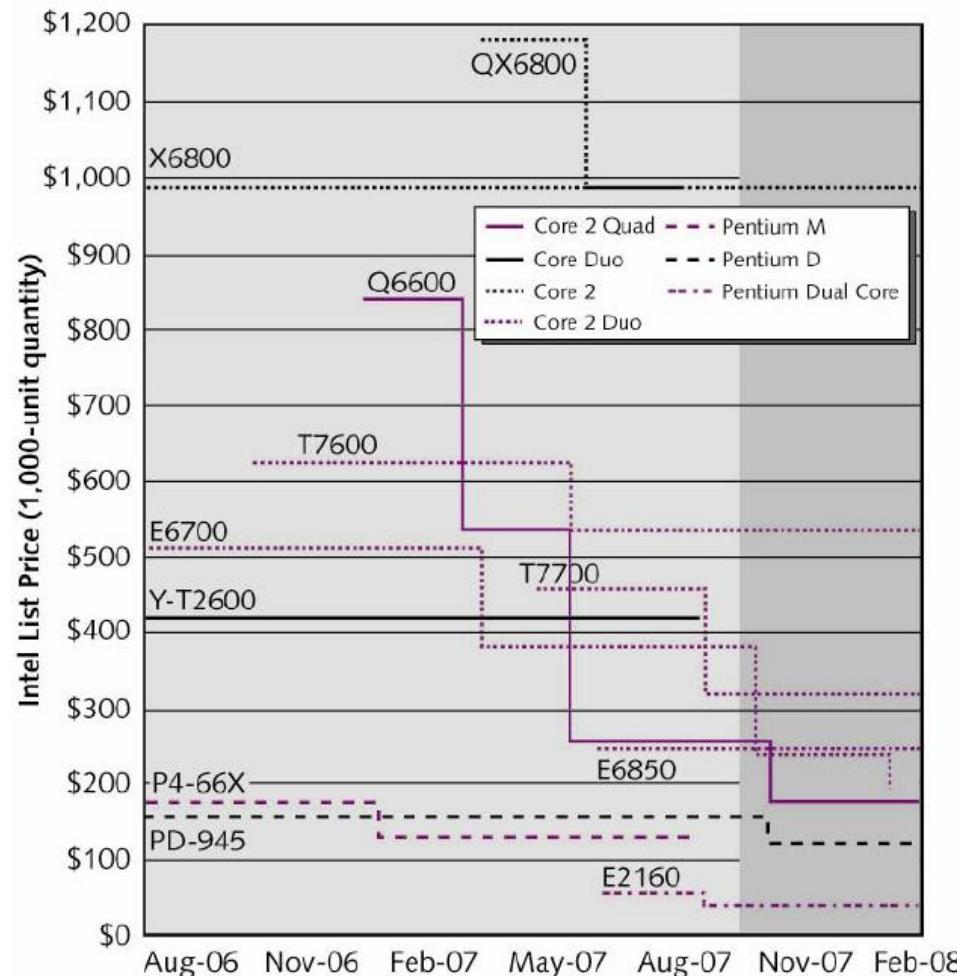
➤ Algunos ejemplos reales

Intel Processor	Cores/Frequency/L2/FSB/TDP	Process	Price	AMD Processor	Cores/Frequency/L2 Cache/HT/TDP*	Process	Price
Performance Desktop PC							
Core 2 Extreme QX6850	4/3.00GHz/8MB/1.33GHz/130W	65nm	\$999	Athlon 64 FX-74**	4/3.0GHz/2x1M/2.0GHz/250W	65nm SOI	\$599
Core 2 Extreme QX6800	4/2.93GHz/8MB/1.06GHz/130W	65nm	\$999	Athlon 62 FX-72**	4/2.8GHz/2x1M/2.0GHz/250W	65nm SOI	\$599
Mainstream Desktop PC							
Core 2 Quad E6700	4/2.66GHz/8MB/1.06GHz/105W	65nm	\$530	—	—	—	—
Core 2 Quad E6600	4/2.40GHz/8MB/1.06GHz/105W	65nm	\$266	—	—	—	—
Core 2 Duo E6850	2/3.00GHz/4MB/1.33GHz/65W	65nm	\$266	Athlon 64 X2 6400+	2/3.2GHz/2x1MB/2.0GHz/125W	65nm SOI	\$251
Core 2 Duo E6750	2/2.66GHz/4MB/1.33GHz/65W	65nm	\$183	Athlon 64 X2 6000+	2/3.0GHz/2x1MB/2.0GHz/89W	65nm SOI	\$178
Core 2 Duo E6700	2/2.66GHz/4MB/1.06GHz/65W	65nm	\$316	Athlon 64 X2 5600+	2/2.8GHz/2x1MB/2.0GHz/89W	65nm SOI	\$157
Core 2 Duo E6600	2/2.4GHz/4MB/1.06GHz/65W	65nm	\$224	Athlon 64 X2 5200+	2/2.6GHz/2x1MB/2.0GHz/89W	65nm SOI	\$136
Core 2 Duo E6550	2/2.33GHz/4MB/1.33GHz/65W	65nm	\$163	Athlon 64 X2 5000+	2/2.6GHz/2x512kB/2.0GHz/65W	65nm SOI	\$125
Value Desktop PC							
Celeron 440	1/2.00GHz/512kB/800MHz/35W	65nm	\$59	Sempron 3800+	1/2.2GHz/256kB/1.6GHz/62W	65nm SOI	\$53
Celeron 430	1/1.80GHz/512kB/800MHz/35W	65nm	\$49	Sempron 3600+	1/2.0GHz/256kB/1.6GHz/62W	65nm SOI	\$42
Celeron 420	1/1.60GHz/512kB/800MHz/35W	65nm	\$39	Sempron 3400+	1/2.0GHz/256kB/1.6GHz/62W	65nm SOI	\$37
Mainstream Mobile PC							
Core 2 Duo T7800	2/2.60GHz/4M/800MHz/34W	65nm	\$530	Turion 64 X2 TL-66	2/2.3GHz/2x512kB/1.6GHz/35W	65nm SOI	\$354
Core 2 Duo T7700	2/2.40GHz/4M/800MHz/34W	65nm	\$316	Turion 64 X2 TL-64	2/2.2GHz/2x512kB/1.6GHz/35W	65nm SOI	\$263
Core 2 Duo T7500	2/2.20GHz/4M/800MHz/34W	65nm	\$241	Turion 64 X2 TL-60	2/2.0GHz/2x512kB/1.6GHz/35W	65nm SOI	\$220
Core 2 Duo T7300	2/2.0GHz/4M/800MHz/34W	65nm	\$241	Turion 64 X2 TL-58	2/1.9GHz/2x512kB/1.6GHz/35W	65nm SOI	\$184
Core 2 Duo T7100	2/1.80GHz/2M/800MHz/34W	65nm	\$209	Turion 64 X2 TL-56	2/1.8GHz/2x512kB/1.6GHz/35W	65nm SOI	\$154
Value Mobile PC							
Celeron M 530	1/1.73GHz/1MB/533MHz/31W	65nm	\$86	Mobile Sempron 3800+	1/2.2GHz/128kB/1.6GHz/25W	65nm SOI	\$134
Celeron M 520	1/1.60GHz/1MB/533MHz/31W	65nm	\$86	Mobile Sempron 3600+	1/2.0GHz/256kB/1.6GHz/25W	65nm SOI	\$107
Celeron M 450	1/2.00GHz/1MB/533MHz/27W	65nm	\$134	Mobile Sempron 3500+	1/1.8GHz/512kB/1.6GHz/25W	65nm SOI	\$86

*The AMD processor feature an integrated northbridge. As a result, the I/O bus (HT for HyperTransport) is listed instead of the front side bus (FSB).

** The Athlon 64 Quad FX platform is a two-chip solution.

➤ Evolución en la vida comercial



Tendencias

Table 1. SIA roadmap for memories and microprocessors.

Year of introduction	Feature size (nm)	Wafer size (cm)	Microprocessor physical gate length (nm)	Defect density (defect/cm ²)*	No. of transistors (millions)
	Memory				
2004	90	30	37	0.28	553
2007	65	30	25	0.32	1,106
2013	32	45	13	0.37	4,424
2018	18	45	7	0.35	8,848

* For the same years, SIA predicts that microprocessor defect density will remain at 0.14 defects/cm². Die size, 3.1 cm², also remains consistent.

Table 2. SIA roadmap for high-performance microprocessors.*

Year of introduction	No. of transistors (millions)	Clock frequency (GHz)		Maximum no. of wiring levels
		On chip	Off chip	
2004	553	4.2	2.5	10 to 14
2007	1,106	9.3	4.9	11 to 15
2013	4,424	23.0	18.6	12 to 16
2018	14,045	53.2	56.8	14 to 18

*Projections show chip size remaining a constant 310 mm².

Multi-Cores Widespread



Parallelism Drives Computing

"Opportunities for innovation in programming and architecture"



Future of Multi-cores (Fran Allen Turing lecture June 10, 2007)

- Moore's Law predicts that the number of cores will double every 18 - 24 months
- 2007 - 8 cores on a chip
(IBM Cell has 9 and Sun cell has 8)
- 2009 - 16 cores
- 2013 - 64 cores
- 2015 - 128 cores
- 2021 - 1k cores

Can Real Performance Scale with the Number of Cores??

How??



Where Will Manycore Chips be Used?

The Obvious



The Edge



The Surprise



Parallelism Drives Computing

"Opportunities for innovation in programming and architecture"



Manycore Research Questions Abound

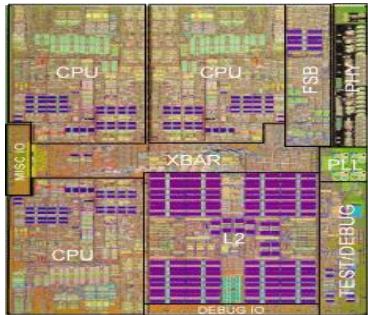
- **Cores**
 - How many? What size?
 - Homogenous, Heterogeneous
 - Programmable, Configurable, Fixed-function
- **Chip-level**
 - Interconnect: Topology, Bandwidth
 - Coordination
 - Management
- **Memory Hierarchy**
 - # of levels, sharing, inclusion
 - Bandwidth, novel Technology
 - Integration/Packaging
- **I/O Bandwidth**
 - Silicon-based photonics
 - Terabit links



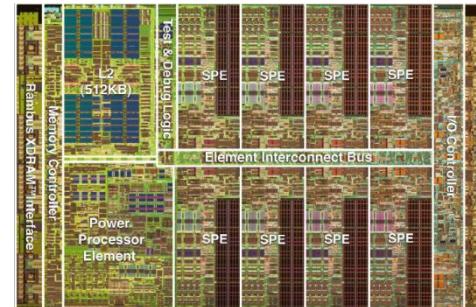
Source: CTWatchQuarterly, Feb 2007

Manycore Chips (circa. 2012)?

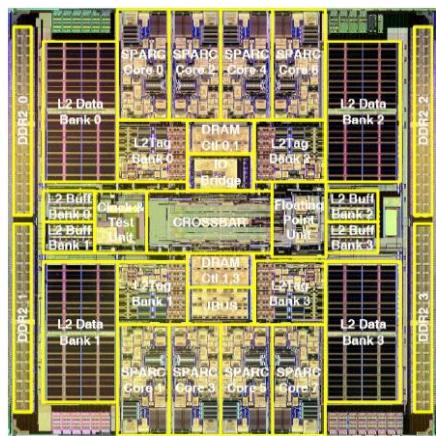
Ejemplos de multicores. Many cores



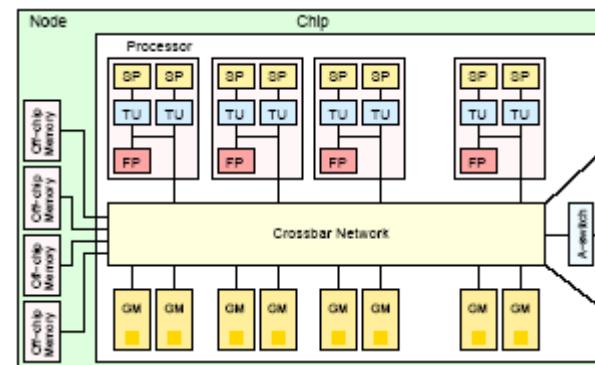
Microsoft/IBM Xbox360 (3 cores)



Sony/IBM/Toshiba Cell (9 cores)



Sun Niagara (8 cores)

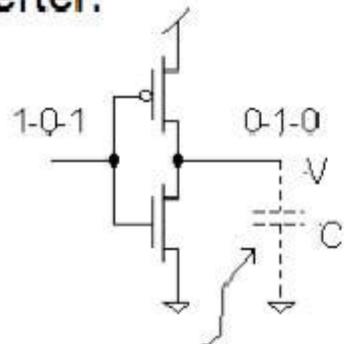


IBM Cyclops64 (80 cores, in development)

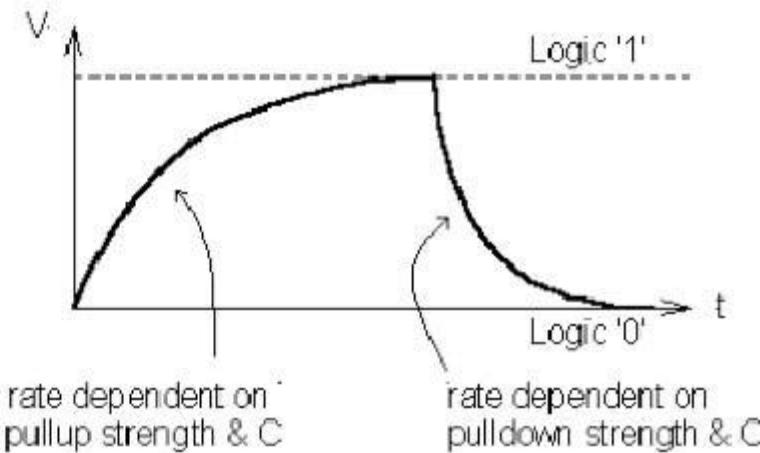
Intel Larrabee en desarrollo, subset x86, heterogéneo

- Factor 1: Energía de Conmutación
 - Repaso: Cada transición lógica disipa energía

Inverter:



Models inputs to other gates & wire capacitance



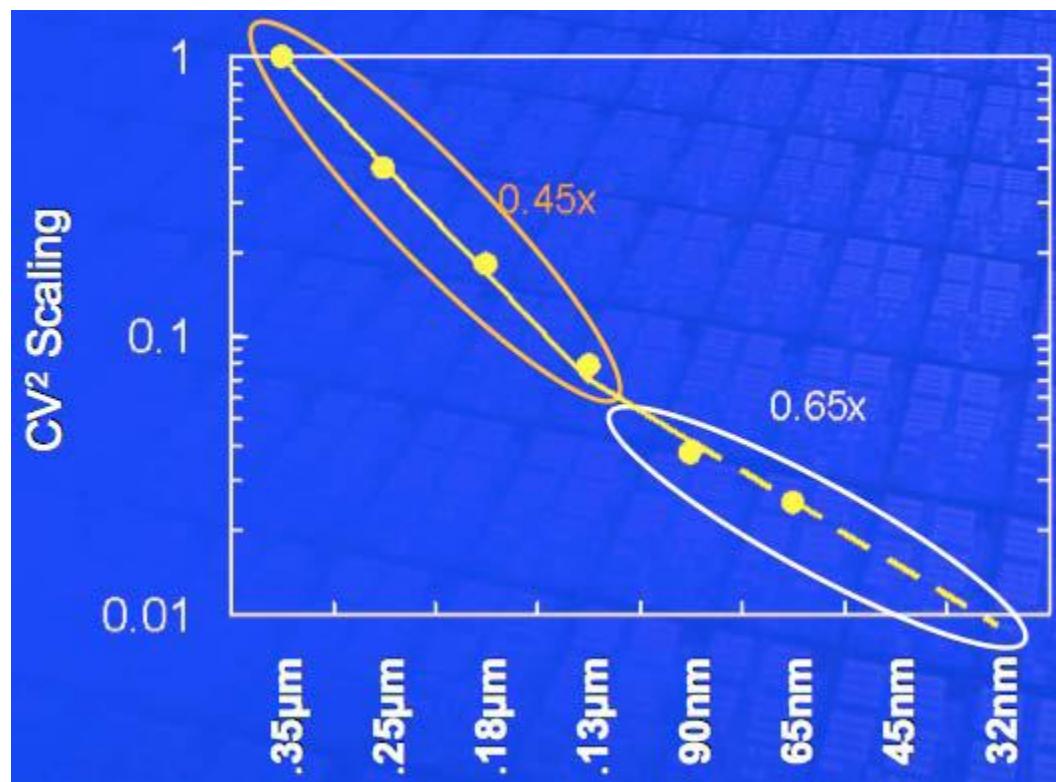
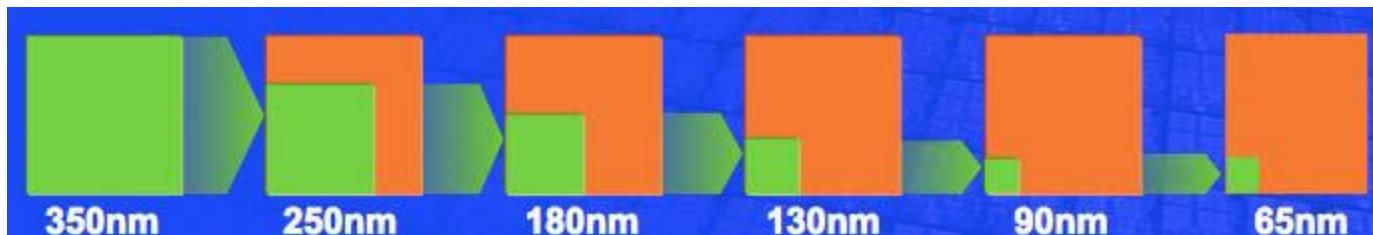
Resultado: Independiente de la tecnología.
 Además hay una corriente de cortocircuito que se debe a que los flancos se superponen, en total un 15% aprox de esta energía.

Reaso: ¿Cómo Reducir la Energía?

- Cálculo de la Potencia.
 - $E = V^2 dd.C$ por cada pulso (transición).
 - $P = N \cdot V^2 dd \cdot C \cdot f \cdot A$
 - A=Factor de Actividad. N=cantidad de transistores. f=frecuencia de clock.
- 1. Menor frecuencia (menos pulsos)
 - • Pero se desea velocidad. Además un trabajo más rápido o más lento consume lo mismo.
- 2. Bajar Vdd
 - • Pero baja la frecuencia.
 - • Menor tolerancia a ruido.
- 3. Menos Transistores.
 - • Pero más transistores permiten más trabajo.
- 4. Reducir C - con mayor miniaturización
 - • Se hace constantemente - depende de la tecnología
- 5. Menor A - trabaja menos - menor performance, a menos que se trabaje de más.

Fabricación y Diseño

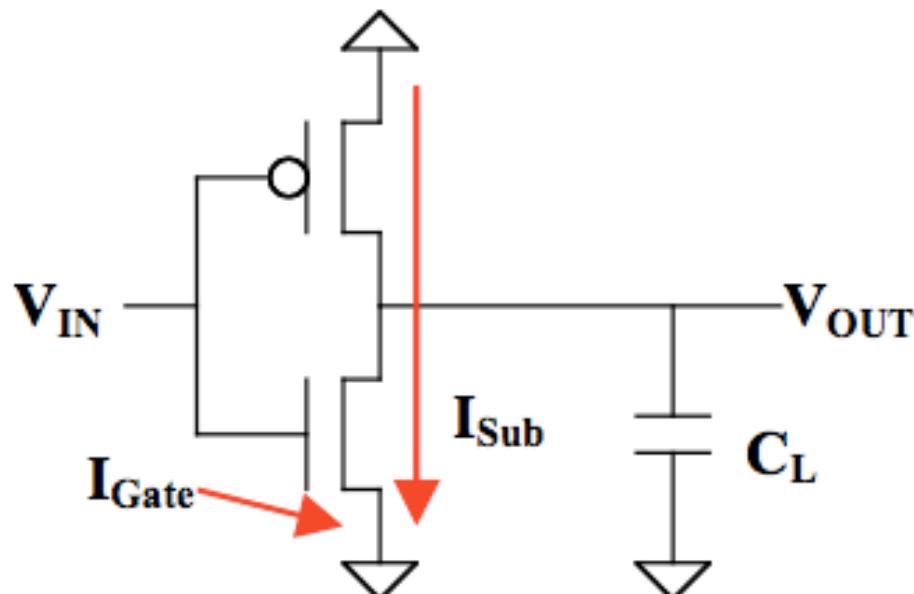
Achicar las Distancias



- Ley de Moore Se duplica N° Transistores cada 2 años.
- Debida a la reducción de V y C
- La pendiente se redujo porque no se quiere reducir tanto V.

Factor 2: Corrientes de Pérdida

- I_{sub} : Aunque el nFet está abierto, pasa una corriente de pérdida I_{off}
- Se puede bajar I_{off} pero una I_{off} baja resulta en una menor I_{on} , y baja la frecuencia de reloj



Igate: Compuertas de transistores modernos tienen un ancho de unos cuantos átomos, y no son ideales

Porque el (BIPS) ³ ?

- PW device= $(1/2)C VDD V_{swing} af + I_{leakage}VDD + I_{sc} VDD$
- The literature often approximates V_{swing} as equal to VDD
- For the voltage range considered, the operating frequency is roughly proportional to the supply voltage; C remains roughly the same if we keep the same design, but scale the voltage. If a single voltage and clock frequency is used for the whole chip, the formula reduces to
- PW chip= $K_v V^3 = K_f f^3$

- POWER-AWARE MICROARCHITECTURE:
 □ Design and Modeling Challenges for
 □ Next-Generation Microprocessors
- Authorized licensed

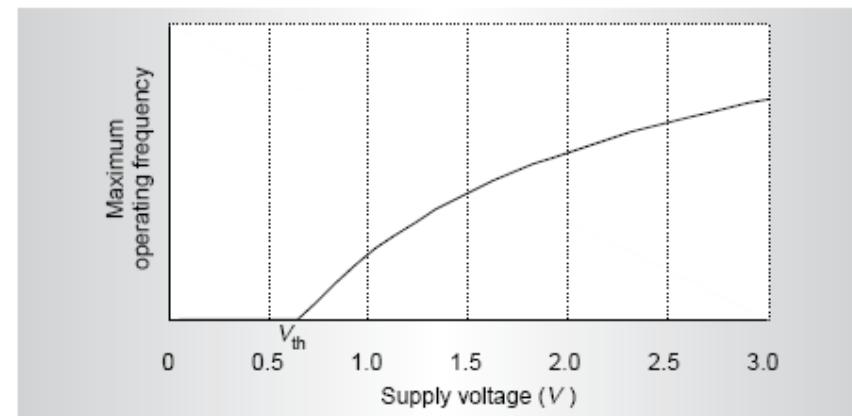
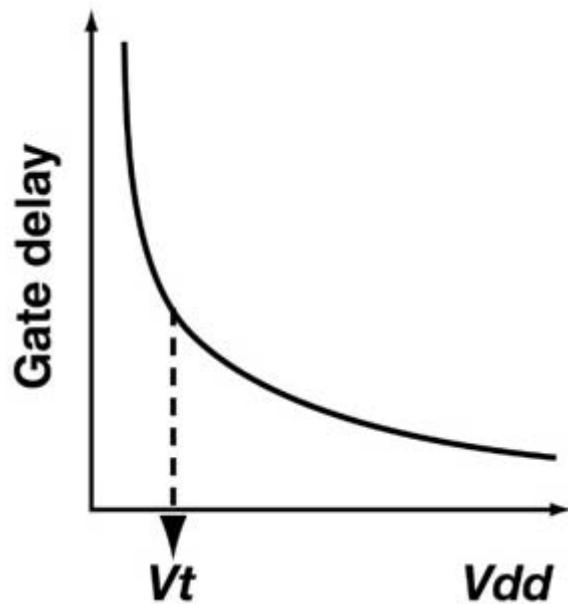


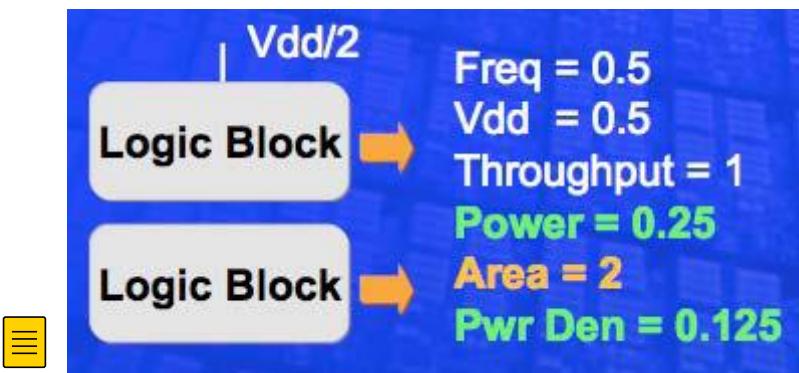
Figure 10. Maximum operating frequency versus supply voltage, given a threshold voltage of 0.6 V.

Más Hardware en Paralelo por Menos Potencia

□ Se podría transformar esto:



Ej: un bloque procesa
stereo
todos los pulsos de sonido
El bloque de arriba
procesa canal L, el
de abajo el canal R,
mitad de trabajo c/u
 $1/2 f$ bajo V. :



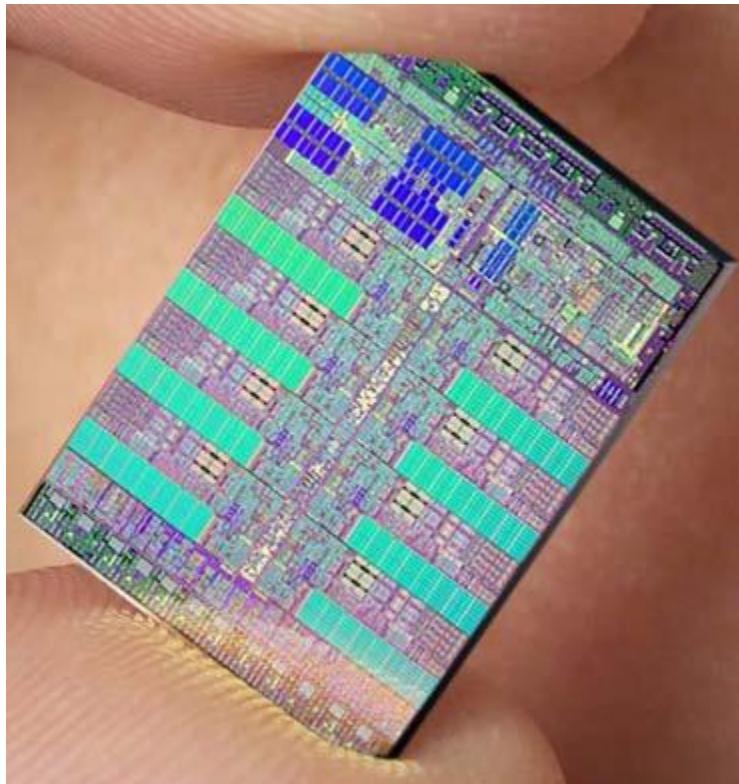
Múltiples Núcleos Vs Potencia

Cambiar más Hw por menos

Potencia en gran escala

Cell: CPU Convencional + 8 "SPUs"

Cache L2
512 KB
Synergistic
Processing
Units
(SPUs)



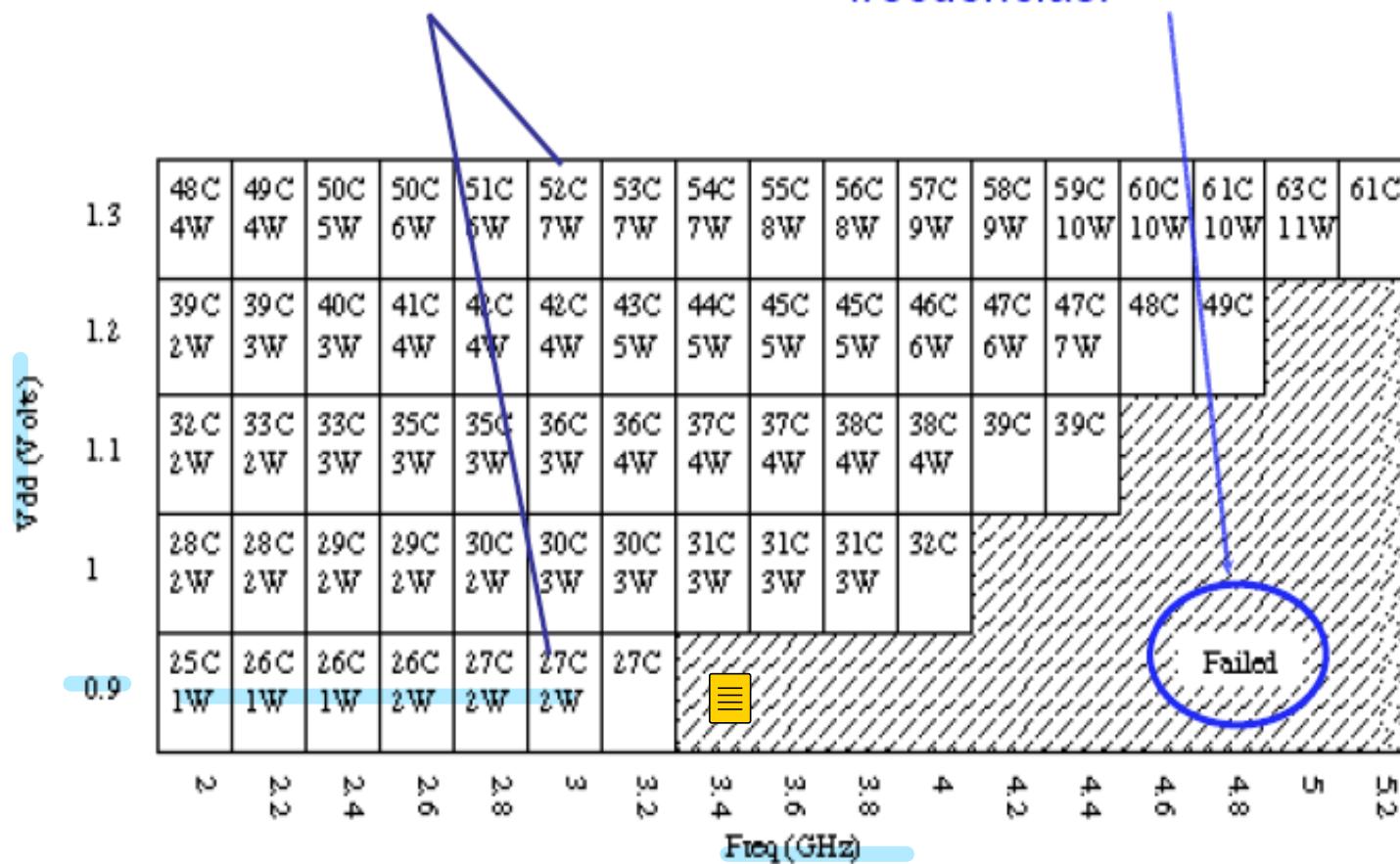
- • Cell - "Cell Broadband Engine"
 - • Power PC + 8 SPU
 - • Cada SPU
- • Arquitectura SIMD. Op. Vectoriales FP.
 - • 256 KB Memoria Local (no es cache) - I+D
 - • 128 Registros de 128-bit.
- • Acceso individual a Memoria Privada (DRAM).
- • Cada SPU emite 2 inst/ciclo (en orden) a 7 unidades de ejecución.
- • Cada SPU tiene Memoria Propia y se comunica con Power PC y otros SPUs en el mismo chip.
- • Aplicaciones específicas - gran performance
- • Supercomputadoras □ Repsol, por ej.

Graficando una Celda de SPU



A Menor Vdd menor Consumo

A menor Vdd, menor f. No puede funcionar a estas frecuencias.

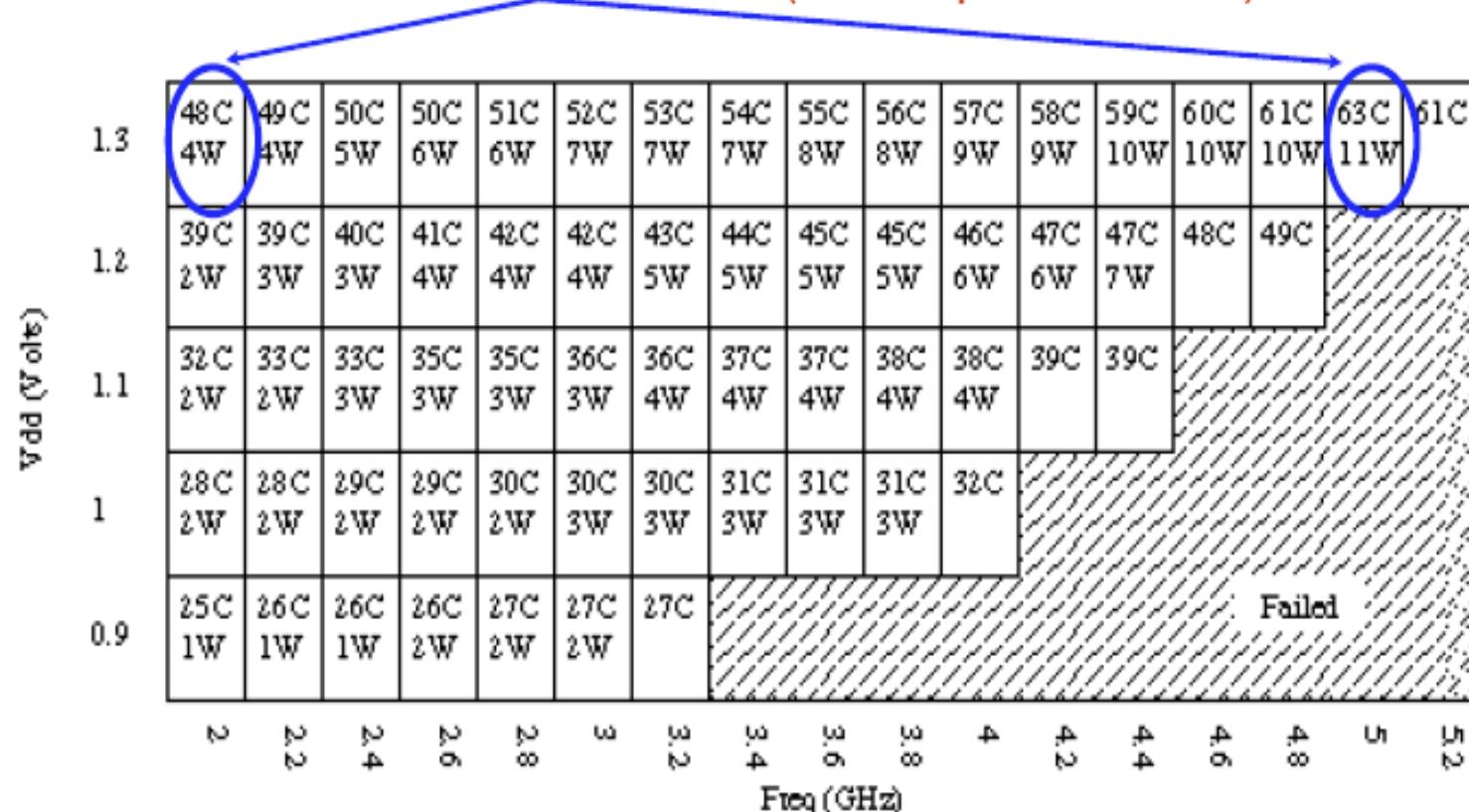


Aumento de frecuencia sólo no funciona

Pero si se baja la frecuencia manteniendo la tensión constante distribuye el mismo trabajo en más tiempo, y el chip no se calienta

...

Potencia de 11 a 4W (menor performance)

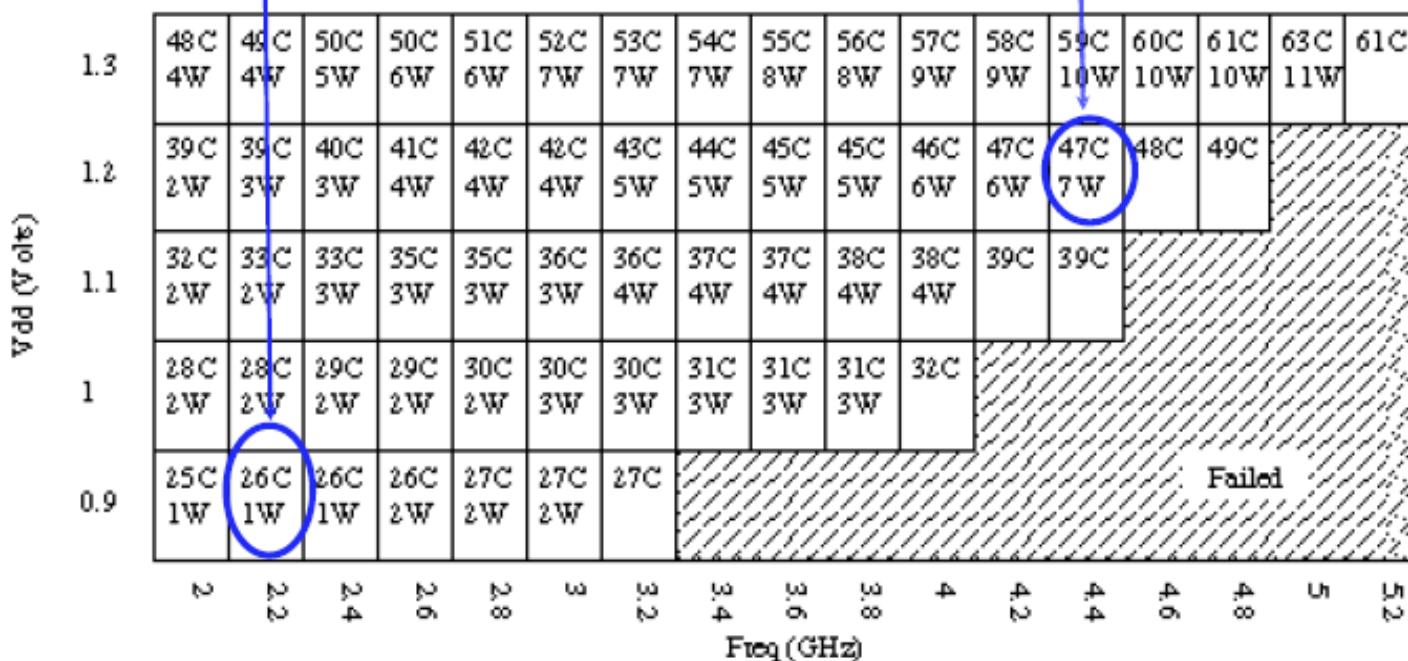


Reducir V y f baja el consumo

1 W para 2.2 GHz.
26°C temp.

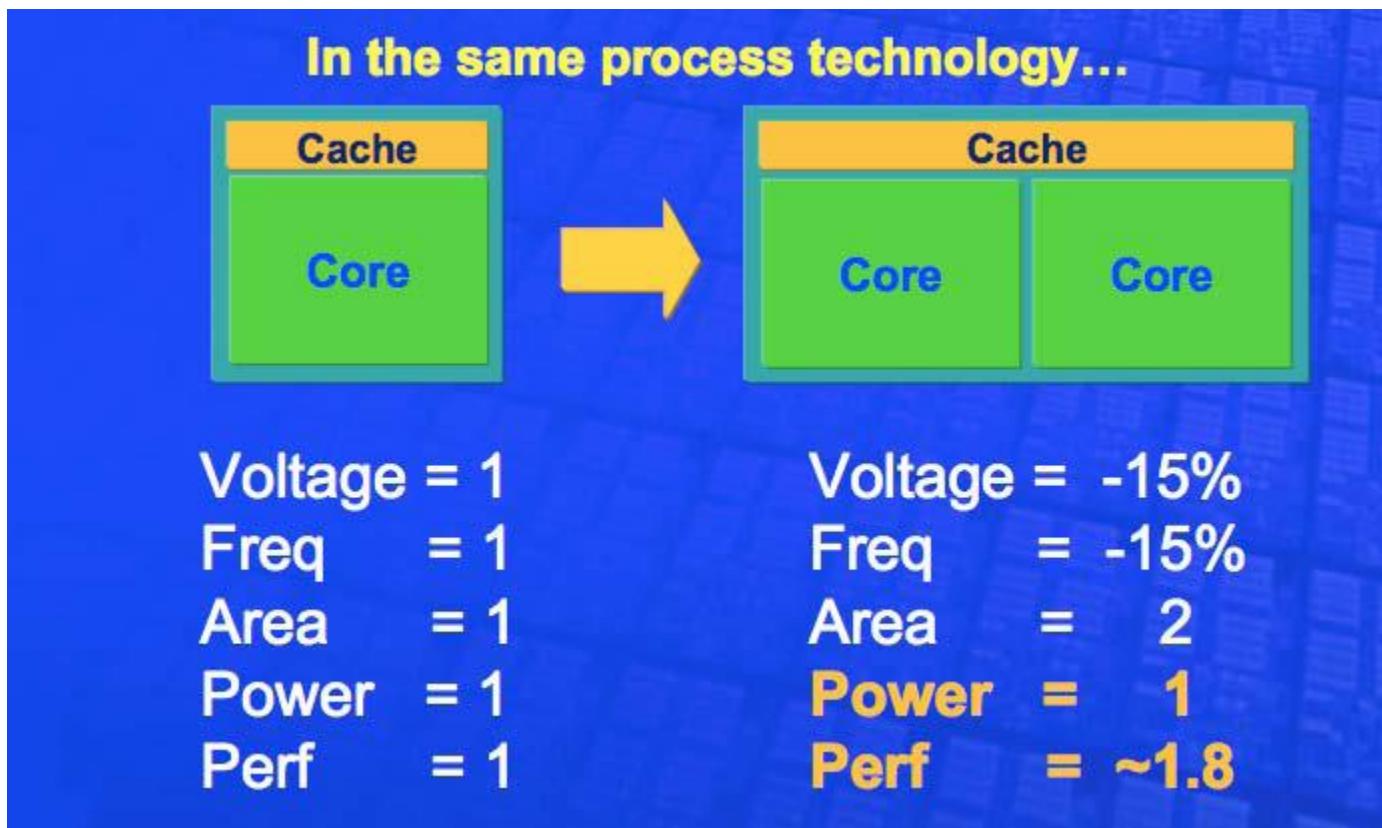
7W para lograr 4.4 GHz
47°C temp.

Si un programa que necesita un
CPU de 4.4 Ghz se cambia para
usar 2 CPUs de 2,2 Ghz. ¡éxito!



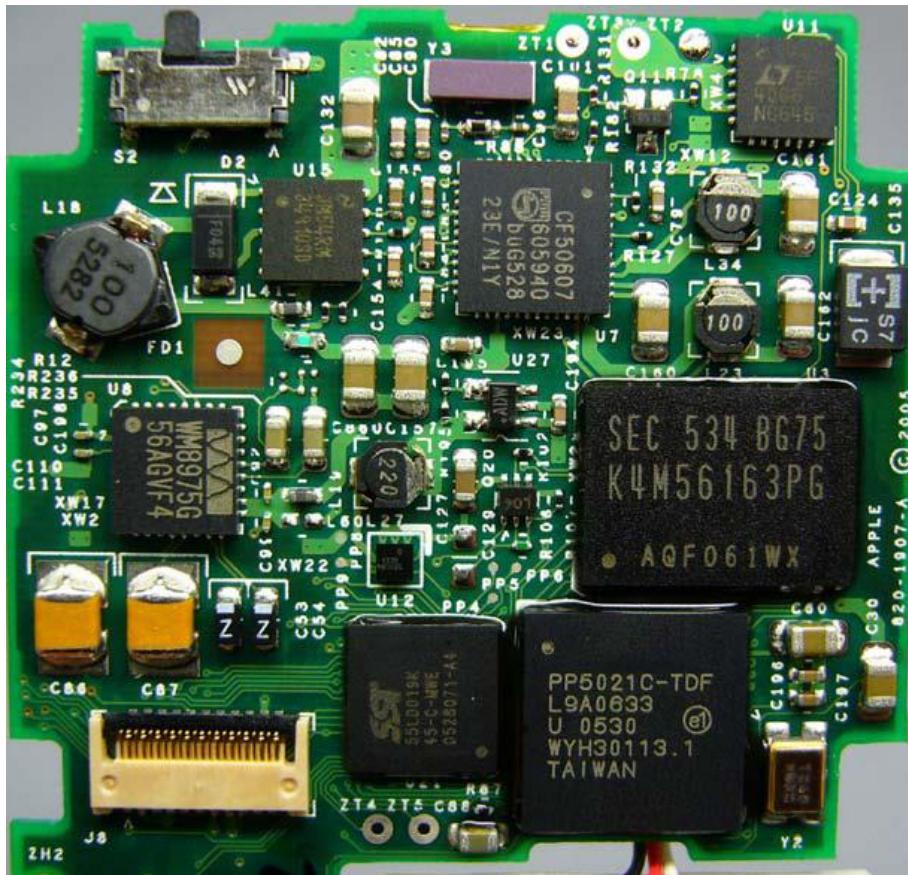
Análisis del Intel Dual-Core

- ❑ Solo si las aplicaciones pueden emplear los dos núcleos para compensar y mejorar la reducción en frecuencia



Cómo usa el IPOD sus dos núcleos

- Dos Núcleos de 80 MHz c/u. Este chip se usa en la mayoría de los iPods, un CPU decodifica el audio, el otro video.

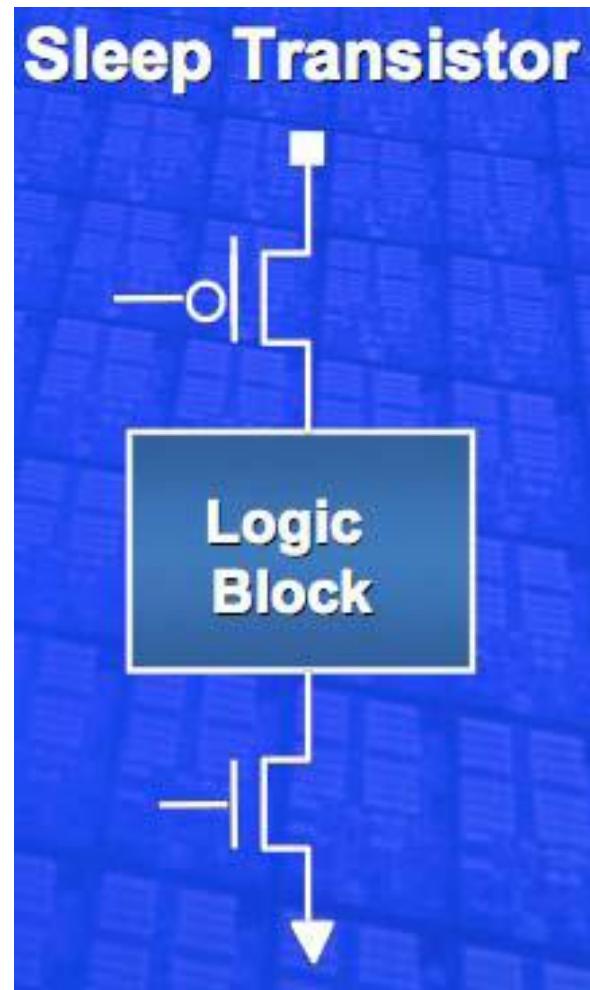


Dual ARM Processors

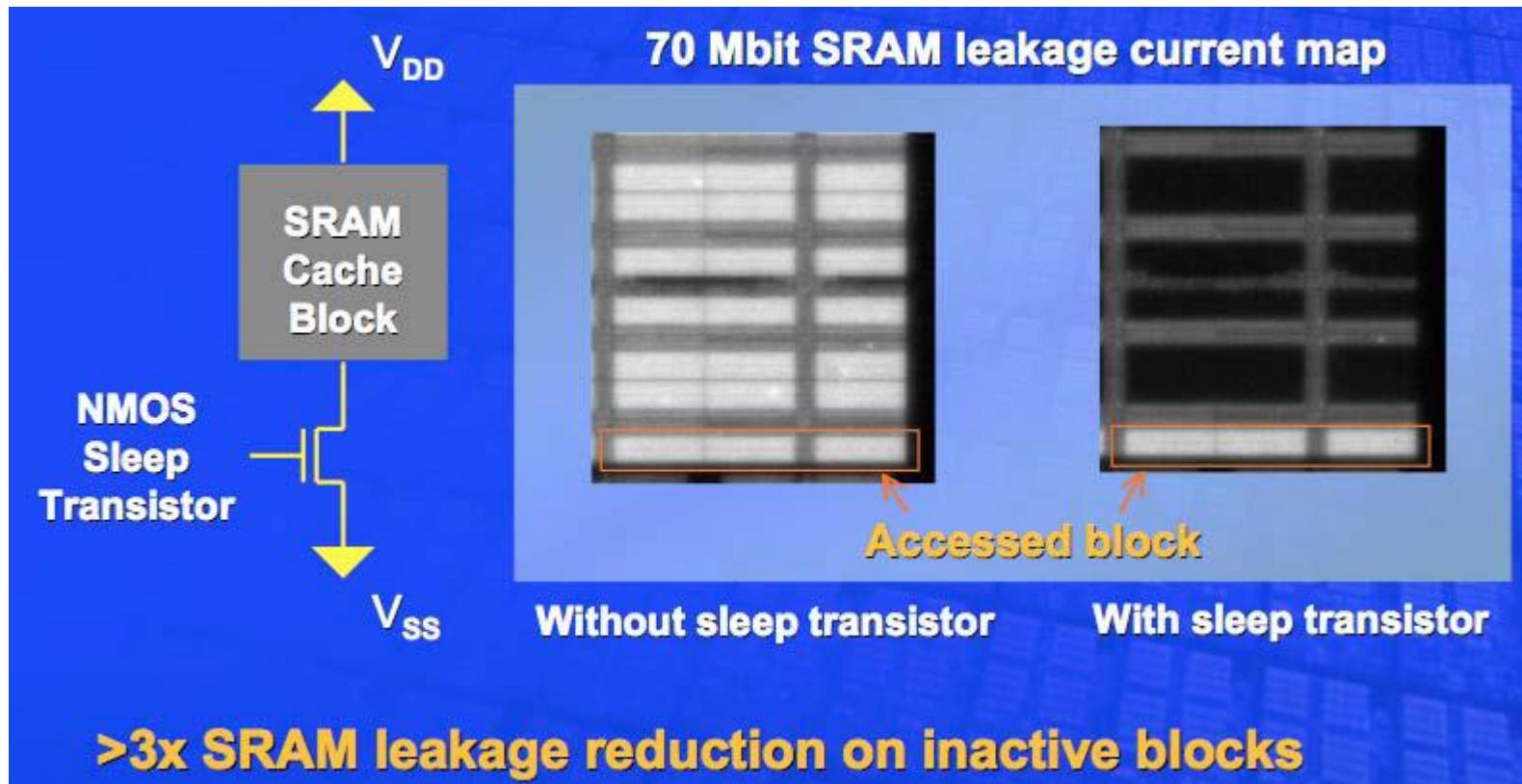
- Dual 32-bit ARM7TDMI processors
- Up to 80 MHz processor operation per core with independent clock-skipping feature on COP
- Efficient cross-bar implementation providing zero wait state access to internal RAM
- Integrated 96KB of SRAM
- 8KB of unified cache per processor
- Six DMA channels

Otras Técnicas de Baja Potencia

- Transistores para "apagar" la lógica
 - Ej: Lógica de Punto Flotante.
 - Cuando corran instrucciones de punto fijo, ponerla a dormir.
 - +++ Cuando "duerme", la corriente de pérdida cae fuerte.
 - --- Los transistores para dormir provocan que el clock sea más lento cuando se usa la lógica.



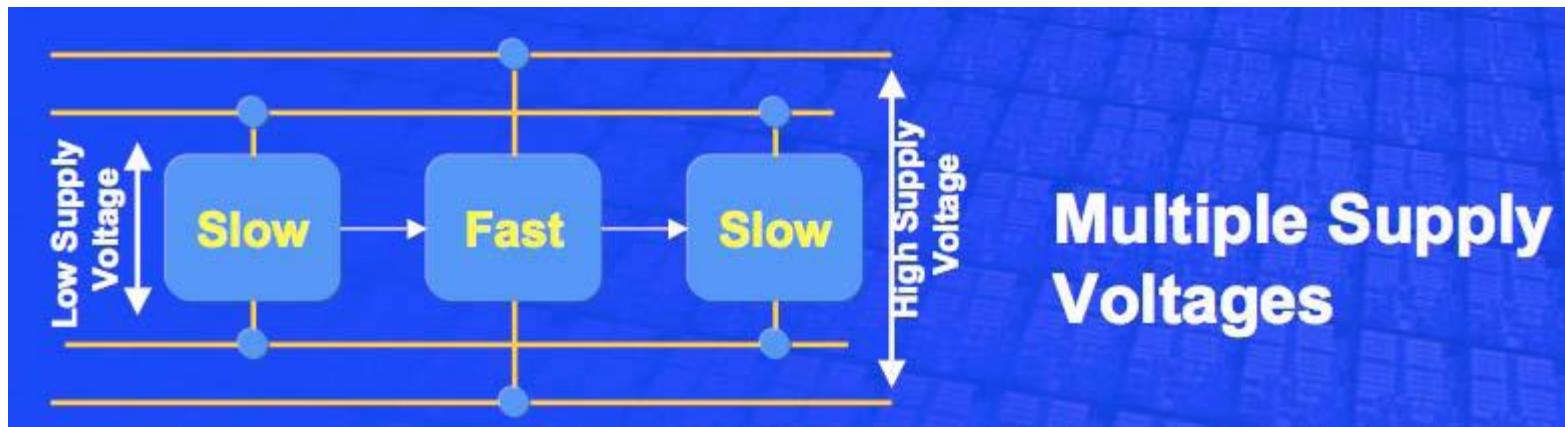
Ej. de Intel: Bloques de Cache duermen



From: "Facing the Hot Chips Challenge Again", Bill Holt, Intel, presented at Hot Chips 17, 2005

Hay muchos caminos no críticos

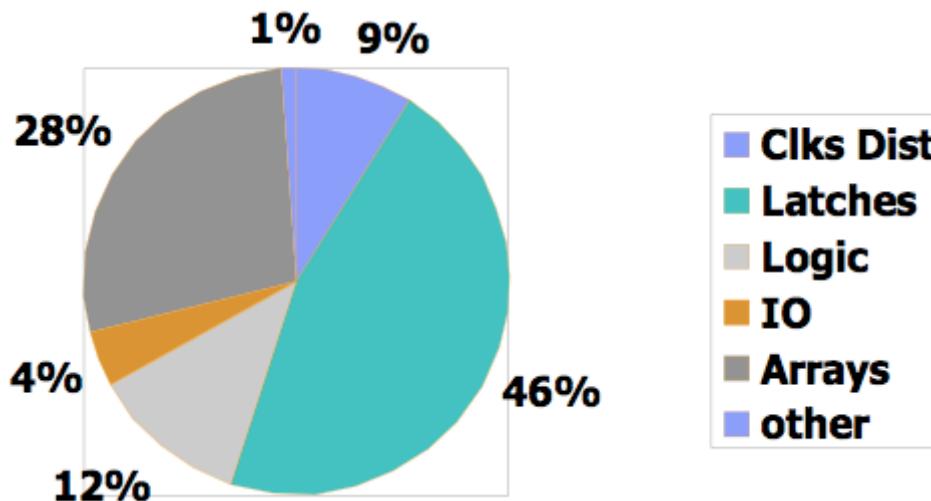
- Distintas tensiones en el mismo chip
- ¿Por qué? Podríamos usar la tensión más baja para alimentar lógica que está lejos del camino crítico.
- "Dynamic Voltage Scaling / Dynamic Frequency Scaling"
- Y... distintas frecuencias



¿Por qué? Podríamos usar la tensión más baja
para alimentar lógica que está lejos del camino crítico.
"Dynamic Voltage Scaling / Dynamic Frequency Scaling"

¿Dónde va el calor en un CPU?

- La mitad de la potencia va a (Flip-Flops).
- La mayoría del tiempo los latches no cambian.
- Usar Clocks selectivos (que llegan cuando se carga el latch). "Clock Gating".
- Se usan herramientas CAD.



From: Bose, Martonosi, Brooks: Sigmetrics-2001
Tutorial

Cambio de Paradigmas

- Más transistores en el CPU → más performance.
 - - Pero hay un límite por la potencia a disipar.
 - - No tanta mejora en performance.
 - • Perfil de la tarea en general no los aprovecha.
- • Menos transistores y varios núcleos más chicos → más performance

Cambio de Paradigmas

- Mayor frecuencia → más Performance.
- • Mayor tensión → más Performance.
 - A costa de mucha Potencia.
- • Menor frecuencia en más de un CPU.
 - - Performance se conserva con más CPUs.
- • Menor tensión gracias a menor frecuencia.

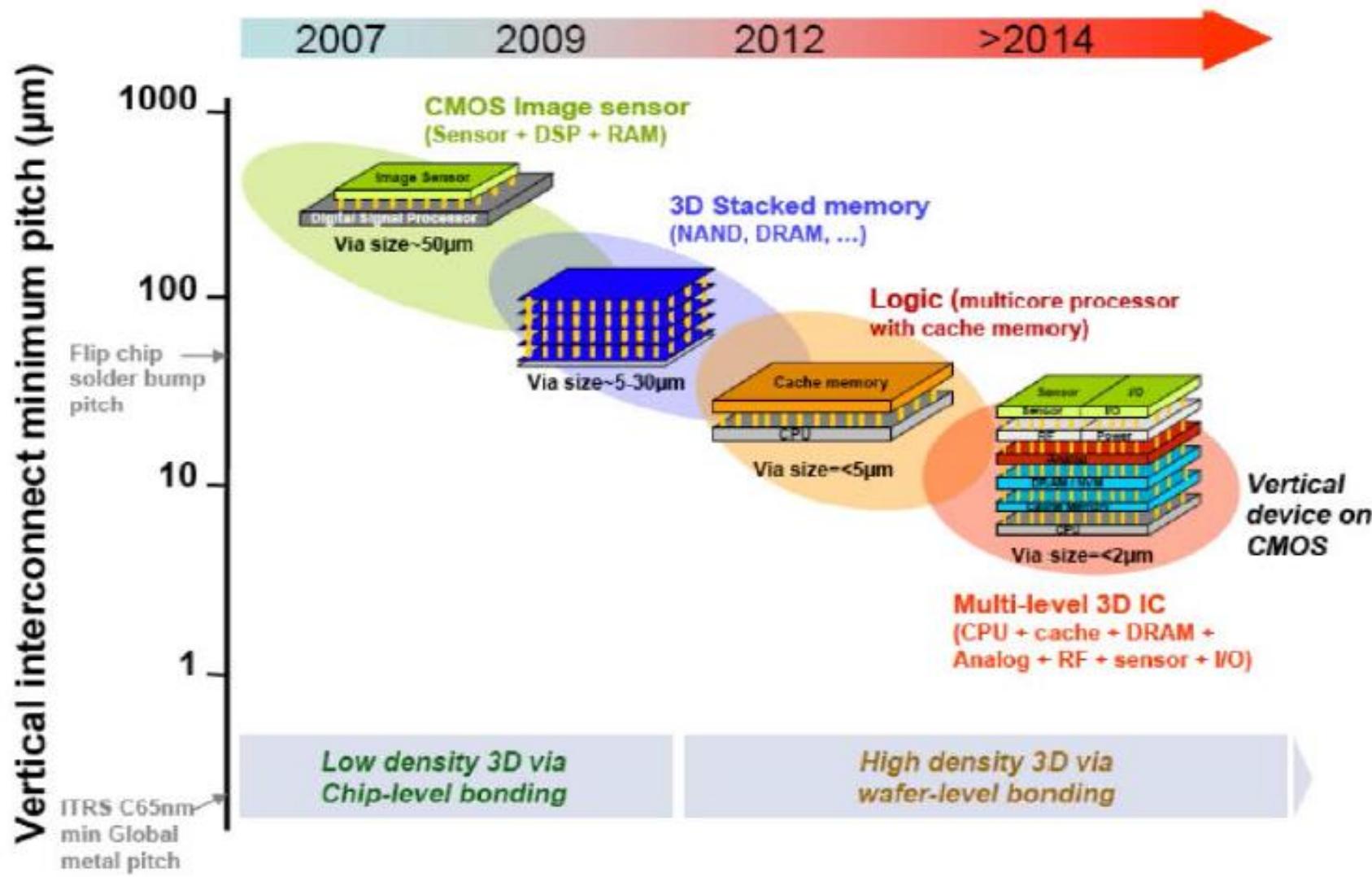
Cambio de Paradigmas

- CPU con una única alimentación.
 - Diversas alimentaciones,
menor tensión fuera del camino crítico.

- La tecnología provee recursos.
 - Si no se aprovechan todos, no importa
- (Itanium - predicados, por ej.)
 - Todos los recursos consumen potencia
 - si alguno no se usa hay que "dormirlo".

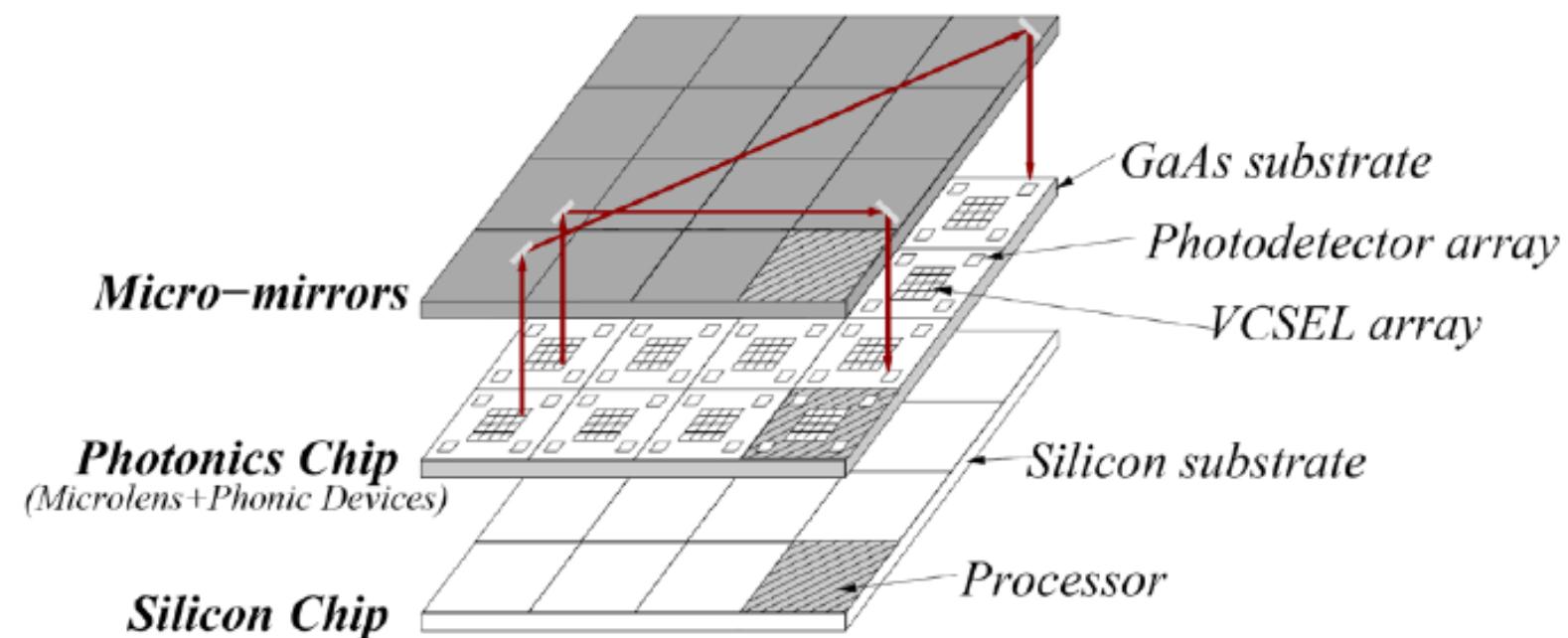
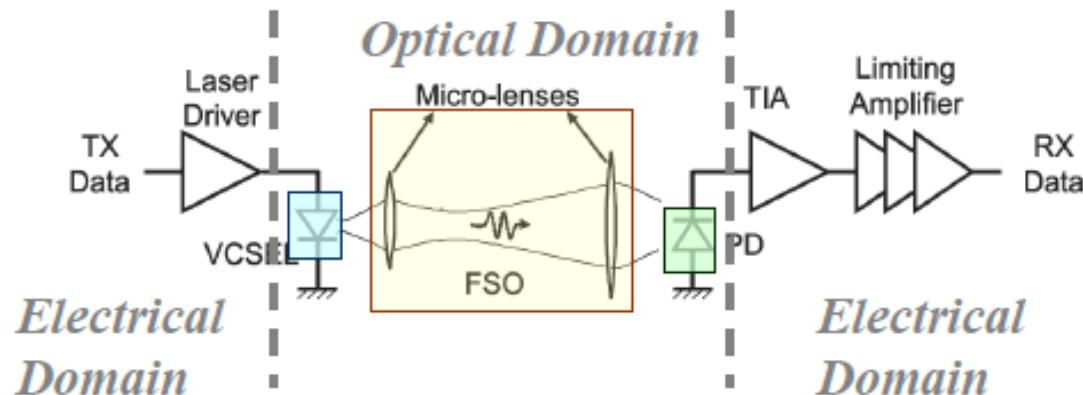
- ❑ • Un CPU de alta performance es lo mejor.
 - o - Alta complejidad
- ❑ • Varios CPU's simples, más lentos y más baratos, trabajando coordinadamente.
 - o - Podrían mantener o mejorar Performance.
 - o - Mejoran Consumo.
- ❑ • ¿Nos recuerda a RISC Vs. CISC?

□ Die stacking

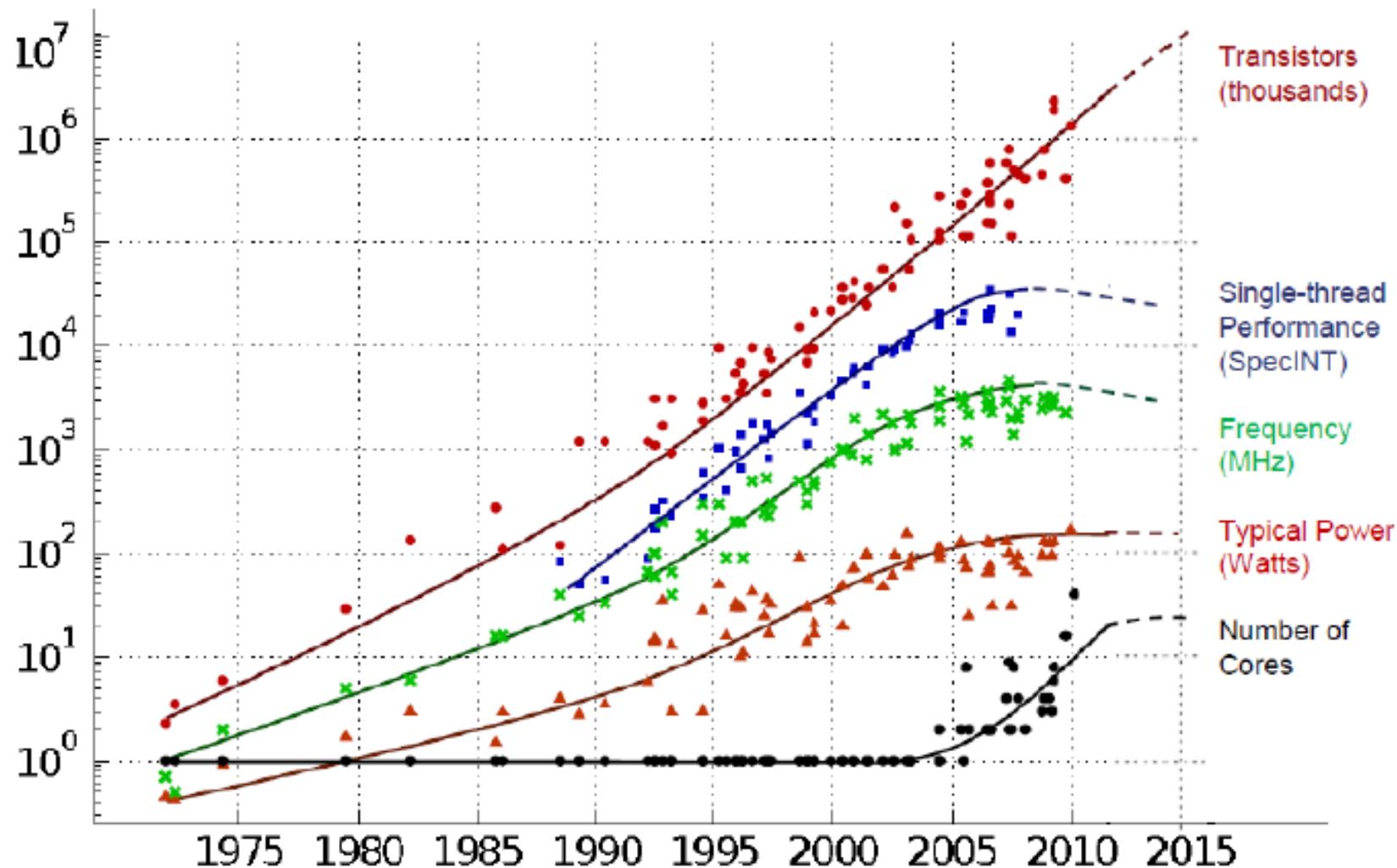


Fuente: CEDI2010 keynote Chuck Moore

□ Interconexiones Ópticas



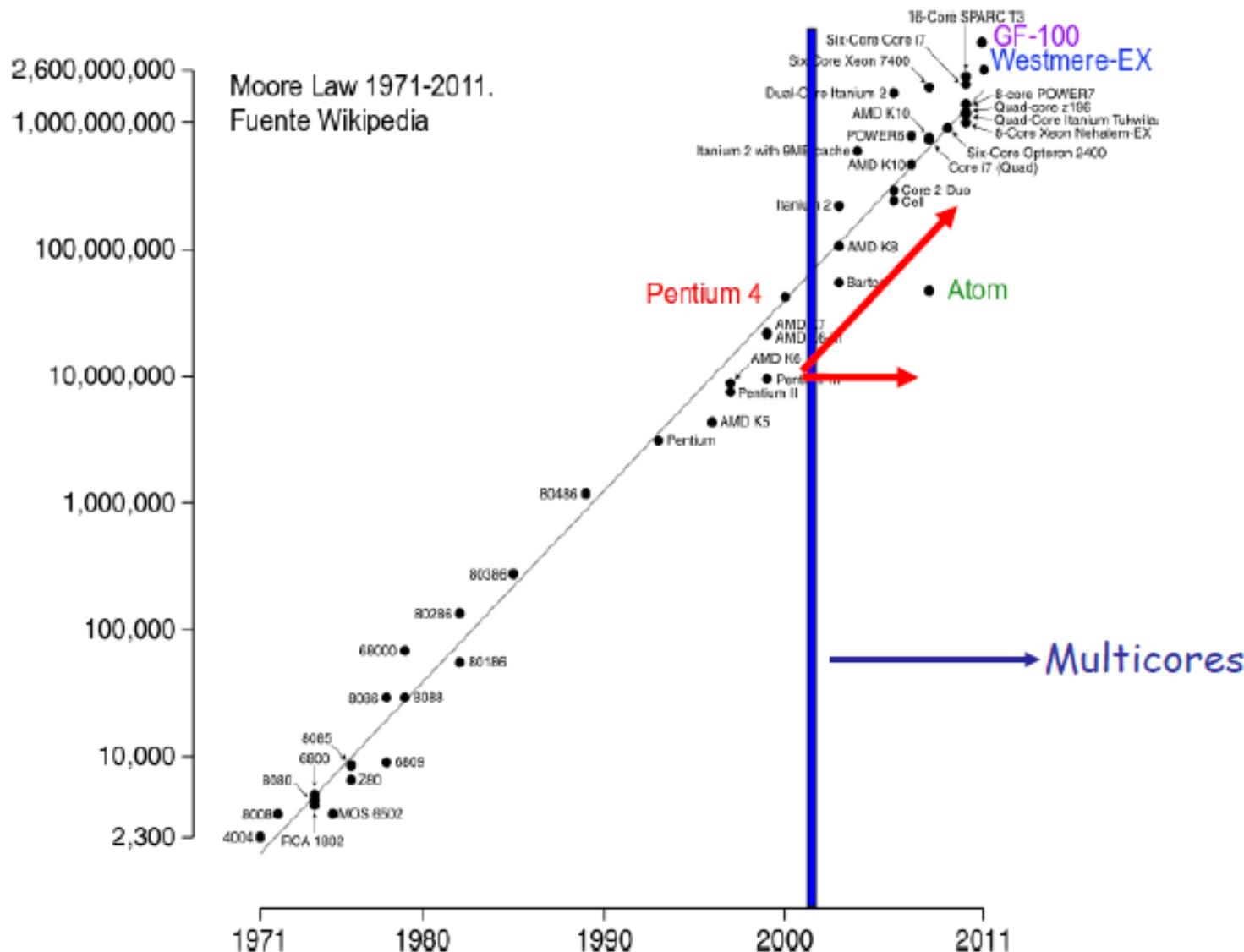
30 años de evolución



Original data collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond and C. Batten
Dotted line extrapolations by C. Moore

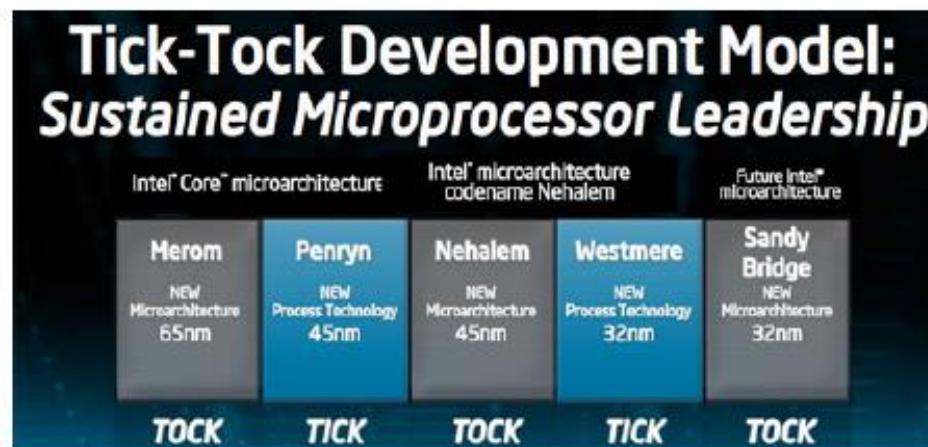
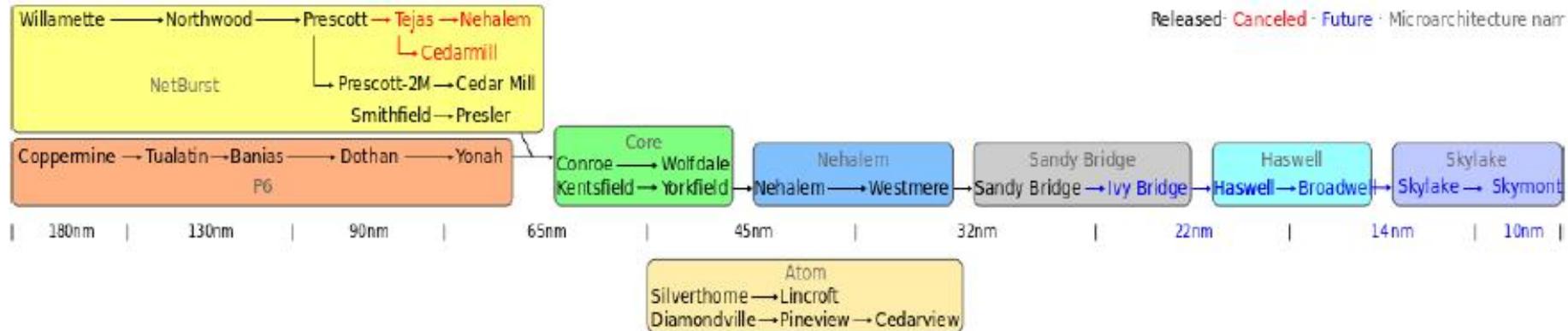
30 años de evolución

- It is difficult to make predictions, specially about the future - Mark Twain-

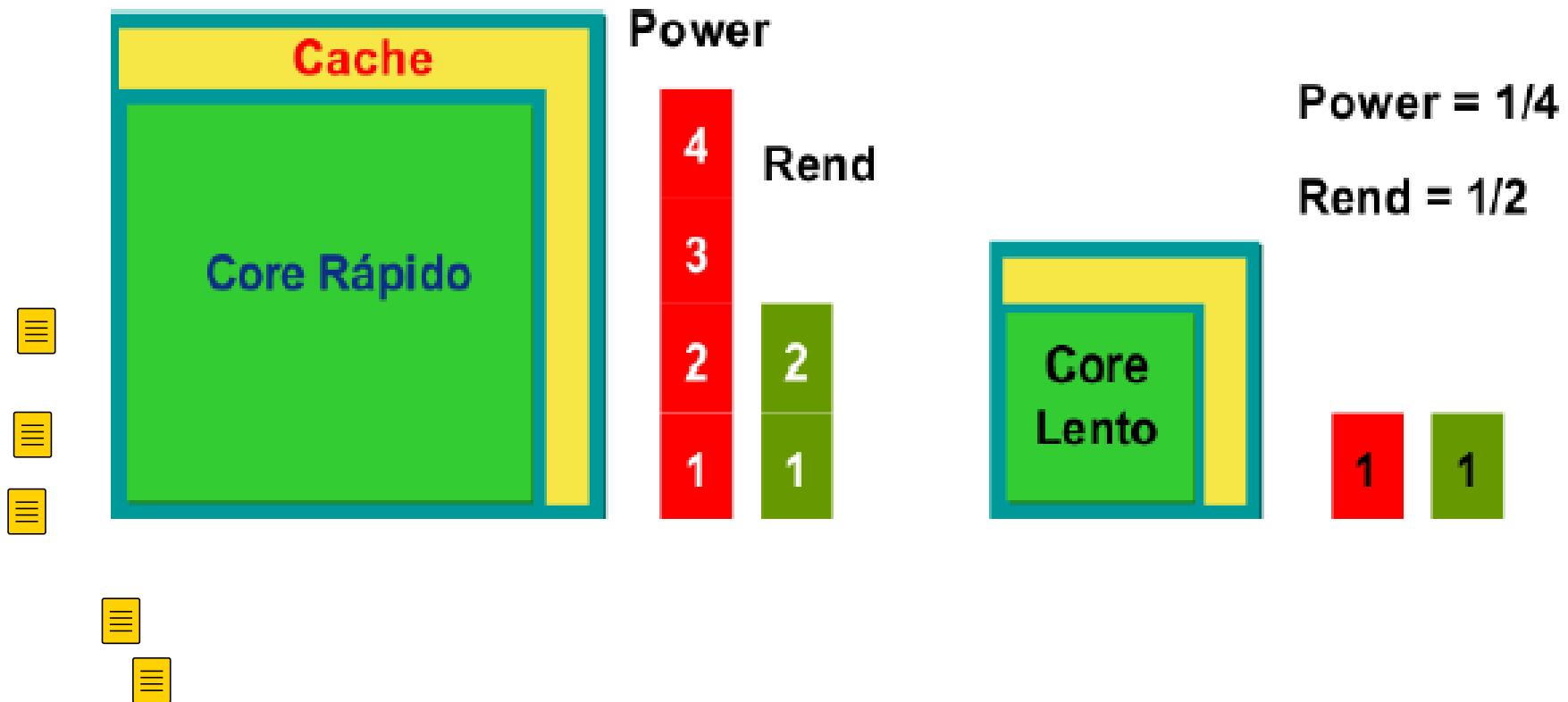


30 años de evolución

- Hoja de Ruta (Intel)
- Fuente Wikipedia/Intel



- La Regla de Pollack (Intel) $\text{Perf (R)} \sim \sqrt{R}$
 - El rendimiento mejora sub-linealmente con los recursos
Transistores/Consumo $2x \rightarrow$ Rendimiento $1.4x$
 - Transistores/Consumo $4x \rightarrow$ Rendimiento $2x$



El futuro

1: the end of Dennard Scaling1

- 1. This is the MOSFET scaling theory by Robert Dennard et al. (IEEE JSCC 74) proposing to maintain a constant electric field throughout the device as it shrinks in size . Table source: Krisztián Flautner "From niche to mainstream: can critical systems make the transition?"

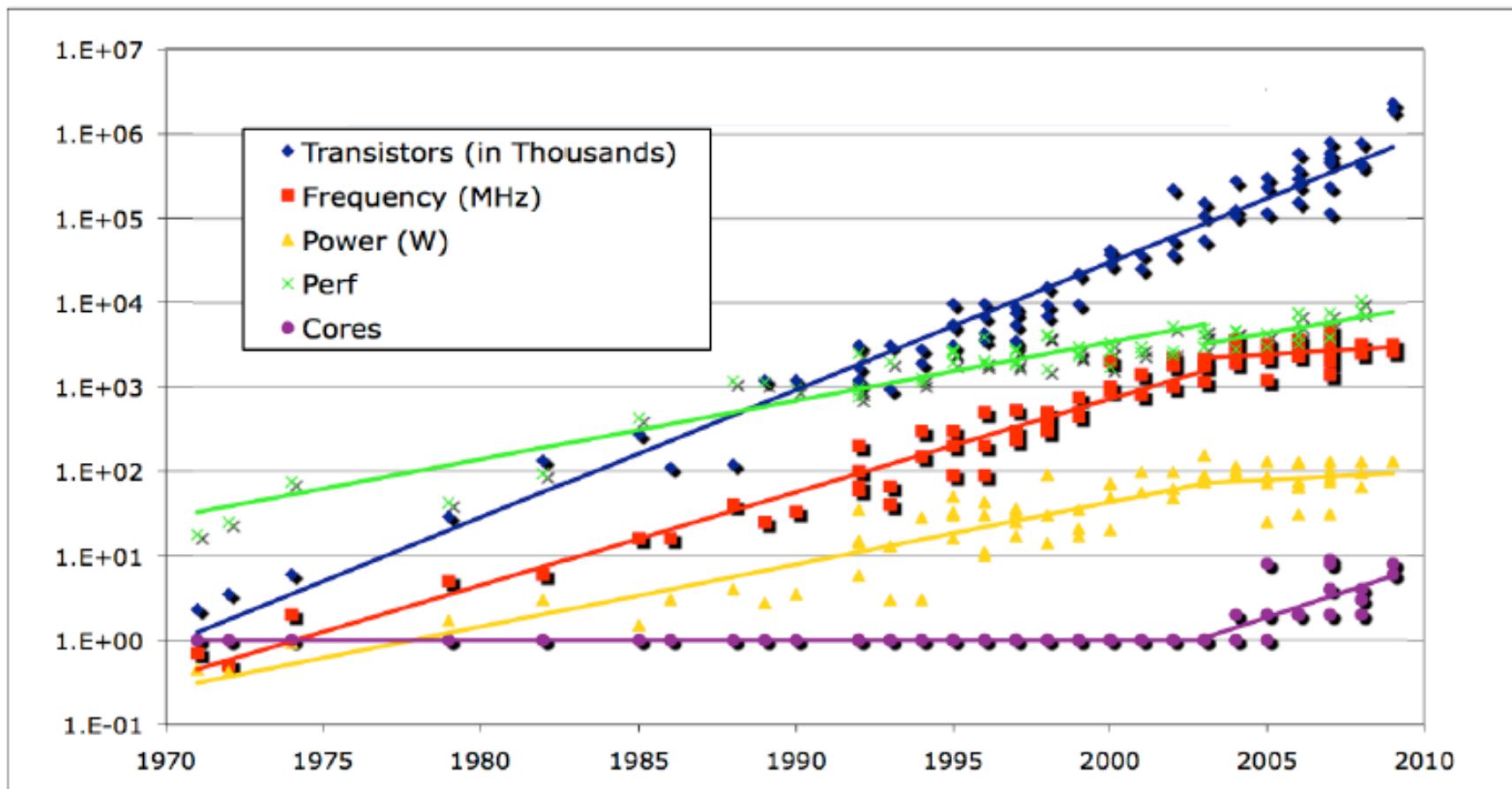
Parameter (scale factor = s)	Classic Scaling	Current Scaling
Dimensions	1/s	1/s
Voltage	1/s	1
Current	1/s	1/s
Capacitance $\epsilon A/tox$	1/s	>1/s
Power	$1/s^2$	1/s
Power Density	1	s
Delay $R \cdot C = V/I \cdot C$	1/s	~1

Locality and communications management

- In 22 nm, swapping 1 bit in a transistor has an energy cost:
- ~ 1 attojoule (10⁻¹⁸ J)
- Moving a 1-bit data on the silicon costs:
 - ~1 picojoule/mm (10⁻¹² J/mm)
 - Moving a data 10⁹ per second (1 GHz) in silicon has a cost:
 - $1 \text{ pJ/mm} \times 10^9 \text{ s}^{-1} = \sim 1 \text{ milliwatt/mm}$
 - 64 bit bus @ 1 GHz: ~64 milliwatts/mm (with 100% activity)
 - For 1 cm of 64 bit bus @ 1 GHz : 0,64 W/cm
 - On modern chips, there are about several km of wires on chip, even with low toggle rate, this leads to several Watt/cm²

Limited frequency increase ⇒ more cores

- 2 cores a mitad de frecuencia pueden hacer el mismo trabajo que uno, consumiendo una cuarta parte



Data from Kunle Olukotun, Lance Hammond, Herb Sutter, Burton Smith, Chris Batten, and Krste Asanović

2:The data deluge: growth of data storage

- Facebook 10 TB/día
- Tweeter 7 TB/día
- $4,6 \times 10^9$ teléfonos móviles varios eventos / s
- 2×10^9 usuarios internet
- En 2020 $\square 50 \times 10^9$ dispositivos conectados
- Datos científicos o grandes instalaciones (satélites, aceleradores de partículas, ...)
- osupercomputadores

2:The data deluge: growth of data storage

