

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Convocatoria ordinaria 2025

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Ágora.
- La fecha límite de entrega es el día 16 de abril.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como los ficheros fuente del código VHDL de los ejercicios que haya realizado.
- La memoria ha de incluir el código VHDL de los ejercicios que haya realizado, así como capturas de pantalla de las simulaciones realizadas. Si no entrega la memoria, el trabajo estará suspenso y será calificado con 0 puntos.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantearémos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria ordinaria de 2025.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Se desea diseñar un circuito digital que implemente las funciones F y G mostradas a continuación, que dependen de las tres variables x, y y z:

$$F = xy'z' + x' + xyz'$$

$$G = xy + x'z + yz$$

- 1.a) (0.5 puntos) Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas x, y y z, y dos salidas F y G.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (0.5 puntos) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente.

Incluya en la memoria las capturas de pantalla de los dos cronogramas obtenidos al realizar con el simulador de VHDL la simulación del banco de pruebas con los circuitos diseñados en los Apartados 1.b y 1.d.

EJERCICIO 2

Se quiere programar en VHDL un circuito combinacional para comparar dos números x e y de N bits, siendo N mayor o igual que uno. Los números x e y se representan en binario sin signo. El circuito tiene como señales de entrada dos números de tipo `std_logic_vector` de N bits, siendo N una constante de tipo `generic` cuyo valor ha de ser mayor o igual que 1. El circuito tiene dos señales de salida llamadas `gout` y `eout`, que nos indican si x es mayor que y o ambos números son iguales. La señal `gout` tiene valor 1 sólo si x es mayor que y , teniendo valor 0 en caso contrario. La señal `eout` tiene valor 1 sólo si x es igual que y , teniendo valor 0 en caso contrario.

Este circuito se va a construir de manera iterativa. En la siguiente figura se muestra el módulo cuando se comparan dos números de 1 bit y la estructura del circuito comparador de 4 bits empleando 4 módulos comparadores de 1 bit.

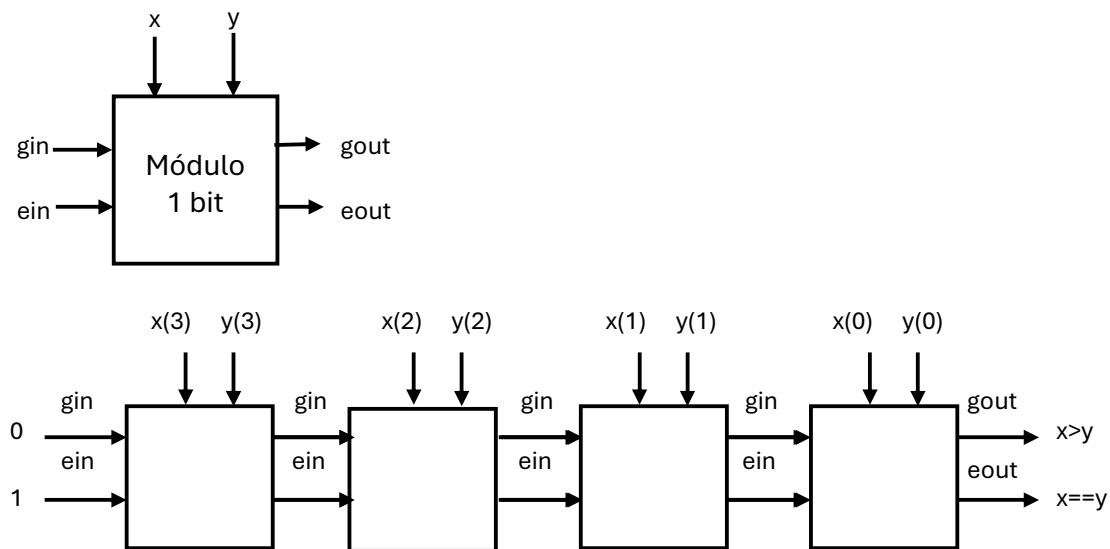


Figura 1.1: Comparador de 1 bit y comparador de 4 bits usando 4 comparadores de 1 bit.

- 2.a)** (0.25 puntos) Escriba en VHDL la **entity** del circuito combinacional que compara dos números de un bit y cuyo módulo se dió en la anterior figura, así como la **entity** del circuito combinacional capaz de comparar dos números de N bits como se ha descrito anteriormente. El número de bits de las señales de entrada tiene que ser una constante de tipo `generic`.

En ambas **entity**, los nombres de los puertos deber ser los mismos que se han especificado para las señales de entrada y salida del circuito. Emplee el convenio de especificar en primer lugar las señales de salida del circuito y posteriormente las señales de entrada.

- 2.b)** (1.25 puntos) Escriba la tabla de verdad del comportamiento del módulo que compara dos números de un bit y obtenga las funciones lógicas que describen el comportamiento de cada señal de salida. Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar. Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.

- 2.c)** (2.5 puntos) Escriba en VHDL la **architecture** que describe la estructura del circuito combinacional comparador de N bits, donde N es una contante de tipo `generic`, usando el comparador de 1 bit desarrollado en el anterior apartado. Emplee sentencias `generate` para realizar la instanciación y conexión de los N comparadores. El diseño debe ser válido para cualquier valor de N que sea mayor o igual a 1.

- 2.d)** (2 puntos) Programe en VHDL un banco de pruebas para el comparador de N bits, que sea válido para cualquier valor de N . El banco de pruebas debe testear todas las posibles entradas al circuito y mostrar al final de la simulación un mensaje con el número total de errores producidos.

Realice la simulación del banco de pruebas para un valor de $N = 4$ siendo el circuito a probar el diseño del Apartado 2.c cuando el valor de N es 4. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas del circuito diseñado en el Apartado 2.c.