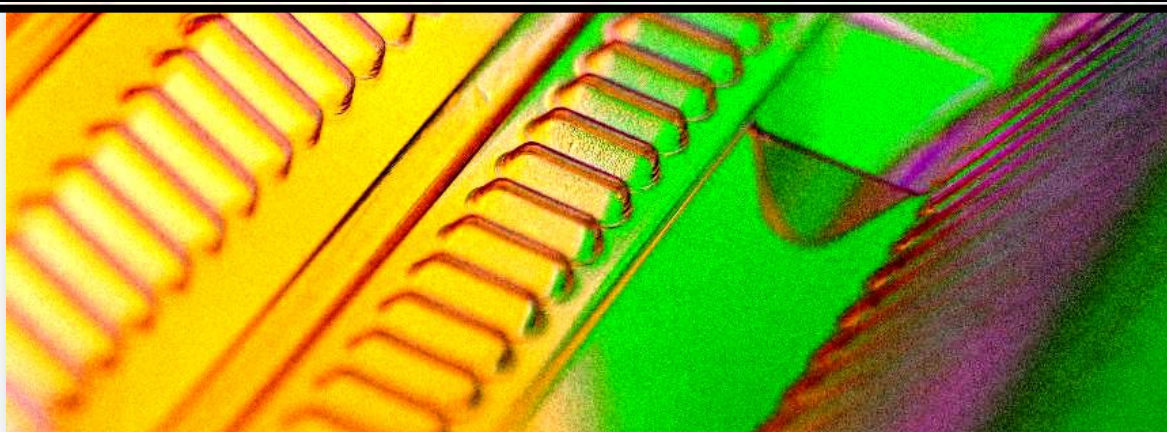


zrtech

FPGA/CPLD 开发套件实验教程

--仿真，调试，设计篇



WWW.ZR-TECH.COM

实验一、初识 modelsim

实验目的：

通过这个基础实验，使用户了解 modelsim 中常用的基本概念，安装并配置好 modelsim 软件

实验原理：

1.Modelsim简介

仿真验证是 CPLD/FPGA 设计中的重要一环,QuartusII 软件本身带有仿真功能,但是无法使用 testbench,而且功能相对简单,对于复杂的设计,画波形图显然不是明智的选择,一般选择 Mentor Graphics Corporation 的 modelsim 作为仿真工具。它支持 Verilog、VHDL 以及他们的混合仿真,它可以将整个程序分步执行,使设计者直接看到他的程序下一步要执行的语句,而且在程序执行的任何步骤任何时刻都可以查看任意变量的当前值,可以在 Dataflow 窗口查看某一单元或模块的输入输出的连续变化等,比 quartus 自带的仿真器功能强大的多,是目前业界最通用的仿真器之一。

仿真一般分为功能仿真,前仿真与后仿真。根据设计需要,编写完代码(Verilog hdl,Vhdl,system Verilog)后,首先进行功能仿真,验证所写代码是否能完成设计功能;前仿真又称为综合后仿真,即在 QuartusII 完成综合后,验证设计的功能;后仿真又称为时序仿真活布局布线后仿真,是加入延时后的仿真。对于编译时间较短的小规模设计,一般只进行功能仿真与后仿真。

modelsim 有很多版本,ae,pe,le,xe,se 等,其中 se 功能最为强大,见下表。其中 ae 版本是 altera 的定制版本,已经包含了 altera 元器件的编译库,对于 altera 公司的器件仿真,使用比较简单。但值得注意的是 se 版本的仿真效率要比 ae 版本高的多,且可以 VHDL 与 verilog 混合仿真,这是 ae 版本不可比拟的。但是 se 版本需要自行添加 altera 元器件的库,有些不便。在本节课程里,我们会帮助大家以最简单的方式添加 altera 的仿真库,使 ae 版本用起来和 se 版本一样方便。具体的软件安装详细见软件压缩包里的安装说明,一般情况下 ae 与 se 选择其一安装即可,安装 se 的用户需要按照后面所介绍的方法添加 altera 的仿真库。

Table 2-1. Comparison of ModelSim Software Versions				
Product Feature	ModelSim SE	ModelSim PE	ModelSim-Altera	ModelSim-Altera Web Edition
100% VHDL, Verilog, mixed-HDL support	Optional	Optional	Supports only single-HDL simulation	Supports only single-HDL simulation
Complete HDL debugging environment	✓	✓	✓	✓
Optimized direct compile architecture	✓	✓	✓	✓
Industry-standard scripting	✓	✓	✓	✓
Flexible licensing	✓	Optional	✓	—
Verilog PLI support. Interfaces Verilog HDL designs to customer C code and third-party software	✓	✓	✓	✓
VHDL FLI support. Interfaces VHDL designs to customer C code and third-party software	✓	—	—	—
Standard Delay Format File annotation	✓	✓	✓ (1)	✓ (1)
Advanced debugging features and language-neutral licensing	✓	—	—	—
Customizable, user-expandable graphical user interface GUI and integrated simulation performance analyzer	✓	—	—	—
Integrated code coverage analysis and SWIFT support	✓	—	—	—
Accelerated VITAL and Verilog HDL primitives (3 times faster), and register transfer level (RTL) acceleration (5 times faster)	✓	—	—	—
Platform support	PC, UNIX, Linux	PC only	PC, UNIX, Linux	PC only
Precompiled Libraries	No	No	Yes	Yes

2.Modelsim中常用的基本概念

1、什么是库(Library)？

库就是用来存放已编译好的设计单元（Design Units）的文件夹。库有两种类型——工作库（Work）与资源库（Resource）

工作库（Work）

- 存放当前设计文件编译后产生的设计单元
- 编译前必须先创建好工作库
- 每次编译只允许有一个工作库
- 默认的工作库名是 work

资源库（Resource）

- 存放着所有可以被当前编译操作调用的已经编译过的设计单元

- 每次编译允许同时调用多个资源库
 - ALTERA 的仿真库也属于资源库的一种
 - VHDL 的库可以直接通过 LIBRARY 和 USE 语句直接调用，
- 工作库和资源库其实从图中可以直接分辨出来：

Name	Type	Path
work	Library	work
altera_mf	Library	\$MODEL_TECH/./altera_lib/VHDL/altera_mf
altera_mf_ver	Library	\$MODEL_TECH/./altera_lib/Verilog/altera_mf
cyclone	Library	\$MODEL_TECH/./altera_lib/VHDL/cyclone
cycloneii	Library	\$MODEL_TECH/./altera_lib/VHDL/cycloneii
cycloneii_ver	Library	\$MODEL_TECH/./altera_lib/Verilog/cycloneii
lpm	Library	\$MODEL_TECH/./altera_lib/VHDL/lpm
lpm_ver	Library	\$MODEL_TECH/./altera_lib/Verilog/lpm_ver
maxii	Library	\$MODEL_TECH/./altera_lib/VHDL/maxii
stratixii	Library	\$MODEL_TECH/./altera_lib/VHDL/stratixii
vital2000	Library	\$MODEL_TECH/./vital2000
ieee	Library	\$MODEL_TECH/./ieee
modelsim_lib	Library	\$MODEL_TECH/./modelsim_lib
std	Library	\$MODEL_TECH/./std
std_developerskit	Library	\$MODEL_TECH/./std_developerskit
synopsys	Library	\$MODEL_TECH/./synopsys
verilog	Library	\$MODEL_TECH/./verilog

2、什么是设计单元 (Design Units) ？

HDL 文件经过编译后，会以设计单元的形式存放在库中，设计单元可以是以下模块：

VHDL

- Entity
- Package Declaration
- Configuration
- Architecture (次级设计单元，一个库中可以有多个同名的次级设计单元，仅 VHDL 有次级设计单元) Package body (次级设计单元，一个库中可以有多个同名的次级设计单元，仅 VHDL 有次级设计单元)

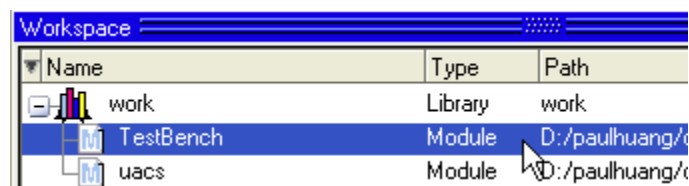
例如：

Name	Type	Path
altera_mf	Library	\$MODEL_T...
a_graycounter	Entity	E:/altera/61.
alt3pram	Entity	E:/altera/61.
altaccumulate	Entity	E:/altera/61.
altcam	Entity	E:/altera/61.

Verilog

- Module
- User Defined Primitive

例如：



实验结果：

配置好 modelsim 仿真环境。

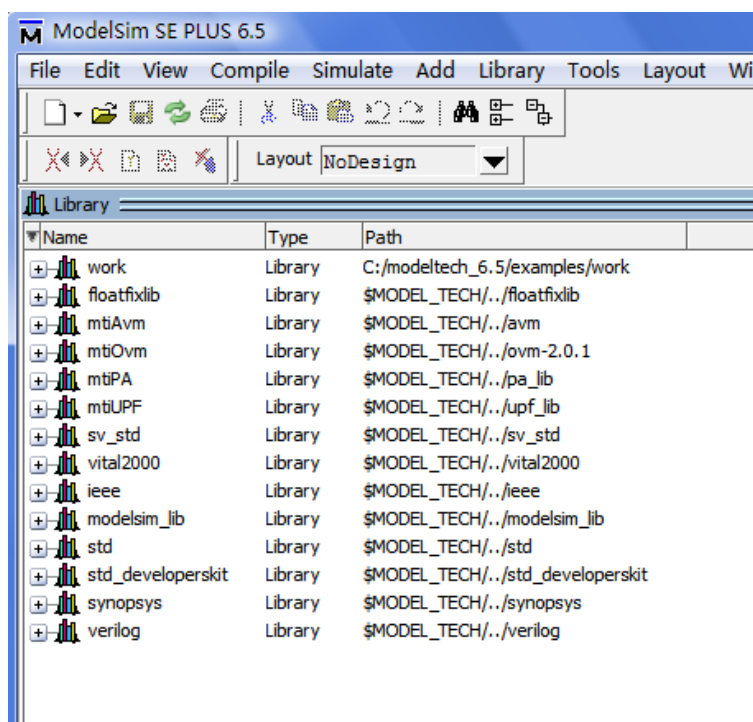
具体步骤：

1、 安装Modelsim se或者ae版本

略，详细步骤见安装说明。安装完毕后运行 modelsim ae 或者 se，查看是否功能可以正常使用。

2 . 为Modelsim se版本添加ALTERA的仿真库




对于初学者来说，在 ModelSim Se 中自己编译 FPGA 库是一件又费时间又费精力的事情。默认安装完毕后的 ModelSim Se 中是用任何 altera 的仿真资源库的，如下图：



下面我们要直接将 ModelSim AE (Altera) 中的库连在其它版本的 ModelSim 上，不用手动编译的方法。如下：

将 ModelSim AE 下的 altera 子目录(包含 vhd1 和 verilog 两个子目录)拷贝到 ModelSim SE 安装目录下。这里我们在配套光盘里

已经提供了 ModelSim AE 下的 altera 子目录里的所有文件，如下图

 verilog	2011/1/1 15:46	文件夹	
 vhdl	2011/1/1 15:52	文件夹	
 version.txt	2009/2/26 11:59	文本文档	1 KB

所以可以将 altera 文件夹直接拷贝到 SE 安装的根目录下即可。

下一步，在 ModelSim SE 安装下的 modelsim.ini 文件(先去掉这个文件的只读属性)中的[Library]到[vcom]之间加入如下代码：

```
;Altera
apex20k = $MODEL_TECH/./altera/vhdl/apex20k
apex20ke = $MODEL_TECH/./altera/vhdl/apex20ke
apexii = $MODEL_TECH/./altera/vhdl/apexii
altera_mf = $MODEL_TECH/./altera/vhdl/altera_mf
altera = $MODEL_TECH/./altera/vhdl/altera
lpm = $MODEL_TECH/./altera/vhdl/220model
220model = $MODEL_TECH/./altera/vhdl/220model
alt_vtl = $MODEL_TECH/./altera/vhdl/alt_vtl
flex6000 = $MODEL_TECH/./altera/vhdl/flex6000
flex10ke = $MODEL_TECH/./altera/vhdl/flex10ke
max = $MODEL_TECH/./altera/vhdl/max
maxii = $MODEL_TECH/./altera/vhdl/maxii
stratix = $MODEL_TECH/./altera/vhdl/stratix
stratixii = $MODEL_TECH/./altera/vhdl/stratixii
stratixiigx = $MODEL_TECH/./altera/vhdl/stratixiigx
hardcopyii = $MODEL_TECH/./altera/vhdl/hardcopyii
hardcopyiii = $MODEL_TECH/./altera/vhdl/hardcopyiii
hardcopyiv = $MODEL_TECH/./altera/vhdl/hardcopyiv
hcstratix = $MODEL_TECH/./altera/vhdl/hcstratix
cyclone = $MODEL_TECH/./altera/vhdl/cyclone
cycloneii = $MODEL_TECH/./altera/vhdl/cycloneii
cycloneiii = $MODEL_TECH/./altera/vhdl/cycloneiii
cycloneiiils = $MODEL_TECH/./altera/vhdl/cycloneiiils
sgate = $MODEL_TECH/./altera/vhdl/sgate
stratixgx = $MODEL_TECH/./altera/vhdl/stratixgx
altgxb = $MODEL_TECH/./altera/vhdl/altgxb
stratixgx_gxb = $MODEL_TECH/./altera/vhdl/stratixgx_gxb
stratixiigx_hssi = $MODEL_TECH/./altera/vhdl/stratixiigx_hssi
arriagx_hssi = $MODEL_TECH/./altera/vhdl/arriagx_hssi
arriaii = $MODEL_TECH/./altera/vhdl/arriaii
arriaii_hssi = $MODEL_TECH/./altera/vhdl/arriaii_hssi
arriaii_pcie_hip = $MODEL_TECH/./altera/vhdl/arriaii_pcie_hip
arriagx = $MODEL_TECH/./altera/vhdl/arriagx
```

```

altgxb_lib = $MODEL_TECH/./altera/vhdl/altgxb
stratixiv = $MODEL_TECH/./altera/vhdl/stratixiv
stratixiv_hssi = $MODEL_TECH/./altera/vhdl/stratixiv_hssi
stratixiv_pcie_hip = $MODEL_TECH/./altera/vhdl/stratixiv_pcie_hip
apex20k_ver = $MODEL_TECH/./altera/verilog/apex20k
apex20ke_ver = $MODEL_TECH/./altera/verilog/apex20ke
apexii_ver = $MODEL_TECH/./altera/verilog/apexii
altera_mf_ver = $MODEL_TECH/./altera/verilog/altera_mf
altera_ver = $MODEL_TECH/./altera/verilog/altera
lpm_ver = $MODEL_TECH/./altera/verilog/220model
220model_ver = $MODEL_TECH/./altera/verilog/220model
alt_ver = $MODEL_TECH/./altera/verilog/alt_vtl
flex6000_ver = $MODEL_TECH/./altera/verilog/flex6000
flex10ke_ver = $MODEL_TECH/./altera/verilog/flex10ke
max_ver = $MODEL_TECH/./altera/verilog/max
maxii_ver = $MODEL_TECH/./altera/verilog/maxii
stratix_ver = $MODEL_TECH/./altera/verilog/stratix
stratixii_ver = $MODEL_TECH/./altera/verilog/stratixii
stratixiigx_ver = $MODEL_TECH/./altera/verilog/stratixiigx
arriagx_ver = $MODEL_TECH/./altera/verilog/arriagx
hardcopyii_ver = $MODEL_TECH/./altera/verilog/hardcopyii
hardcopyiii_ver = $MODEL_TECH/./altera/verilog/hardcopyiii
hardcopyiv_ver = $MODEL_TECH/./altera/verilog/hardcopyiv
hcstratix_ver = $MODEL_TECH/./altera/verilog/hcstratix
cyclone_ver = $MODEL_TECH/./altera/verilog/cyclone
cycloneii_ver = $MODEL_TECH/./altera/verilog/cycloneii
cycloneiii_ver = $MODEL_TECH/./altera/verilog/cycloneiii
cycloneiiils_ver = $MODEL_TECH/./altera/verilog/cycloneiiils
sgate_ver = $MODEL_TECH/./altera/verilog/sgate
stratixgx_ver = $MODEL_TECH/./altera/verilog/stratixgx
altgxb_ver = $MODEL_TECH/./altera/verilog/altgxb
stratixgx_gxb_ver = $MODEL_TECH/./altera/verilog/stratixgx_gxb
stratixiigx_hssi_ver = $MODEL_TECH/./altera/verilog/stratixiigx_hssi
arriagx_hssi_ver = $MODEL_TECH/./altera/verilog/arriagx_hssi
arriaii_ver = $MODEL_TECH/./altera/verilog/arriaii
arriaii_hssi_ver = $MODEL_TECH/./altera/verilog/arriaii_hssi
arriaii_pcie_hip_ver = $MODEL_TECH/./altera/verilog/arriaii_pcie_hip
stratixiii_ver = $MODEL_TECH/./altera/verilog/stratixiii
stratixiii = $MODEL_TECH/./altera/vhdl/stratixiii
stratixiv_ver = $MODEL_TECH/./altera/verilog/stratixiv
stratixiv_hssi_ver = $MODEL_TECH/./altera/verilog/stratixiv_hssi
stratixiv_pcie_hip_ver = $MODEL_TECH/./altera/verilog/stratixiv_pcie_hip

```

注释：上面的代码是从 ModelSim AE 的 modelsim.ini 文件中拷贝的。

上面的这个过程，我们也帮各位搞定了。大家直接把我们提供的 modelsim.ini 拷贝到 SE 安装根目录下即可，如果您不放心，可以先备份一份原来的。

搞定之后重新启动 ModelSim，看看这下所有的 altera 的库都加上来了吧！以后再也不用为库而烦神了。

Library			
Name	Type	Path	
work	Library	C:/modeltech_6.5/examples/work	
220model	Library	\$MODEL_TECH/./altera/vhdl/220model	
220model_ver	Library	\$MODEL_TECH/./altera/verilog/220m...	
alt_ver	Library	\$MODEL_TECH/./altera/verilog/alt_vt...	
alt_vtl	Library	\$MODEL_TECH/./altera/vhdl/alt_vtl	
altera	Library	\$MODEL_TECH/./altera/vhdl/altera	
altera_mf	Library	\$MODEL_TECH/./altera/vhdl/altera_mf	
altera_mf_ver	Library	\$MODEL_TECH/./altera/verilog/altera...	
altera_ver	Library	\$MODEL_TECH/./altera/verilog/altera	
altgxb	Library	\$MODEL_TECH/./altera/vhdl/altgxb	
altgxb_lib	Library	\$MODEL_TECH/./altera/vhdl/altgxb	
altgxb_ver	Library	\$MODEL_TECH/./altera/verilog/altgxb	
apex20k	Library	\$MODEL_TECH/./altera/vhdl/apex20k	
apex20k_ver	Library	\$MODEL_TECH/./altera/verilog/apex20k	
apex20ke	Library	\$MODEL_TECH/./altera/vhdl/apex20ke	
apex20ke_ver	Library	\$MODEL_TECH/./altera/verilog/apex...	
apexii	Library	\$MODEL_TECH/./altera/vhdl/apexii	
apexii_ver	Library	\$MODEL_TECH/./altera/verilog/apexii	
arriagx	Library	\$MODEL_TECH/./altera/vhdl/arriagx	
arriagx_hssi	Library	\$MODEL_TECH/./altera/vhdl/arriagx...	
arriagx_hssi_ver	Library	\$MODEL_TECH/./altera/verilog/arriag...	
arriagx_ver	Library	\$MODEL_TECH/./altera/verilog/arriagx	
arriii	Library	\$MODEL_TECH/./altera/vhdl/arriii	

相关信息

关于其他的相关信息，请访问以下网站

■ 购买本教程配套的开发套件，子卡或下载线缆：

<http://www.zr-tech.com>

■ 心得交流与问题互助：

<http://www.zr-tech.com/bbs>

版权信息

■ 本文档手册为ZRTech（www.zr-tech.com）原创资源，享有完全版权。

■ 任何收存和保管本文档各版本的单位和个人，未经本公司同意，不得随意复制、抄录、修改本文档的部分或者全部内容。

■ 转载本文档时请务必保证此文档的完整性。文档必须包含本版权信息。不得将转载作品以任何形式谋取商业利益，也不得向任何第三方提供，否则视为侵权。