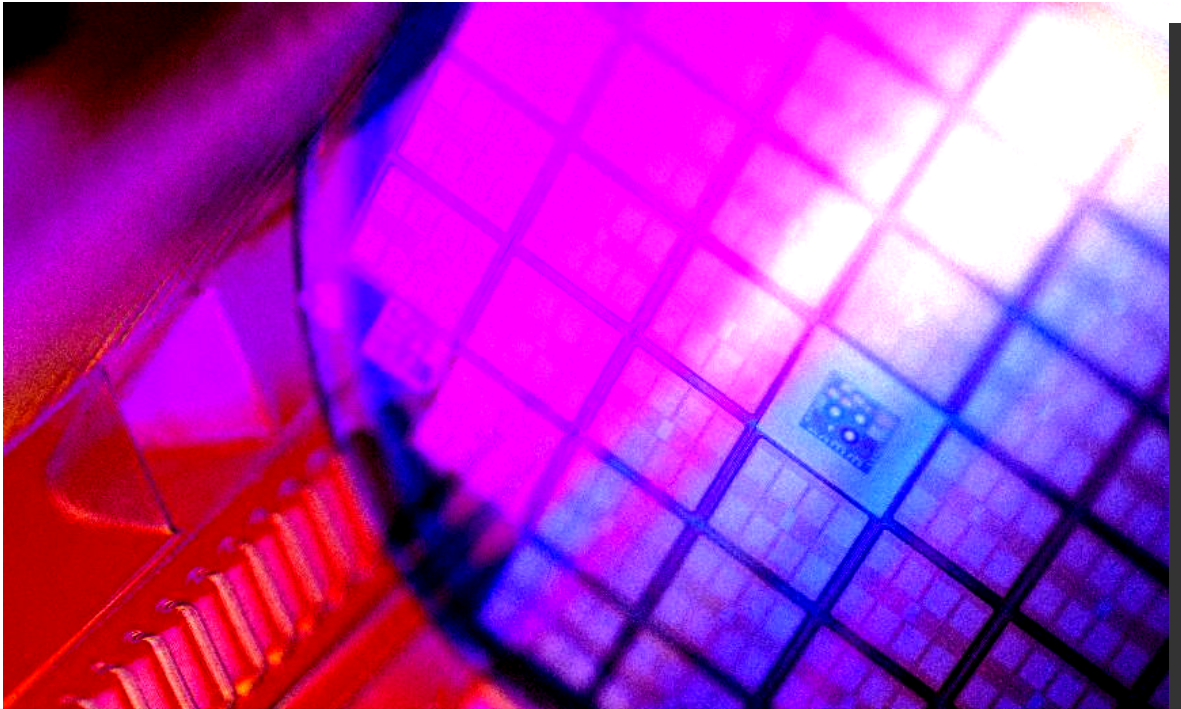


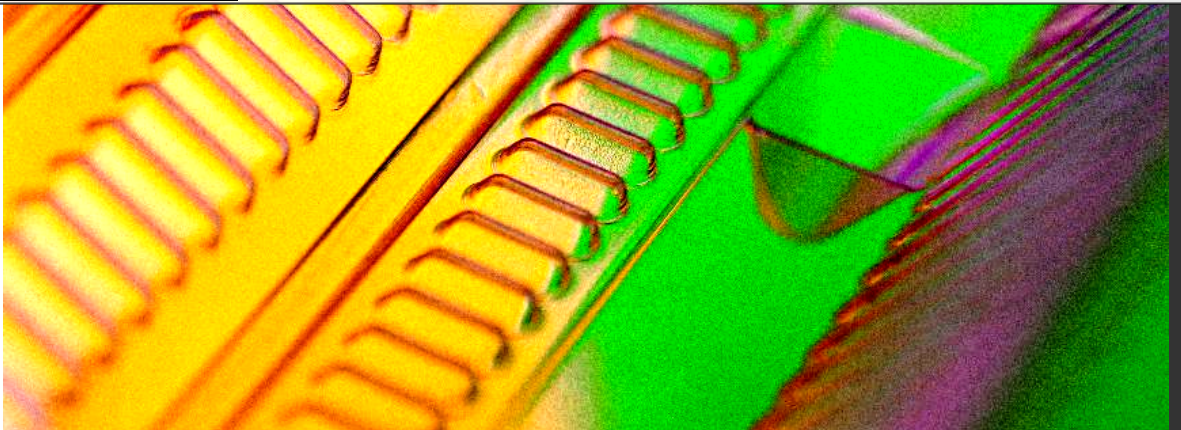
FES1301T04-V0.00



ZRtech

FPGA 开发套件 NIOS 实验教程

—NIOS 外存 SDRAM



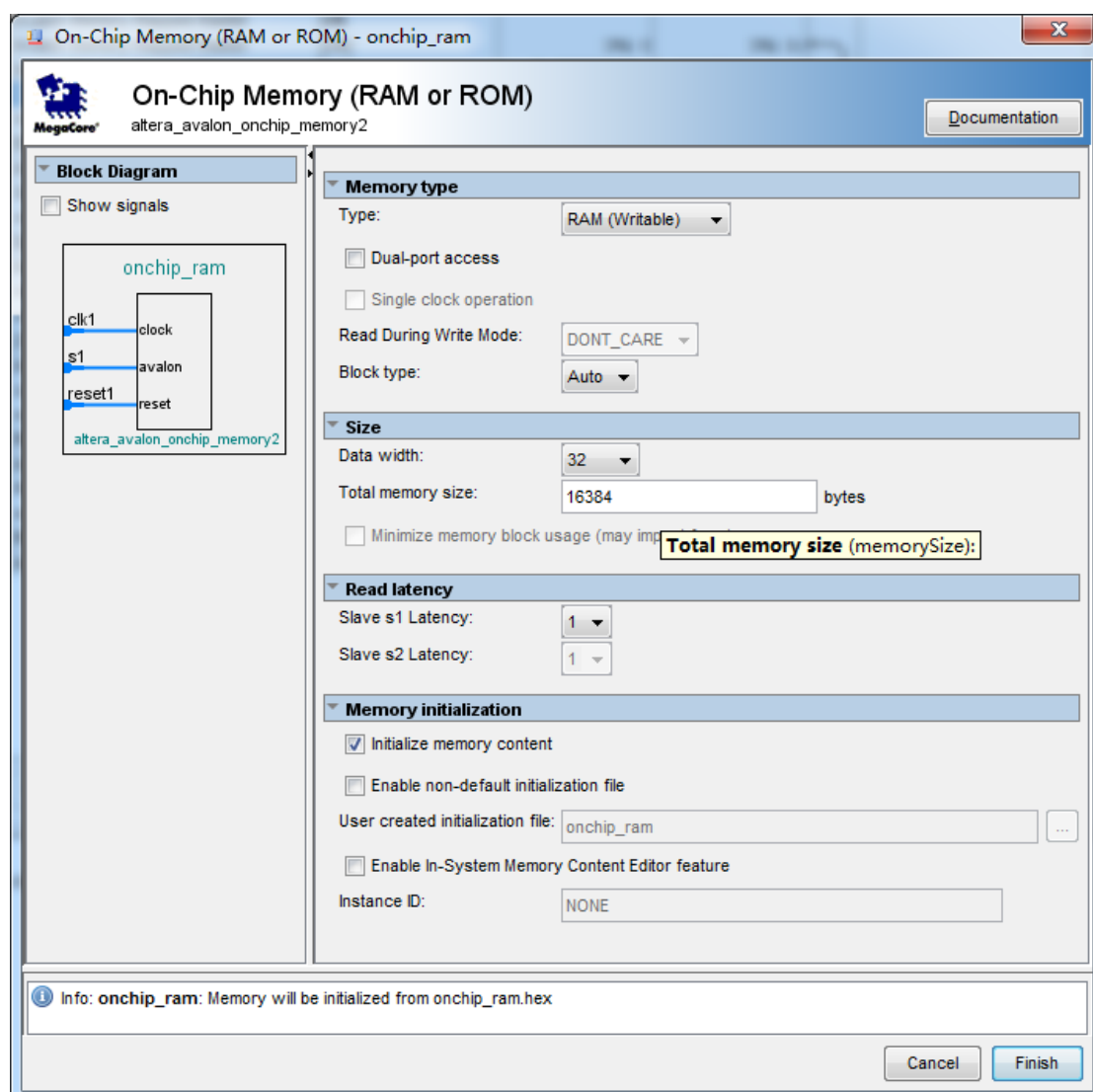
www.zr-tech.com

实验四、NIOS 外存 SDRAM

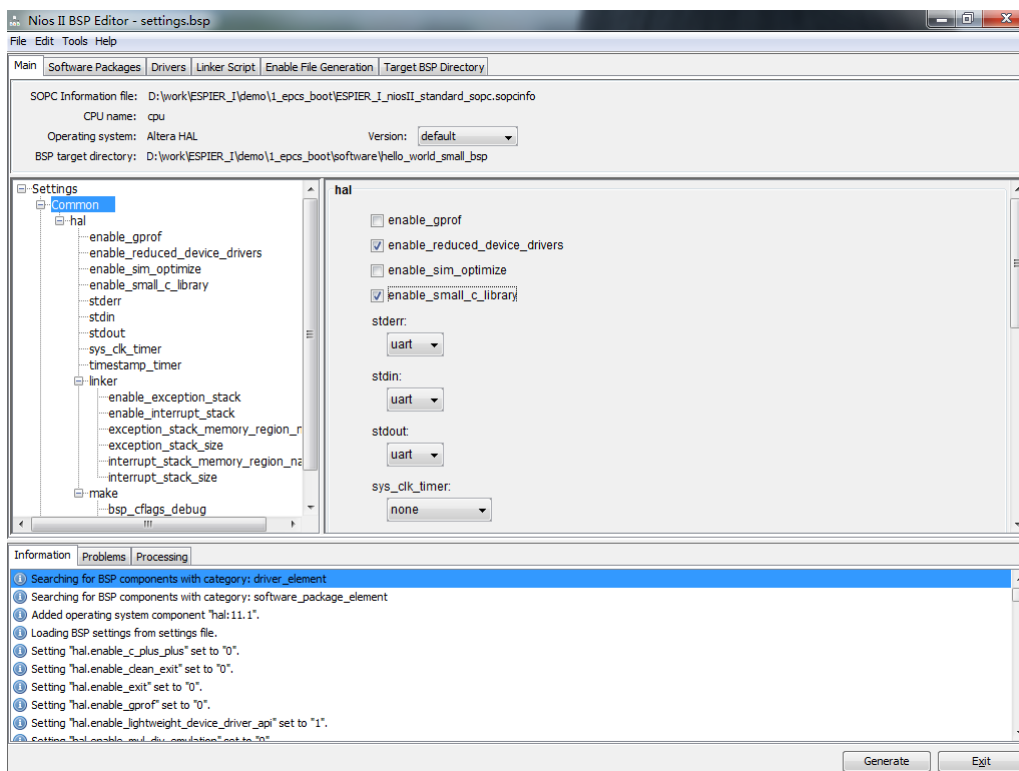
由于 Cyclone4 系列内部 RAM 资源有限，特别是 EP4CE6 内部存储器只有 270Kbits。

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O (1)	179	179	343	153	532	532	374	426	528

所以在 ESPIER_I 开发板上，NIOS II 的 onchip_ram 最大只能设置为 16384bytes，超过的话 FPGA 综合会出错。

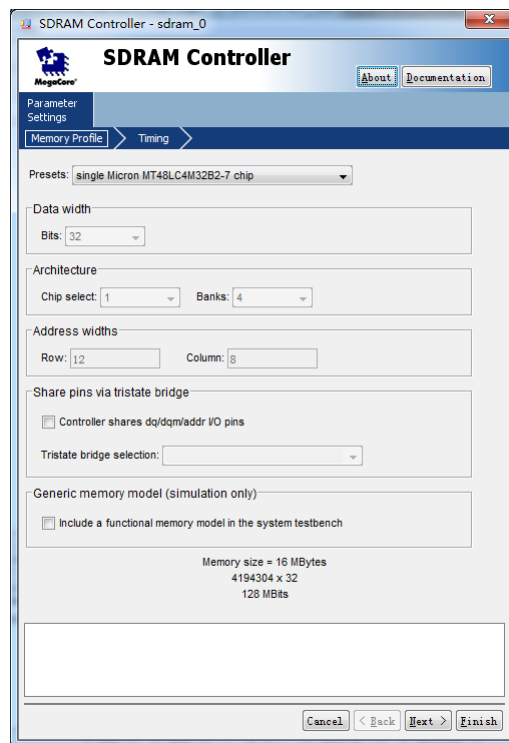


而且在编写程序时必须在 BSP 设置里勾选 `enable_reduced_device_drivers` 和 `enable_small_c_library`，不然的话编译会出错，提示内存溢出。

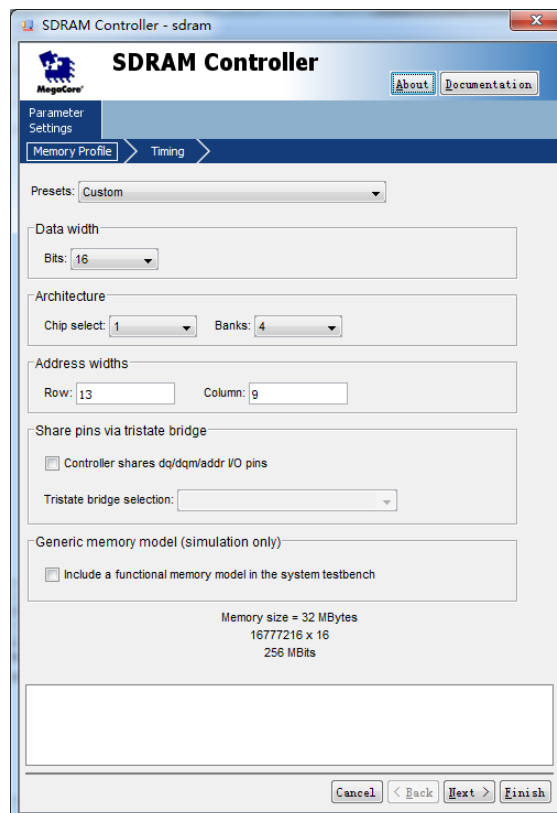


所以很有必要为 NIOS II 增加 SDRAM 外存，首先需要在 SOPC 中增加 SDRAM 控制器。

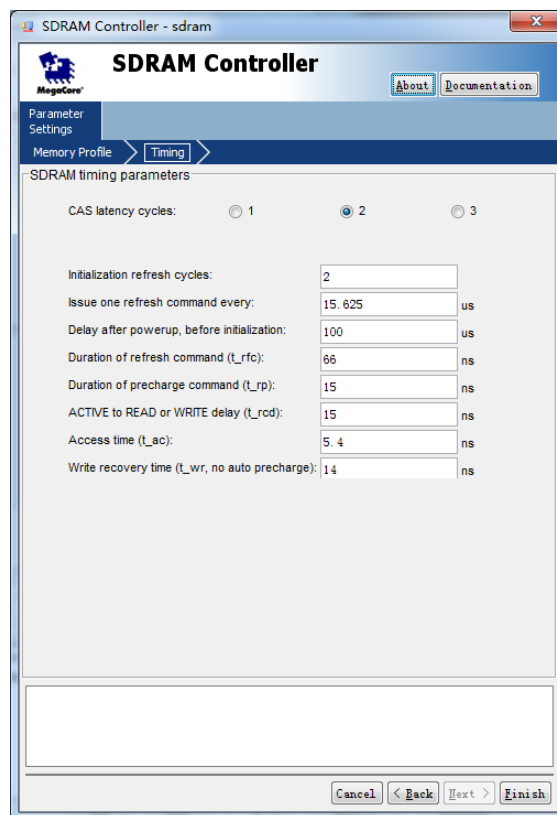
1. 在 SOPC 界面左侧库列表中选择 Memories and Memory Controllers 下 External Memory Interfaces 下 SDRAM Interfaces 里的 SDRAM Controller，并点击 Add。



- 我们选用的 MT48LC16M16A2TG-75，根据器件资料把数据位宽改为 16，行地址改为 13，列地址改为 9。



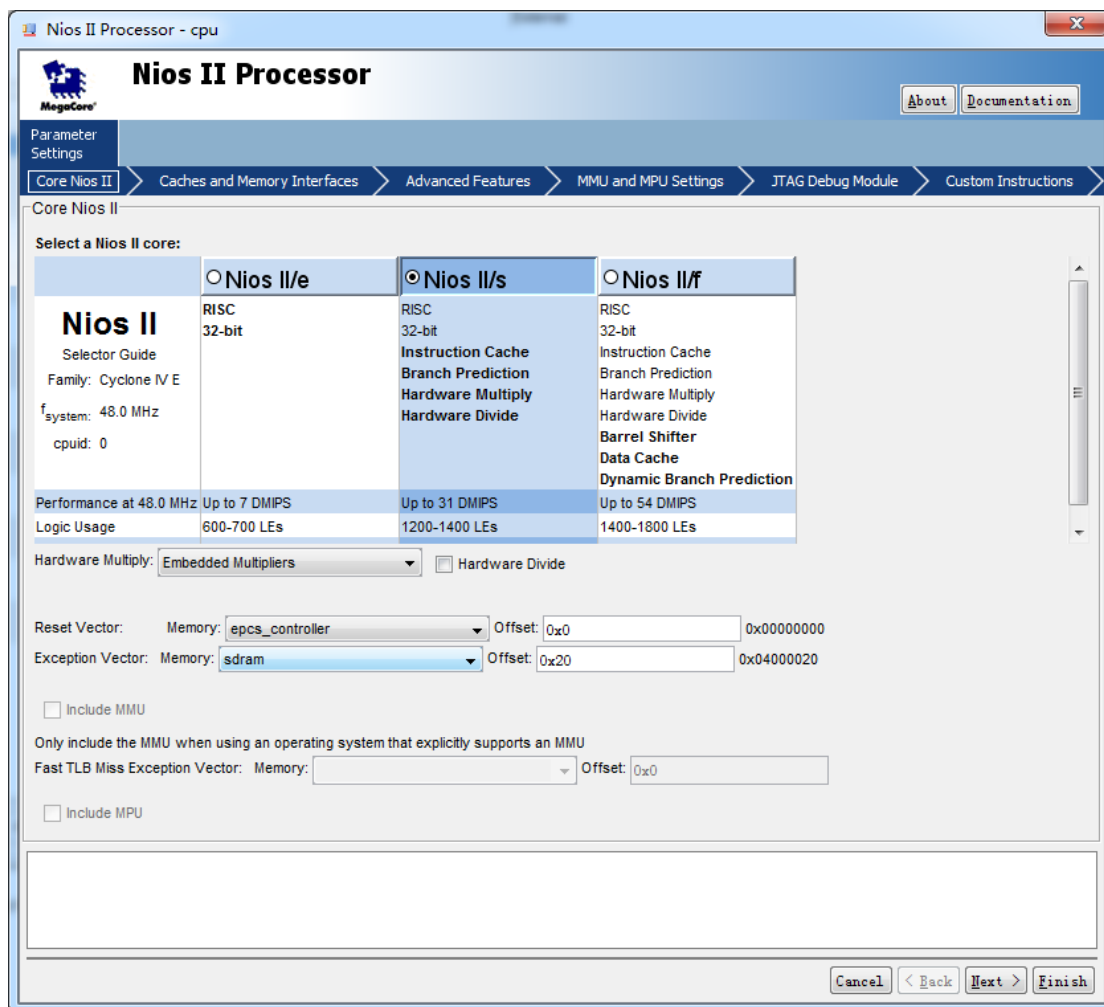
3. 点击 Next , 根据资料更改如下 :



4. 点击 Finish , 生成 SOPC

Use	Conn...	Name	Description	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		<input type="checkbox"/> cpu	Nios II Processor	[clk]			
		instruction_master	Avalon Memory Mapped Master	clk			
		data_master	Avalon Memory Mapped Master	clk			
		jtag_debug_module	Avalon Memory Mapped Slave	clk			
<input checked="" type="checkbox"/>		<input type="checkbox"/> onchip_ram	On-Chip Memory (RAM or ROM)	[clk1]			
		s1	Avalon Memory Mapped Slave	clk	0x00002000	0x00002fff	
<input checked="" type="checkbox"/>		<input type="checkbox"/> epcs_controller	EPCS Serial Flash Controller	[clk]			
		epcs_control_port	Avalon Memory Mapped Slave	clk	0x00000000	0x000007ff	
<input checked="" type="checkbox"/>		<input type="checkbox"/> sdrum	SDRAM Controller	[clk]			
		s1	Avalon Memory Mapped Slave	clk	0x04000000	0x05ffffff	

5. 在 NIOS II 的 cpu 设置中把 Exception Vector 改为 sdrum.



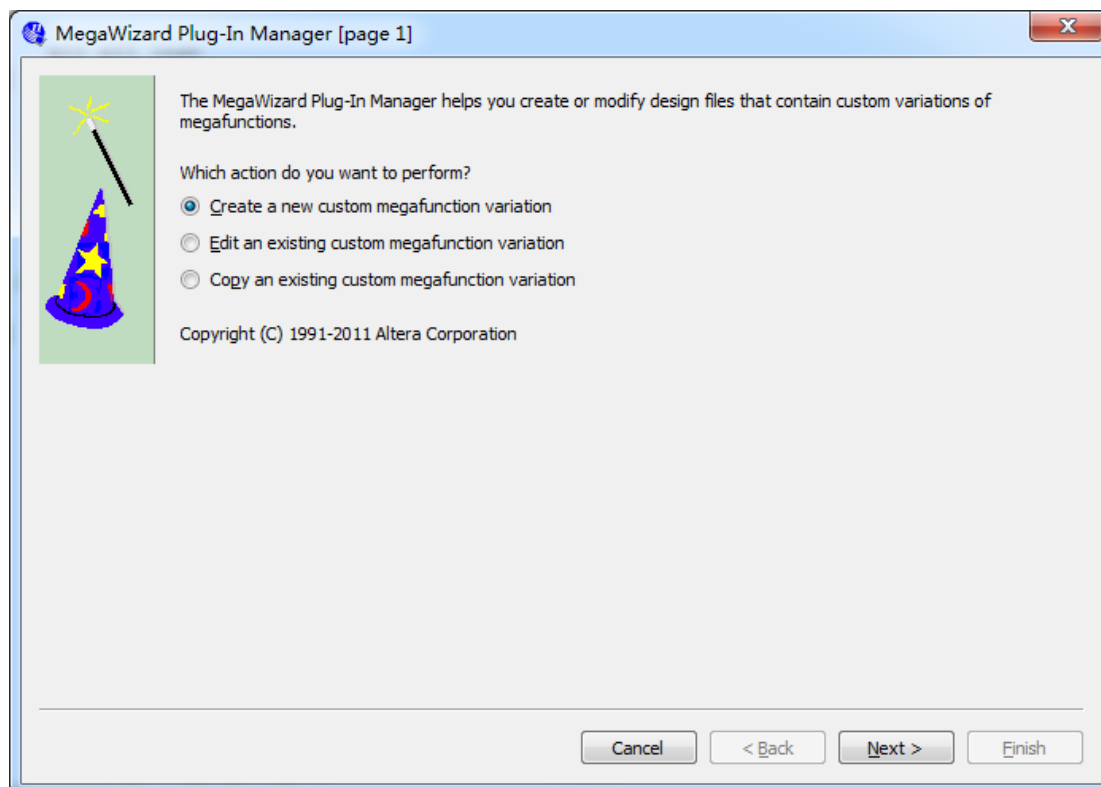
6. 在顶层文件中例化 SOPC，我们可以看到 SOPC 生成的 SDRAM 信号

```
// The NIOS
ESPIER_I_niosII_standard_soc ESPIER_I_niosII_standard_soc_inst
(
    .clk                      (pll_c0),
    .reset_n                  (resetn),

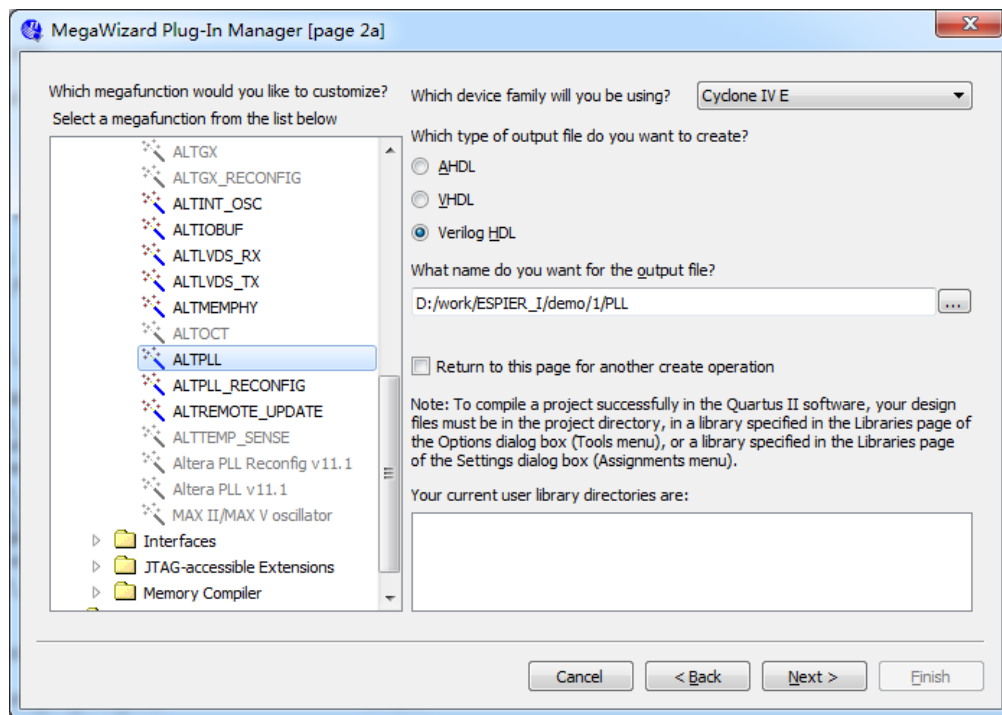
    .zs_addr_from_the_sdram   (sdram_addr),
    .zs_ba_from_the_sdram     (sdram_ba),
    .zs_cas_n_from_the_sdram  (sdram_cas_n),
    .zs_cke_from_the_sdram    (sdram_cke),
    .zs_cs_n_from_the_sdram   (sdram_cs_n),
    .zs_dq_to_and_from_the_sdram (sdram_dq),
    .zs_dqm_from_the_sdram    (sdram_dqm),
    .zs_ras_n_from_the_sdram   (sdram_ras_n),
    .zs_we_n_from_the_sdram    (sdram_we_n)
```

7. 我们注意到 SOPC 没有生成提供给 SDRAM 的同步时钟，那么我们需要在 SOPC 之外给

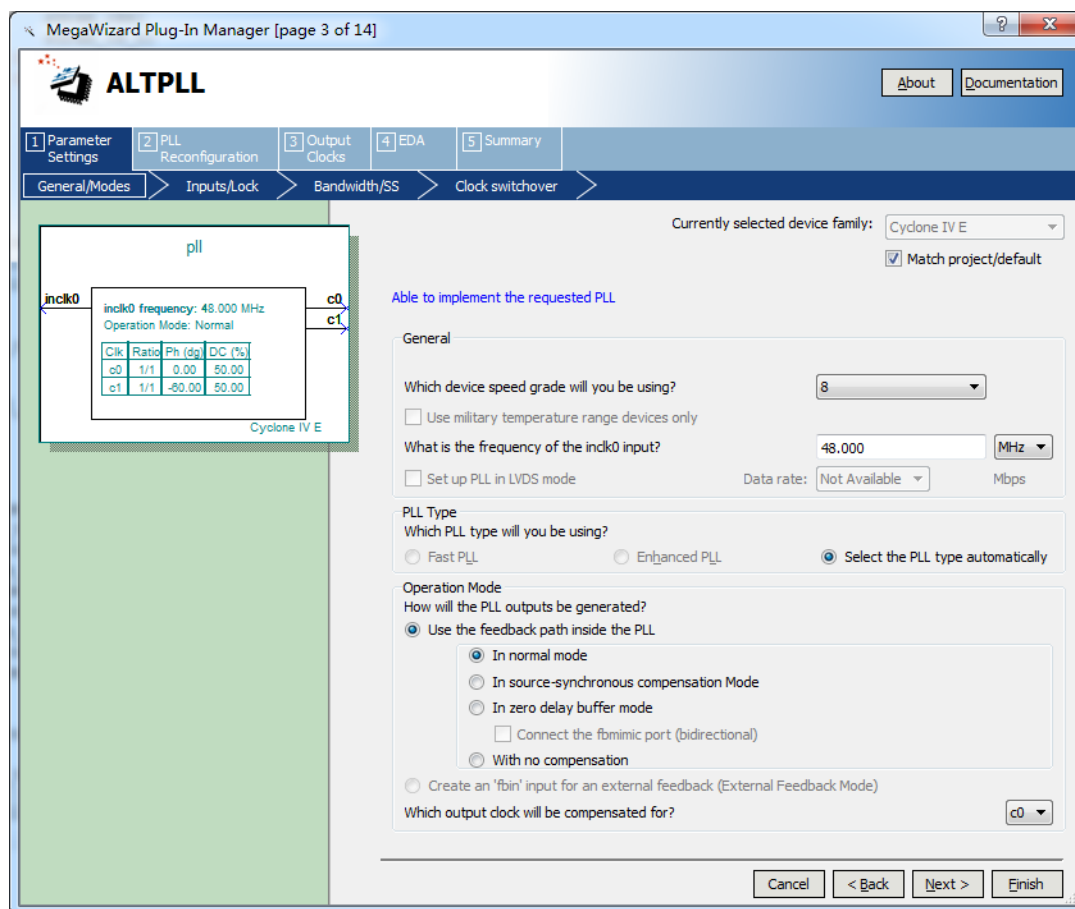
SDRAM 提供同步时钟。根据相关资料 (网友们可自行百度), SDRAM 的同步时钟应该要比 NIOS II 的时钟相位延迟 60 度。在这里我们调用 FPGA 内部锁相环来产生 SDRAM 时钟。在 Quartus 环境下点击菜单 Tools , 选中 MegaWizard Plug-In Manager。



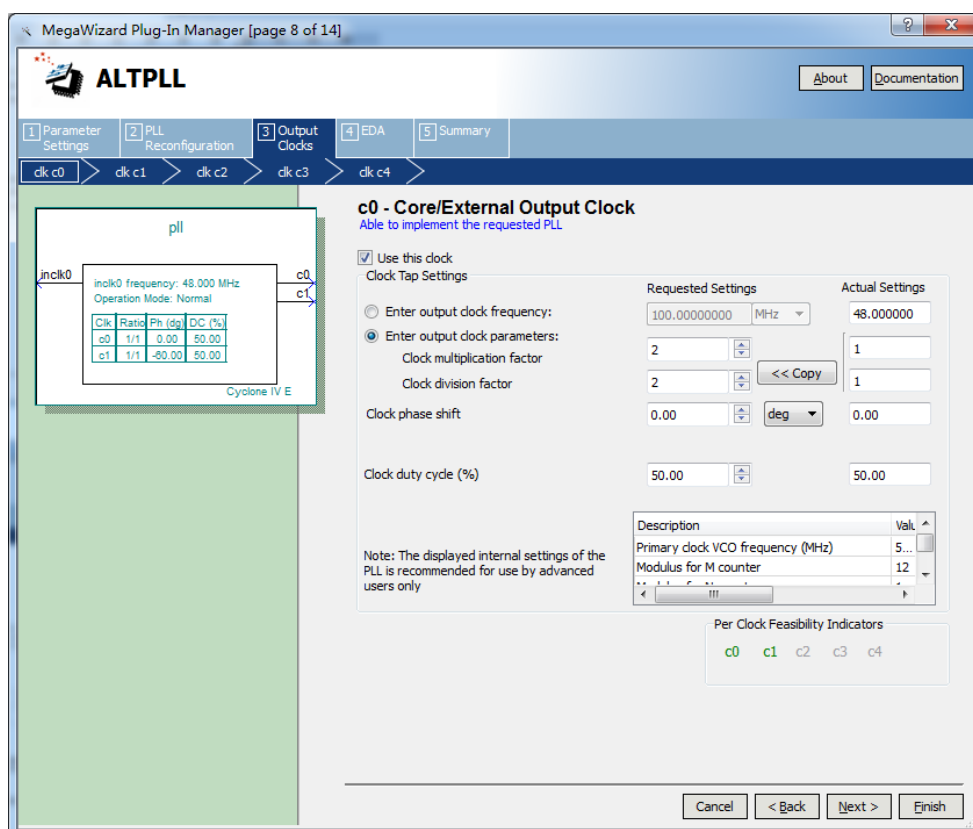
8. 选中 I/O 下的 ALTPLL，为生成的锁相环取名 PLL。



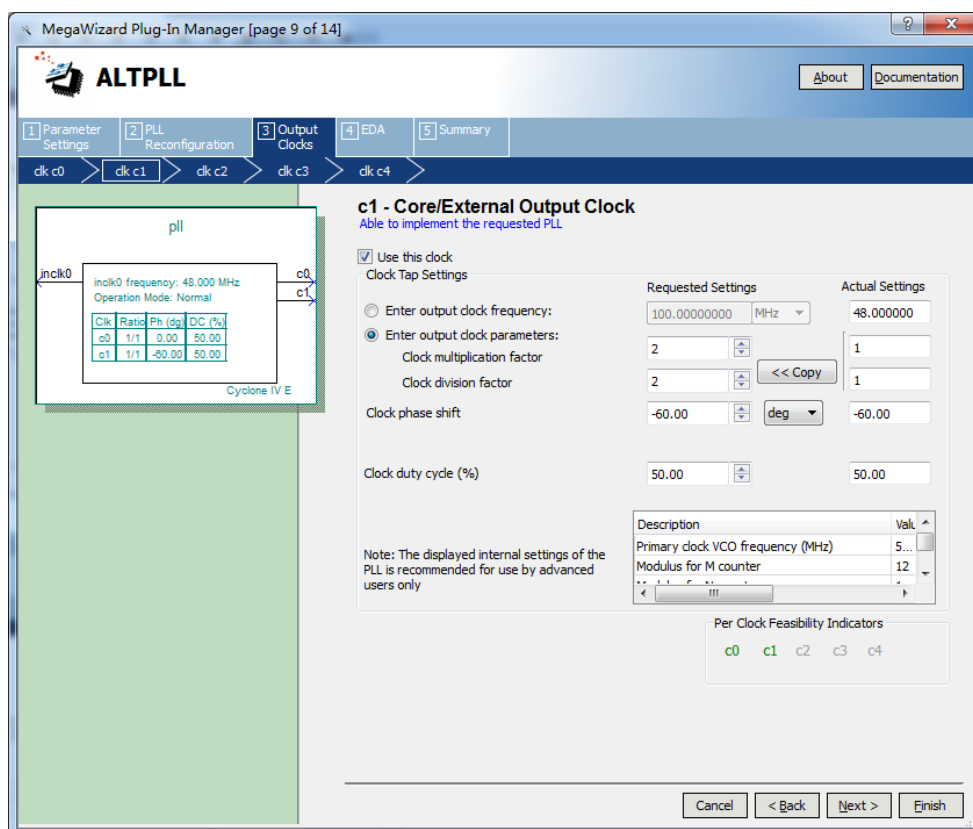
9. 点击 Next，选择器件速度级别为 8，输入时钟频率为 48MHz，其余选项默认。



10. 点击 Next，保持默认设置，一直到设置时钟输出，c0 设置如下：



11. 点击 Next , c1 设置如下 :



12. 点击 Next，直到最后一页，点击 Finish。然后再顶层文件例化锁相环 PLL。

```
pll pll_inst
(
    .inclk0    (clk),
    .c0        (pll_c0),
    .c1        (pll_c1)
);
```

13. 这里 pll_c0 分配给 NIOS II 作为时钟，pll_c1 分配给 SDRAM 作为时钟。至此 SDRAM 添加完毕，对 FPGA 综合布局布线后即可。

注：另外提一下，目前有些开发板为了节省 FPGA 管脚，把 SDRAM 的 DQML 和 DQMH 信号直接接地，而没有接入 FPGA。这在 NIOS II 程序调试时不会有什么问题，但是如果要把 NIOS II 程序固化在 EPCS FLASH 中，那么这种做法会造成上电 NIOS II 启动不成功。估计是上电时 NIOS II 需要对 SDRAM 的高 8 位和低 8 位分别进行操作，如果 DQML 和 DQMH 信号直接接地，会造成这个过程出错，而导致上电加载失败。

文档内部编号：FES1301T04

编号说明：

首一字母：F-FPGA系列

首二字母：L-理论类 E-实验类 T-专题类

首三字母：C-普及类 Q-逻辑类 S-软核类

数字前两位：代表年度

数字后两位：同类文档顺序编号

尾字母/数字：C目录，T正文，数字表示章节号

修订记录

版本号	日期	描述	修改人
0.00	2013.9.25	FES1301T04 文档建立	kdy