

使用 *TCL* 文件分配器件与管脚



如何快速锁引脚

FPGA 程序设计，最麻烦的事情是什么？当然要数分配管脚了。

在 Quartus II 中分配引脚的方法有三种：显然，用 Pin Planner 分频算一种，但是这种方法太“笨”了，一个一个敲进去。想当年咱做一个项目用到一千多个脚的 FPGA，居然都是对着原理图一个一个敲上去的....下面介绍两种稍微有点技术含量的方法：

cvs 文件法 (或者 txt 文件法)：

(1) 新建一个 excel 文件，内容格式如下：

```
To Location  
SW[0] PIN_1  
SW[1] PIN_2  
SW[2] PIN_3  
...
```

保存时将文件类型设为.csv 格式。

注意：该文件中的引脚名一定要和 Quartus II 顶层文件的输入输出引脚名一样。

或者新建一个文本文件文件，内容格式如下：

```
To,location  
SW0,PIN_1  
SW1,PIN_2  
SW2,PIN_3  
...
```

保存时将文件类型设为.txt 格式。

(2) Assignments->Import Assignments.....->导入该文件，点击 OK。
设置完毕。

Tcl 文件法

这种方法不仅可以分配管脚，还可以修改器件，未用引脚置三态，时序约束等等。所以我们推荐使用 tcl 文件来管理工程。

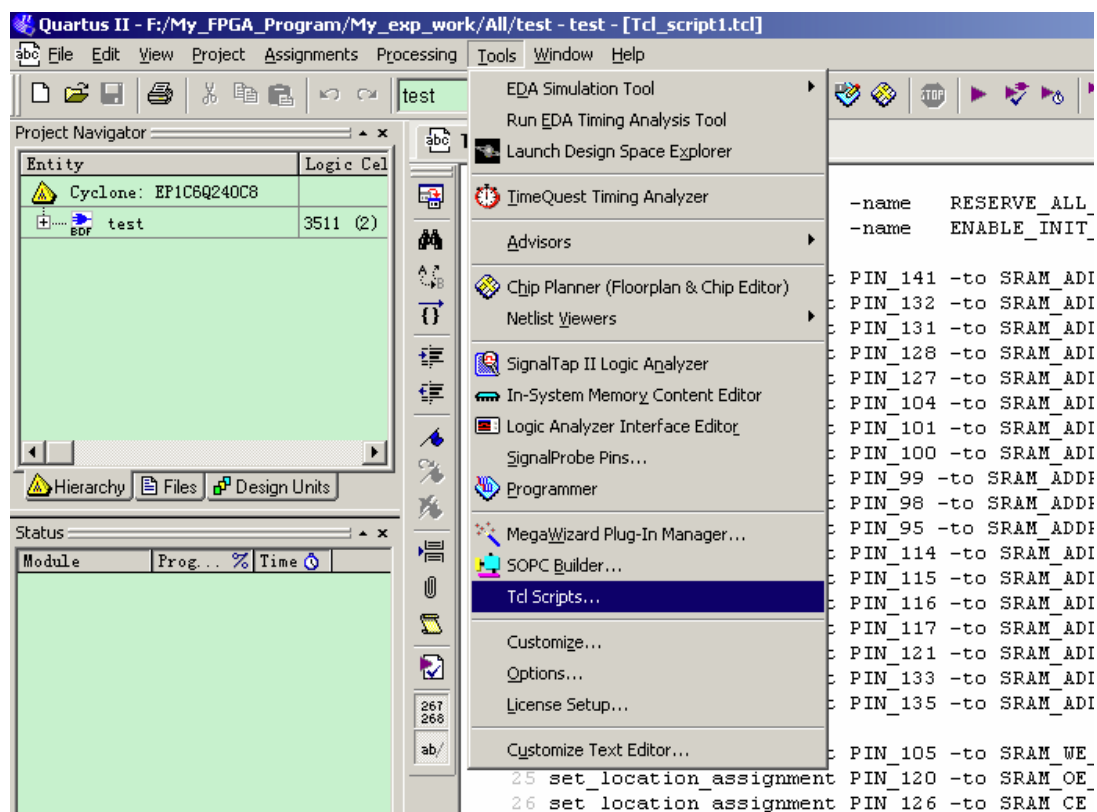
- (1) 建立一个TCL文件其实很简单，点击New选项，在选项卡中选择Tcl Script File文件即可，其实也可以直接新建一个文件，将后缀修改为tcl即可
- (2) 下面是一个tcl文件的例子。

```
#-----  
#TCL 引脚分配文件  
#-----  
#Setup pin setting 本段为注释，用#引导  
  
set_global_assignment -name FAMILY "Cyclone II"  
set_global_assignment -name DEVICE EP2C5Q208C8  
#分配器件  
  
set_global_assignment -name RESERVE_ALL_UNUSED_PINS "As input tri-stated"  
set_global_assignment -name  
CYCLONEII_RESERVE_NCEO_AFTER_CONFIGURATION "USE AS REGULAR IO"  
#将不用的引脚指定为三态输入，保留管脚设置为 IO  
  
set_global_assignment -name ENABLE_INIT_DONE_OUTPUT OFF  
  
#以下语句为分配引脚  
set_location_assignment PIN_10 -to LED
```

- (3) . 执行tcl文件：

编写好TCL文本之后，保存并将其添加到工程中来（Project->Add Current File to Project）。然后点击Tool->Tcl Scripts。选择Project下刚才保存的那个TCL文本，然后点Run即可。

注意：tcl 文件放置路径不能有空格！否则不能正确运行



使用 tcl

在我们开发套件附带的 Quartus II 例程中，都已经在工程中添加了 tcl 文件，供用户直接调用。Tcl 文件已经被加载到工程中。只需要按上面的方式执行即可。Tcl 文件都被放置在了工程目录下的 pin 文件夹中。文件名即对应不同的核心板型号。

注意：有的例程限定了外设板与核心板对应 SLOT 的编号，务必接插正确。

相关信息

关于其他的相关信息，请访问以下网站

■ 购买本教程配套的开发套件，子卡或下载线缆：

<http://www.zr-tech.com>

■ 心得交流与问题互助：

<http://www.zr-tech.com/bbs>

版权信息

■ 本文档手册为ZRTech（www.zr-tech.com）原创资源，享有完全版权。

■ 任何收存和保管本文档各版本的单位和个人，未经本公司同意，不得随意复制、抄录、修改本文档的部分或者全部内容。

■ 转载本文档时请务必保证此文档的完整性。文档必须包含本版权信息。不得将转载作品以任何形式谋取商业利益，也不得向任何第三方提供，否则视为侵权。