

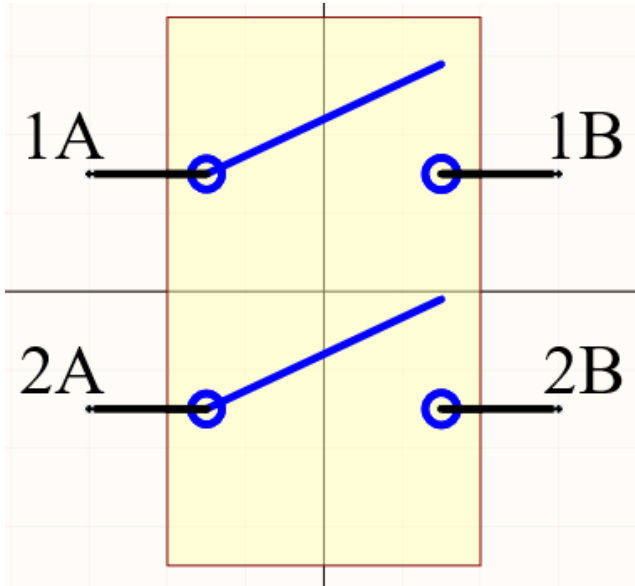
Examen Final PCB's Básico

Nombre: Escamilla Losoyo José de Jesús

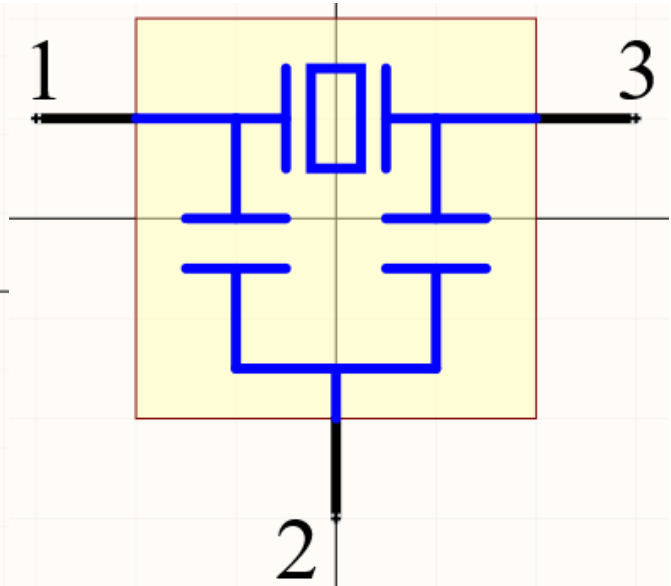
Correo de IECA: alumno-clj9-743849@ieca.edu.mx

Leer y contestar de manera correcta el siguiente cuestionario. Éxito a todos...

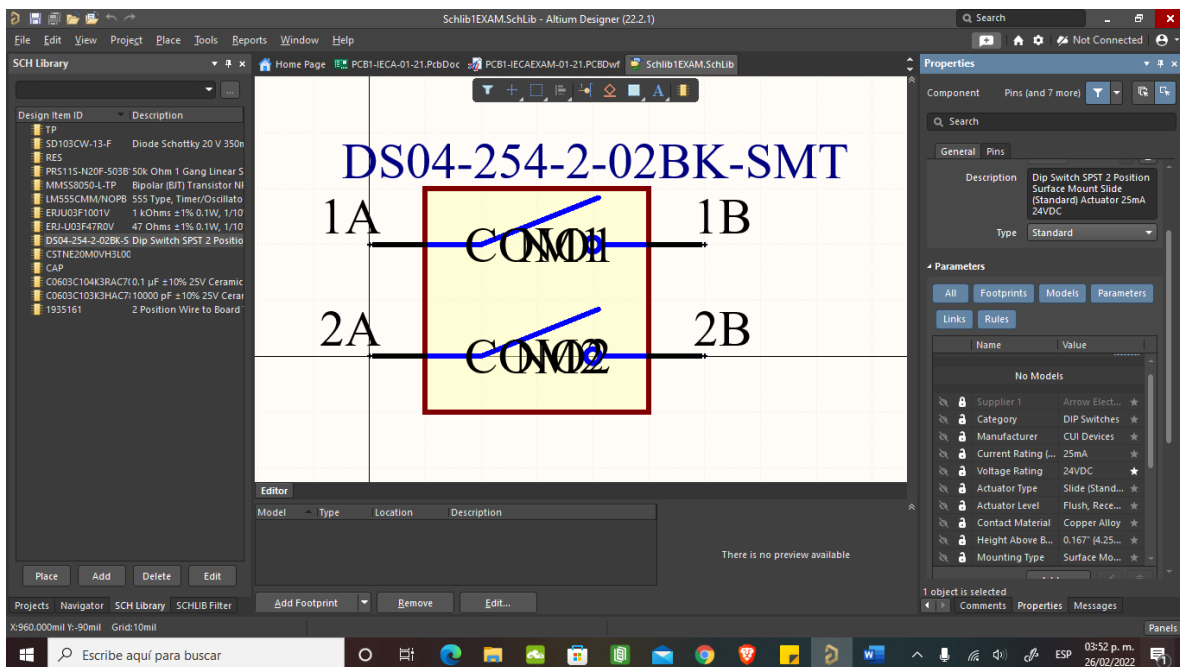
1. Realizar los siguientes símbolos en Altium Designer y anexar una captura de pantalla por cada símbolo:

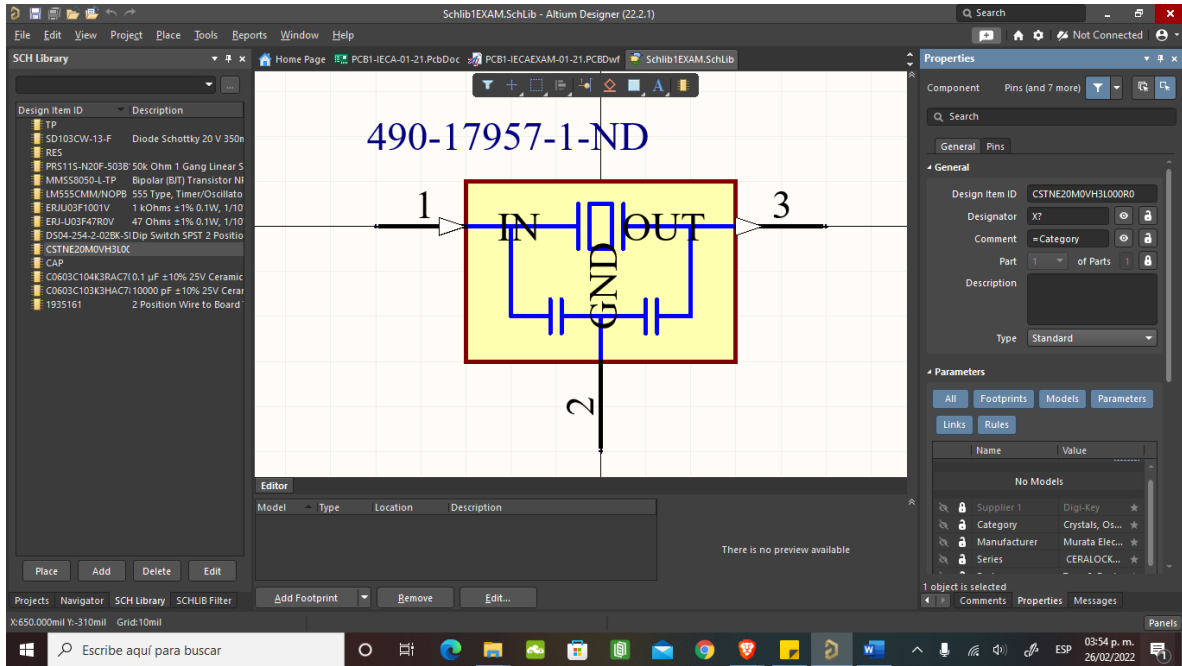


A) DS04-254-2-02BK-SMT

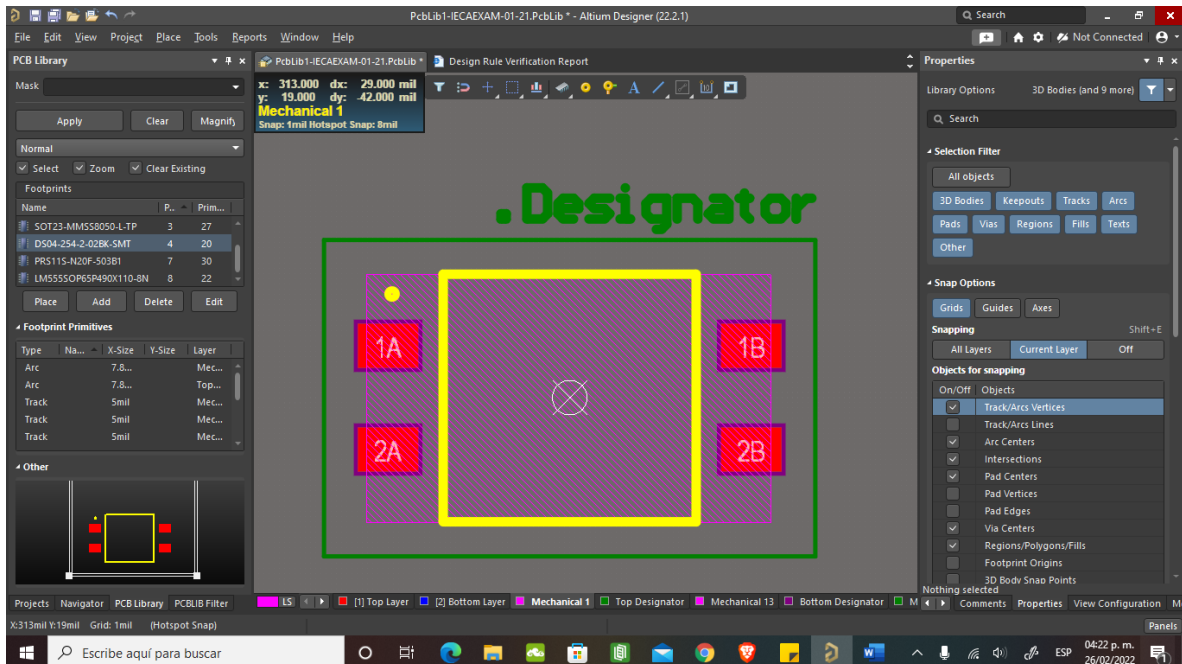


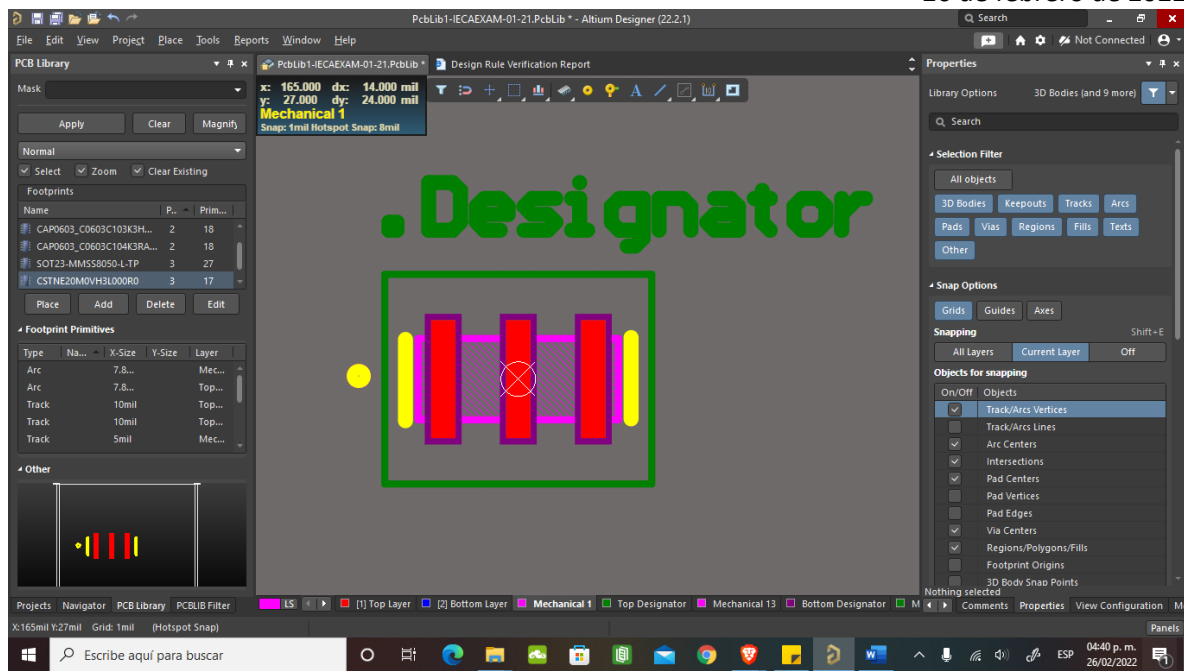
B) CSTNE20M0VH3L000R0



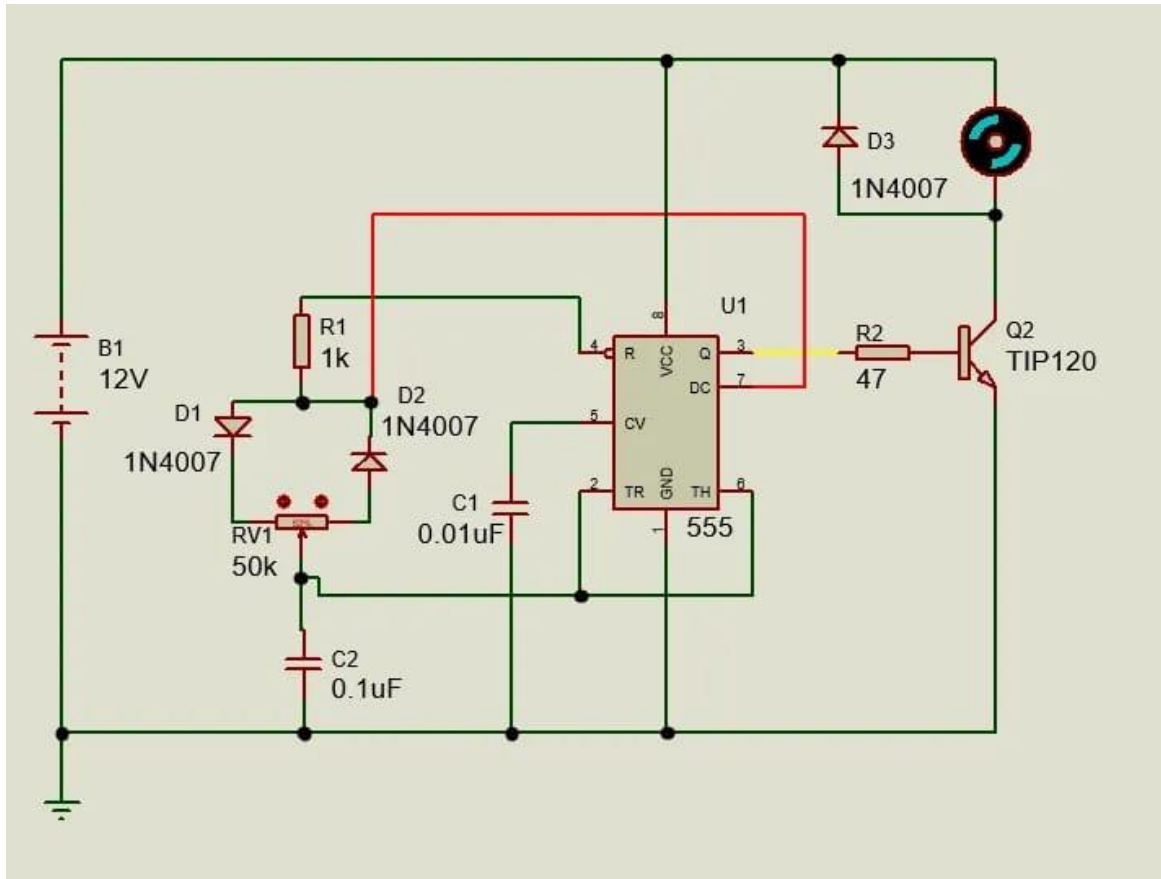


2. Realizar los footprints de los componentes del ejercicio anterior en Altium Designer y anexar una captura de pantalla por cada footprint:





- Realizar el siguiente esquemático en Altium Designer, anexar una captura de pantalla del esquemático y una captura cuando el esquemático este compilado.



4. Realizar el diseño del PCB del ejercicio anterior de acuerdo con lo que menciona el documento de las *guías de diseño*, una vez terminado el PCB correr el Desing Rule Check (DRC). Anexar una captura de pantalla del PCB de las capas de Top Layer y Bottom Layer, también anexar una captura de pantalla del Desing Rule Check (DRC).

PRJ-IECA-01-21.PjP - Altium Designer (22.2.1)

File Edit View Project Place Design Tools Reports Window Help

Projects [1] Sheet1-IECA-01-21.SchDoc Design Rule Verification Report

Search

Project Group 1.DsnWrk

- PRJ-IECAEXAM-01-21.PjP
- PRJ-IECA-01-21.PjP
- Source Documents
 - [1] Sheet1-IECA-01-21.SchDoc
 - PCB1-IECA-01-21.PcbDoc
 - PRJ-IECA-01-21.BomDoc*
 - PCB1-IECA-01-21.PCBdwt
- Libraries
 - Generated
 - Components
 - Nets
- Free Documents
 - Source Documents
 - PCB1-IECA-01-21.PcbDoc
 - PCB1-IECAEXAM-01-21.PCBdwt
 - PcbLib1-IECAEXAM-01-21.PcbLib
 - SchLib1EXAM.SchLib

Editor Sheet1-IECA-01-21

x:11340.000mil y:3840.000mil Grid:10mil

04:55 p. m. 26/02/2022

PRJ-IECA-01-21.PjP - Altium Designer (22.2.1)

File View Project Window Help

Projects [1] Sheet1-IECA-01-21.SchDoc Design Rule Verification Report

Search

Project Group 1.DsnWrk

- PRJ-IECAEXAM-01-21.PjP
- PRJ-IECA-01-21.PjP
- Source Documents
 - [1] Sheet1-IECA-01-21.SchDoc
 - PCB1-IECA-01-21.PcbDoc
 - PRJ-IECA-01-21.BomDoc*
 - PCB1-IECA-01-21.PCBdwt
- Libraries
 - Generated
 - Components
 - Nets
- Free Documents
 - Source Documents
 - PCB1-IECA-01-21.PcbDoc
 - PCB1-IECAEXAM-01-21.PCBdwt
 - PcbLib1-IECAEXAM-01-21.PcbLib
 - SchLib1EXAM.SchLib

Design Rule Verification Report

Date: 26/02/2022

Time: 04:58:45 p. m.

Elapsed Time: 00:00:02

Filename: C:\Users\jose0\Desktop\Cursos\IECA\Diseño de PCB\PRJ-IECA-01-21\PCB1-IECA-01-21.PcbDoc

Warnings: 0

Rule Violations: 0

Summary

Warning

Rule Violation

Clearance

Short-Circuit

Un-Route

Modified

Width Constraint (Min=0.254mm) (Max=0.508mm) (Preferred=0.381mm) (inNetClass('POWER')) 0

Editor Sheet1-IECA-01-21

04:59 p. m. 26/02/2022

Altium Designer

Design Rule Verification Report

Date: 26/02/2022
Time: 04:58:45 p. m.
Elapsed Time: 00:00:02
Filename: [C:\Users\jose0\Desktop\Cursos IECA\Diseño de PCB\PRJ-IECA-01-21\PCB1-IECA-01-21.PcbDoc](#)

Warnings: 0
Rule Violations: 0

Summary

Warnings	Count
Total	0

Rule Violations	Count
Clearance Constraint (Gap=0.152mm).(All).(All)	0
Short-Circuit Constraint (Allowed=No).(All).(All)	0
Un-Routed Net Constraint (.All)	0

