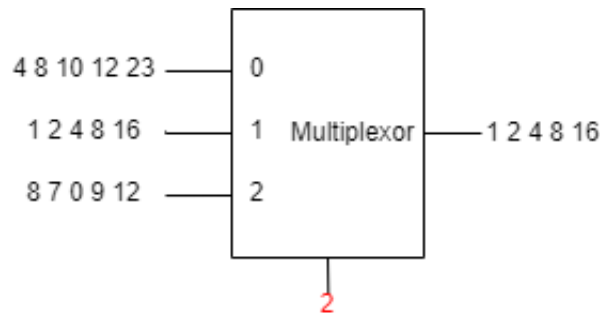


## 0.1 Multiplexor y Demultiplexor

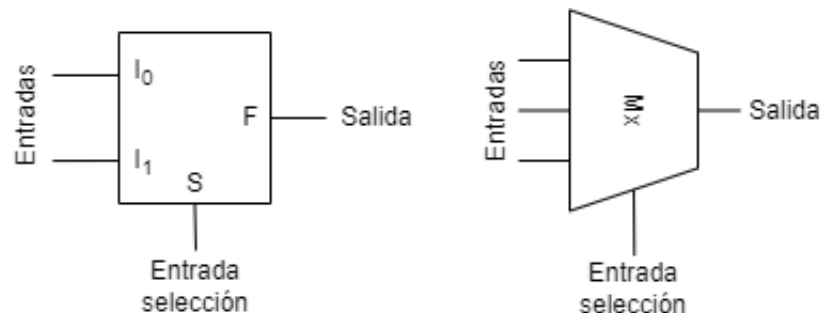
### 0.1.1 Multiplexor

Circuito combinacional al que entran varios canales y solo sale uno de ellos.



### Multiplexor Simple

Existen dos posibles simbologías para los multiplexores:



S	I <sub>1</sub>	I <sub>0</sub>	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

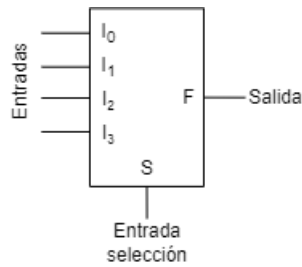
		I <sub>1</sub> I <sub>0</sub>			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

$$F = \bar{S} \cdot I_0 + S \cdot I_1$$

**R** Es usual que en las tablas de verdad, la entrada que se encuentra a la izquierda es el más significativo(MSB) mientras que el que se encuentra más a la derecha es el menos significativo(LSB).

Si analizamos la tabla: vemos que la entrada de selección S, poseerá dos estados; si analizamos cuando S=0 vemos que la salida F estará activada siempre y cuando la entrada I<sub>0</sub> tenga la entrada activa, mientras que si I<sub>0</sub> posee una entrada 0, no importa el valor que posea la entrada I<sub>1</sub> (alto o bajo) la salida F siempre será 0. Esto nos quiere decir que cuando S=0, la salida F solo le importará los estados de la entrada I<sub>0</sub> pero no de I<sub>1</sub>. Cuando la entrada de selección S=1, notaremos el mismo comportamiento, la salida F solo tomará en cuenta los estados de la entrada I<sub>1</sub> puesto que la entrada I<sub>0</sub> no nos importa. En conclusión, la entrada de control S es capaz de seleccionar entre dos entradas.

## Multiplexor 2 entradas selección

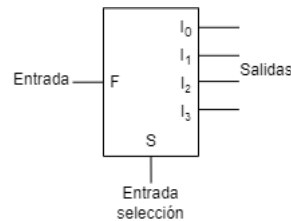


$S_1$	$S_0$	F
0	0	$I_0$
0	1	$I_1$
1	0	$I_2$
1	1	$I_3$

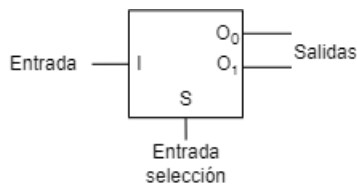
$$F = \overline{S_1} \cdot \overline{S_0} \cdot I_0 + \overline{S_1} \cdot S_0 \cdot I_1 + S_1 \cdot \overline{S_0} \cdot I_2 + S_1 \cdot S_0 \cdot I_3$$

### 0.1.2 Demultiplexor

Al igual que el multiplexor puede poseer varias entradas, varios canales a diferentes bits.

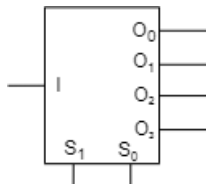


La expresión booleana para el multiplexor más simple:



S	I	O <sub>1</sub>	O <sub>0</sub>
0	0	0	0
0	1	0	1
1	0	0	0
1	1	1	0

$$F = \overline{S_1} \cdot \overline{S_0} \cdot I_0 + \overline{S_1} \cdot S_0 \cdot I_1 + S_1 \cdot \overline{S_0} \cdot I_2 + S_1 \cdot S_0 \cdot I_3$$



$S_1$	$S_0$	O <sub>3</sub>	O <sub>2</sub>	O <sub>1</sub>	O <sub>0</sub>
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$O_0 = \overline{S_1} \cdot \overline{S_0} \cdot I \quad O_1 = \overline{S_1} \cdot S_0 \cdot I$$

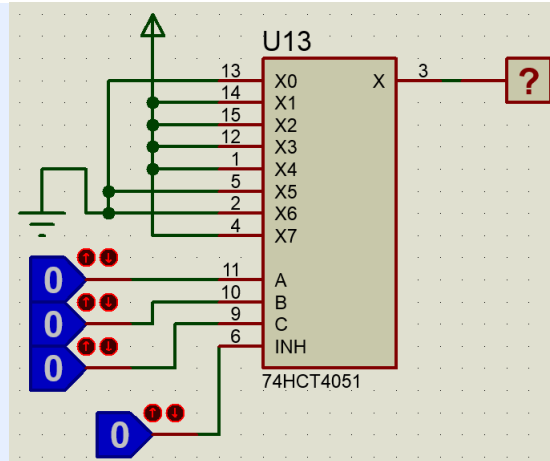
$$O_2 = S_1 \cdot \overline{S_0} \cdot I \quad O_3 = S_1 \cdot S_0 \cdot I$$

**Ejercicio 0.1** Usando el IC 74HCT4051, expresar la siguiente expresión de un demultiplexor:

$$F = \overline{CBA} + \overline{C}B\overline{A} + \overline{C}BA + C\overline{B}A + \overline{CBA}$$

#### Solución:

Para poder implementarlo con el IC, necesitamos que la expresión este en su forma canónica. Una vez que este en su forma canónica, dependiendo si esta como SOP o POS nos indicará los valores donde será 1 y 0 respectivamente. Como estamos frente a un SOP, los valores decimales de los sumandos (pasando a binario los bits, donde MSB es C y LSB es A) nos dan los números de las entradas en las cuales deben tener entradas altas y las restantes entrada baja.



Cada vez que en las entradas de selección se logre colocar cualquiera de los sumandos de la función F la salida será 1.

## 0.2 Latch

El latch(cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados(biestable).

### 0.2.1 Latch S-R(Set-Reset)

Dispositivo lógico biestable o multivibrador. Un Latch S-R con entrada activa a un nivel ALTO, se compone de dos puerta NOR o NAND acopladas.

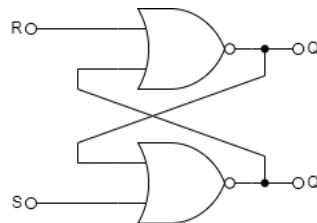


Figura 1: Latch S-R con entrada activa a nivel alto.

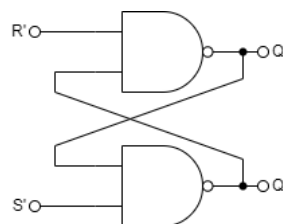


Figura 2: Latch  $\bar{S}$ - $\bar{R}$  con entrada activa a nivel bajo.

### Comportamiento

En Q, cuando S este en nivel alto y R en estado bajo, la salida Q cambia a nivel alto(Estado inicial Q=0).

Una vez que nos encontramos en este estado, sea cual sea la entrada de S, la salida Q no cambiará: Cambiará solo si R cambia a estado alto.

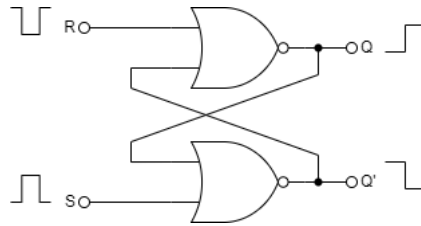


Figura 3: Set=1, Reset=0 y Q=1.

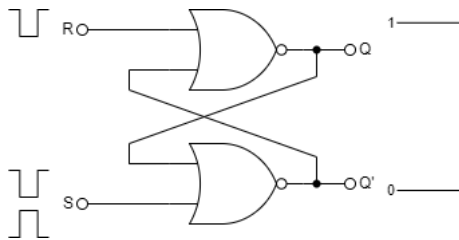


Figura 4: Set=1/0, Reset=0 y Q=1.

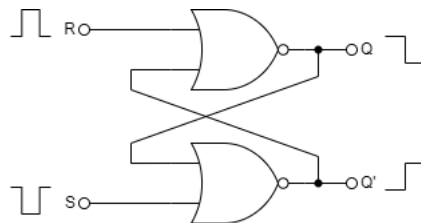


Figura 5: Set=0, Reset=1 y Q=0.

### Condiciones especiales

Los latch poseen algunas restricciones que son importantes conocerlas para tener precaución al momento de implementar circuito.

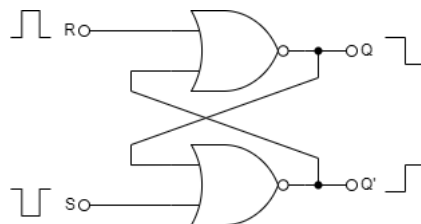


Figura 6: Si S=0 y R=0, las salidas no cambian.

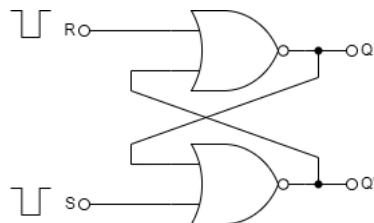


Figura 7: Si S=1 y R=1, las salidas presentan un estado no válido: indeterminado.

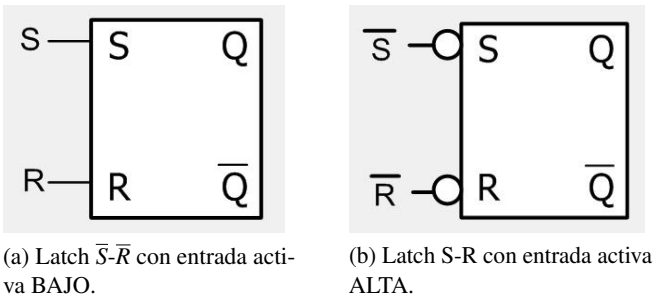


Figura 8: Latch simbología

0.2.2 Símbolo lógico

La simbología del latch es el siguiente: El diagrama de tiempos de un Latch tiene el siguiente

Input		Output		
$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	Comentarios
1	1	NC	NC	No cambia, permanece en el mismo estado
0	1	1	0	Latch estado SET
1	0	0	1	Latch estado Reset
1	1	1	1	Condición NO valida

Cuadro 1: Tabla de verdad: Latch

comportamiento ejemplificado:

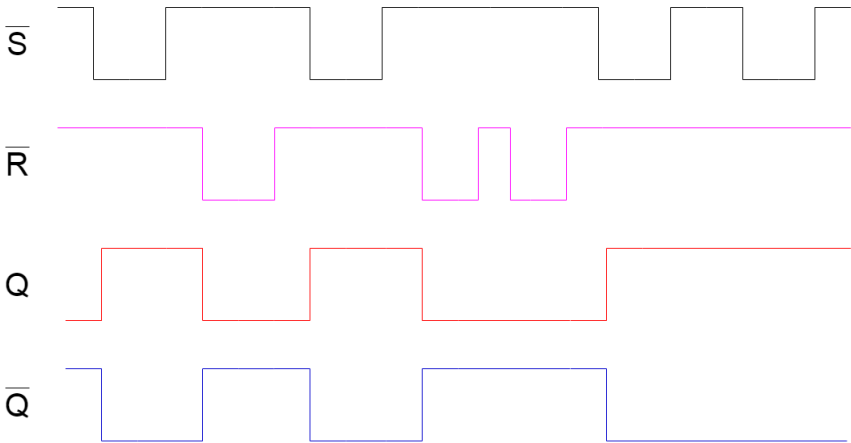
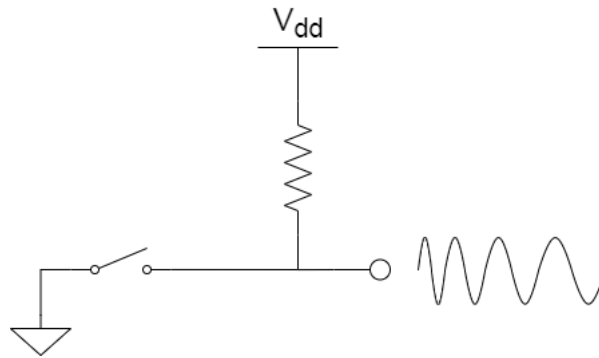


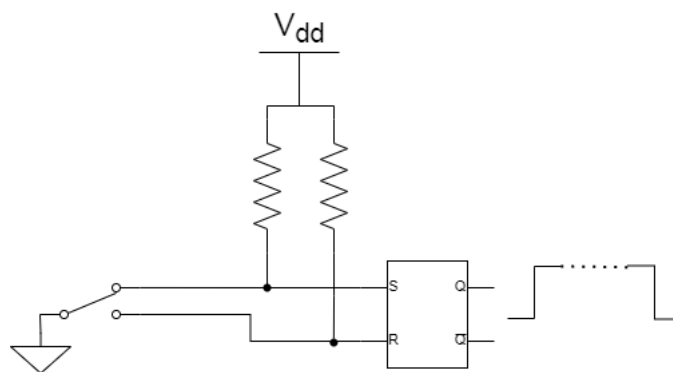
Figura 9: Diagrama de tiempos Latch.

0.2.3 Latch: Eliminador de rebote

Se presenta un circuito con interruptor:

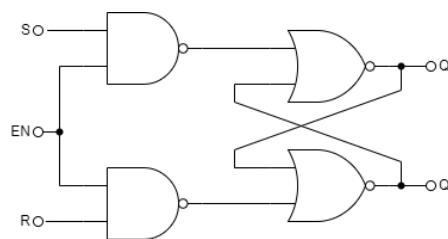


Vemos que la salida no es estable, esta lectura inestable puede ocasionar errores de lectura o falsos altos y bajos. Por eso se añade un latch como eliminador de rebote:

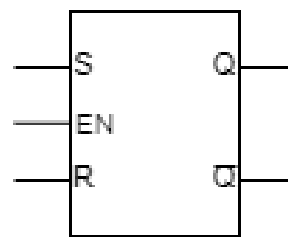


#### 0.2.4 Latch con entrada de habilitación

El latch no cambiará de estado hasta que la entrada EN este en nivel ALTO, mientras este en ALTO, las salidas serán controlados por las entradas S y R. Una situación invalida es cuando R y S están a nivel alto simultáneamente. Diagrama de tiempos de un Latch con entrada enable:



(a) Circuito Latch con entrada de habilitación.



(b) Simbología Latch con entrada de habilitación.

Figura 10: Latch con entrada de habilitación.

#### 0.2.5 Latch D con entrada de habilitación

A diferencia de latch S-R con entrada de habilitación, el latch D solo tiene una entrada que recibe el nombre de entrada de datos(D) y además de la habilitación(EN). Mientras EN este en estado ALTO, la salida Q es una copia de D, si EN pasa a estado BAJO se mantiene el estado anterior.

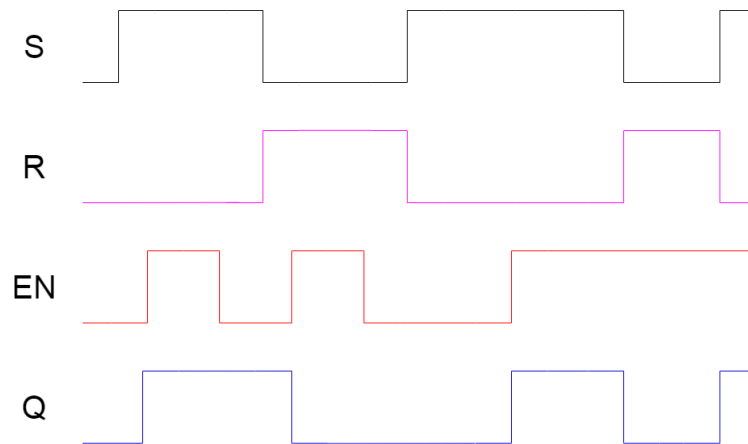


Figura 11: Diagrama de tiempos latch S-R con entrada de habilitación.

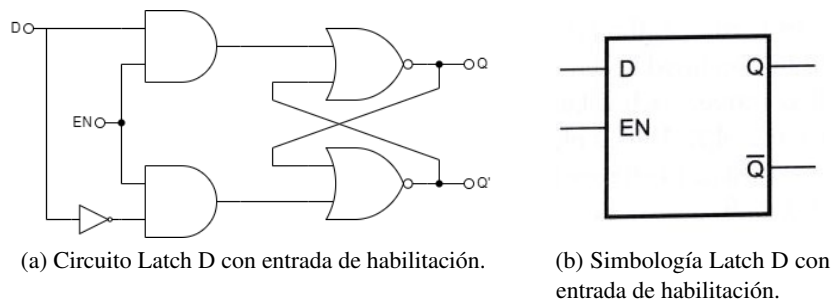


Figura 12: Latch D con entrada de habilitación.

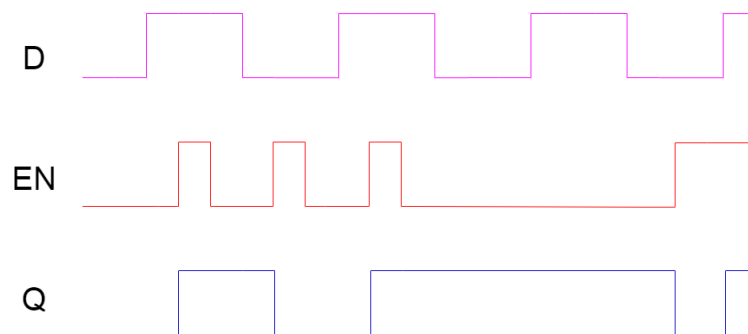


Figura 13: Diagrama de tiempos latch D con entrada de habilitación.

R	S	D	E	$Q_{SR}$	$\overline{Q_{STe}}$	$Q_D$
				1	1	0
0	1	0	0	1	1	0
0	1	1	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	0	0
1	0	0	0	0	0	0
0	1	1	1	1	1	1
0	1	1	0	1	1	1
1	0	0	0	0	1	1
0	0	1	1	0	No definido	1
1	0	1	1	0	0	1
1	0	0	1	0	0	0
0	1	0	1	1	1	0
0	1	1	1	1	1	1
1	0	1	1	0	0	1
0	1	1	0	1	0	1
1	1	0	0	No definido	0	1
0	1	1	1	1	1	1
1	1	0	1	No definido	No definido	0
1	0	1	1	0	0	1
1	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	0	0	0	0
0	1	0	1	1	1	0
0	1	0	1	1	1	0
1	0	1	1	0	0	1
1	0	0	0	0	0	1
1	0	1	1	0	0	1

Cuadro 2: Ejemplo de tren de bits de latch S-R, latch S-R con enable y Latch D con enable.