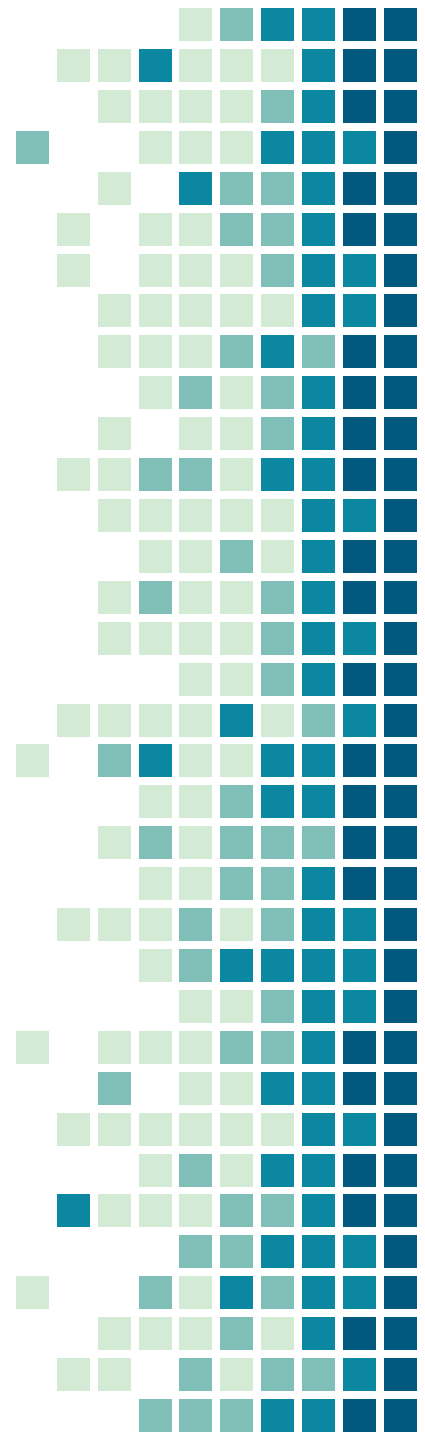


Intercomunicación



Agenda

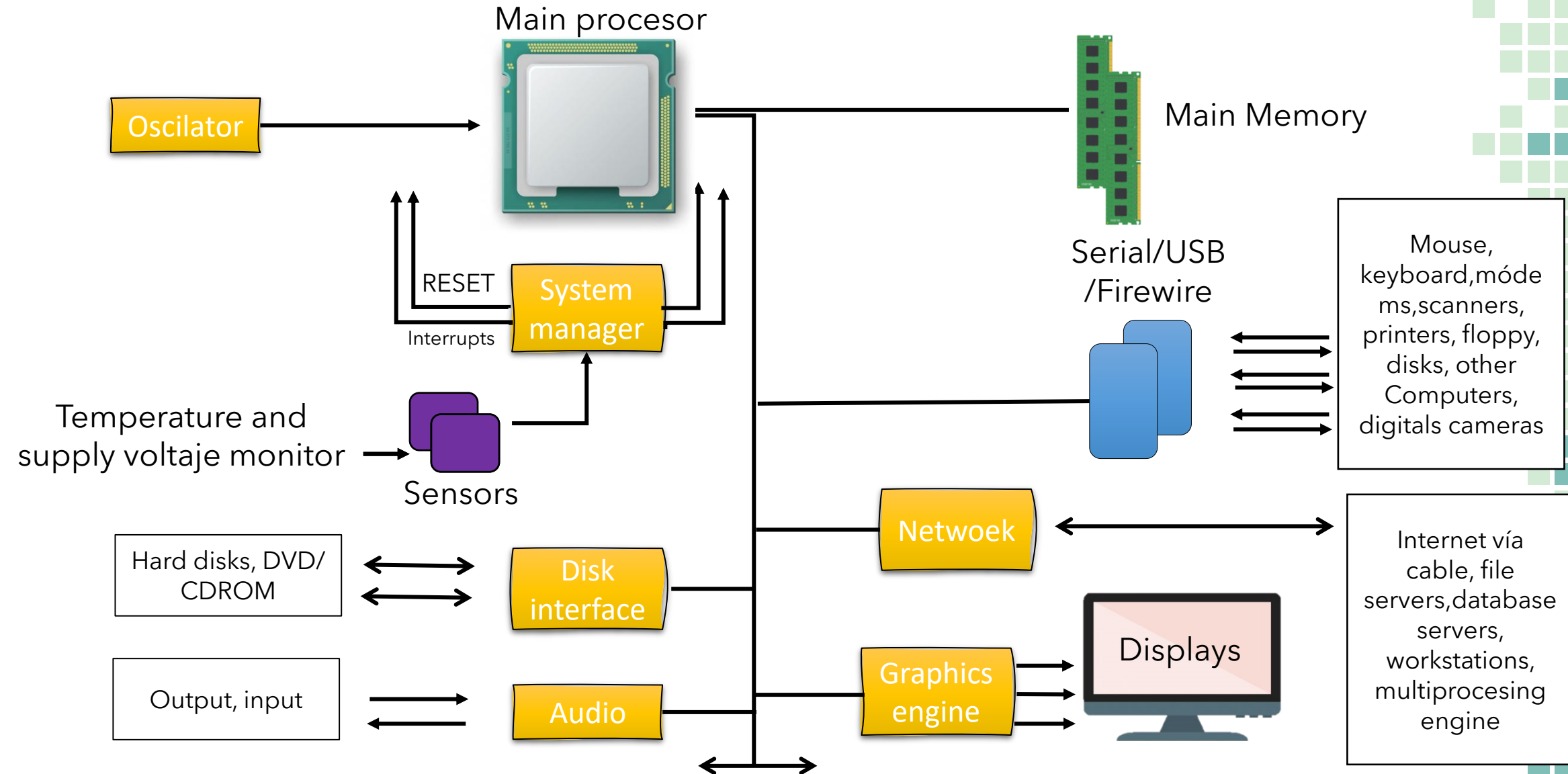
- **Introducción.**
- **GPIO**
- **Interfaces de comunicación:**
 - **UART**
 - **SPI**
 - **I2C**
 - **I2S**
- **Interfaces de comunicación alto desempeño:**
 - **PCI**
 - **AMBA**



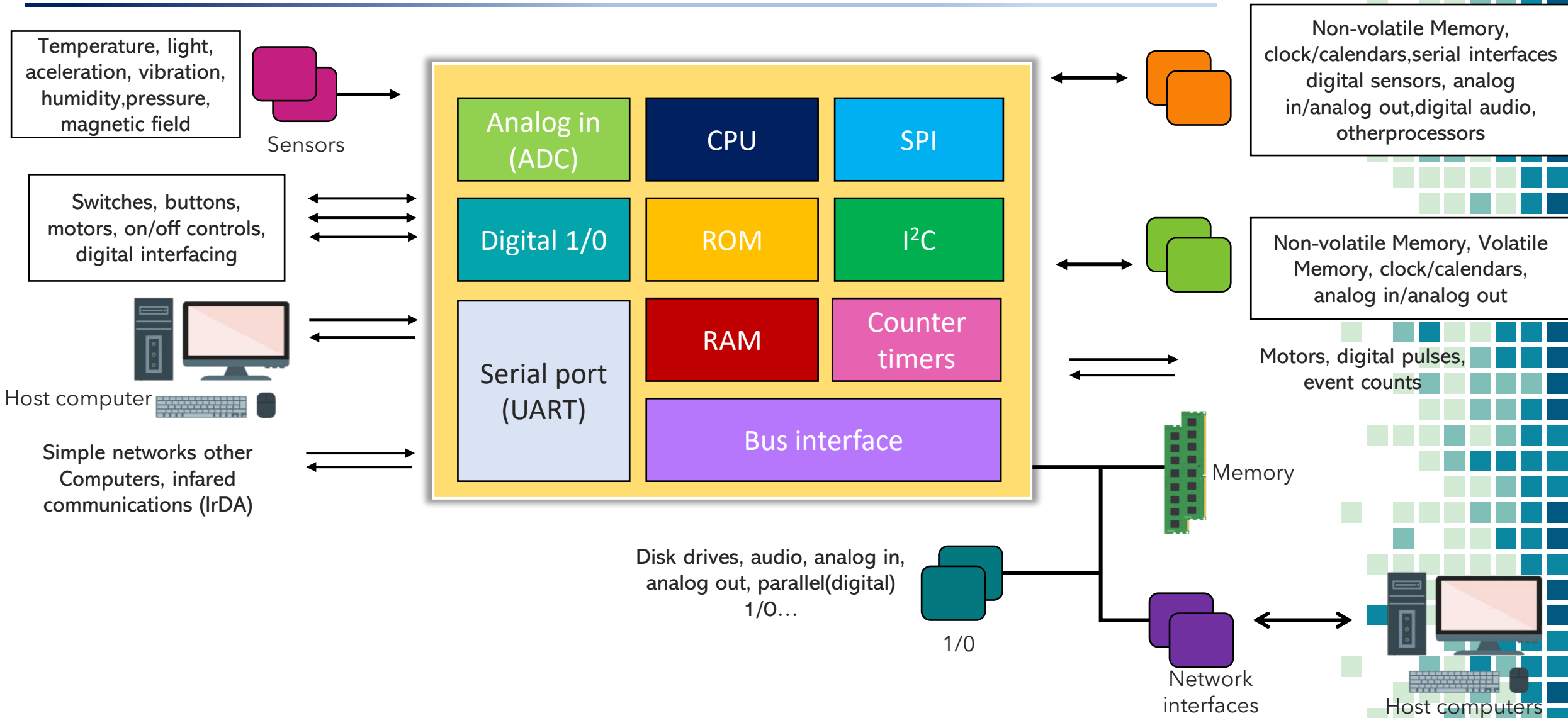
Introducción



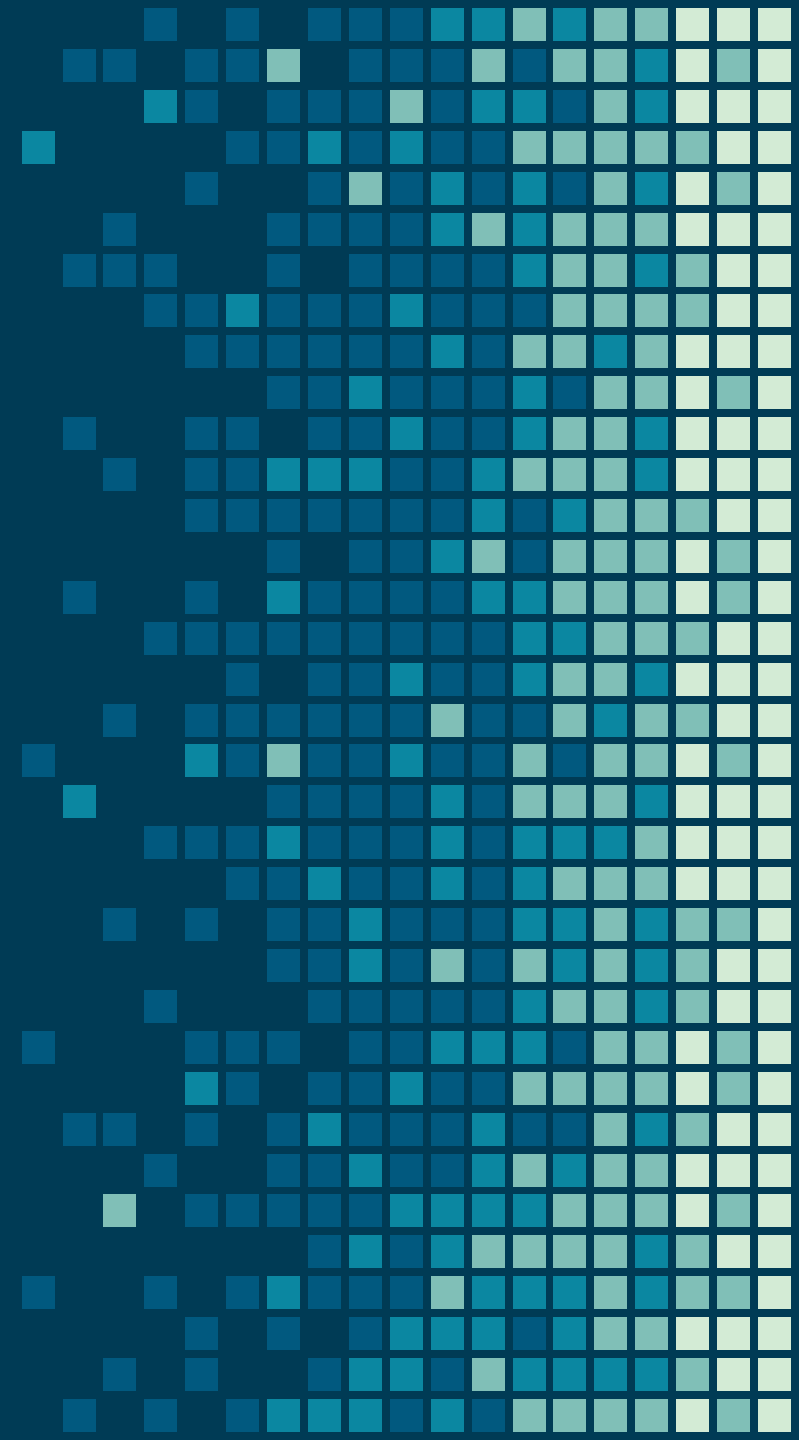
Arquitectura de computador genérico



Arquitectura de hardware de un computador empotrado



GPIO



GPIO

En un computador, el procesador o SoC, tiene un **número limitado de pines** para la comunicación con el exterior.

- 🔌 Las limitaciones **físicas** no pueden provocar limitaciones en funcionalidades: Los elementos de procesamiento **deben** responder a **diferentes necesidades**.

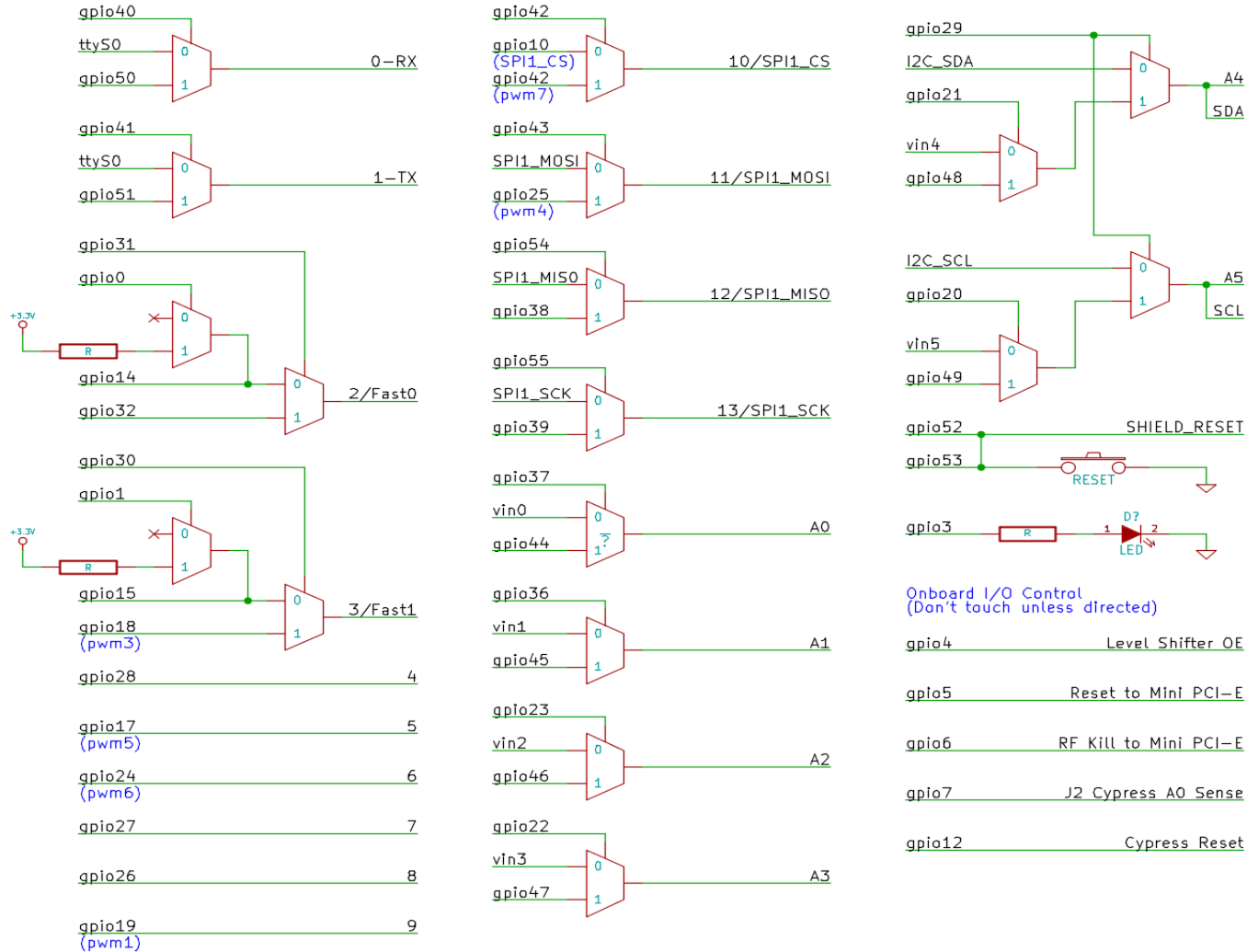


Entradas y salidas de propósito general

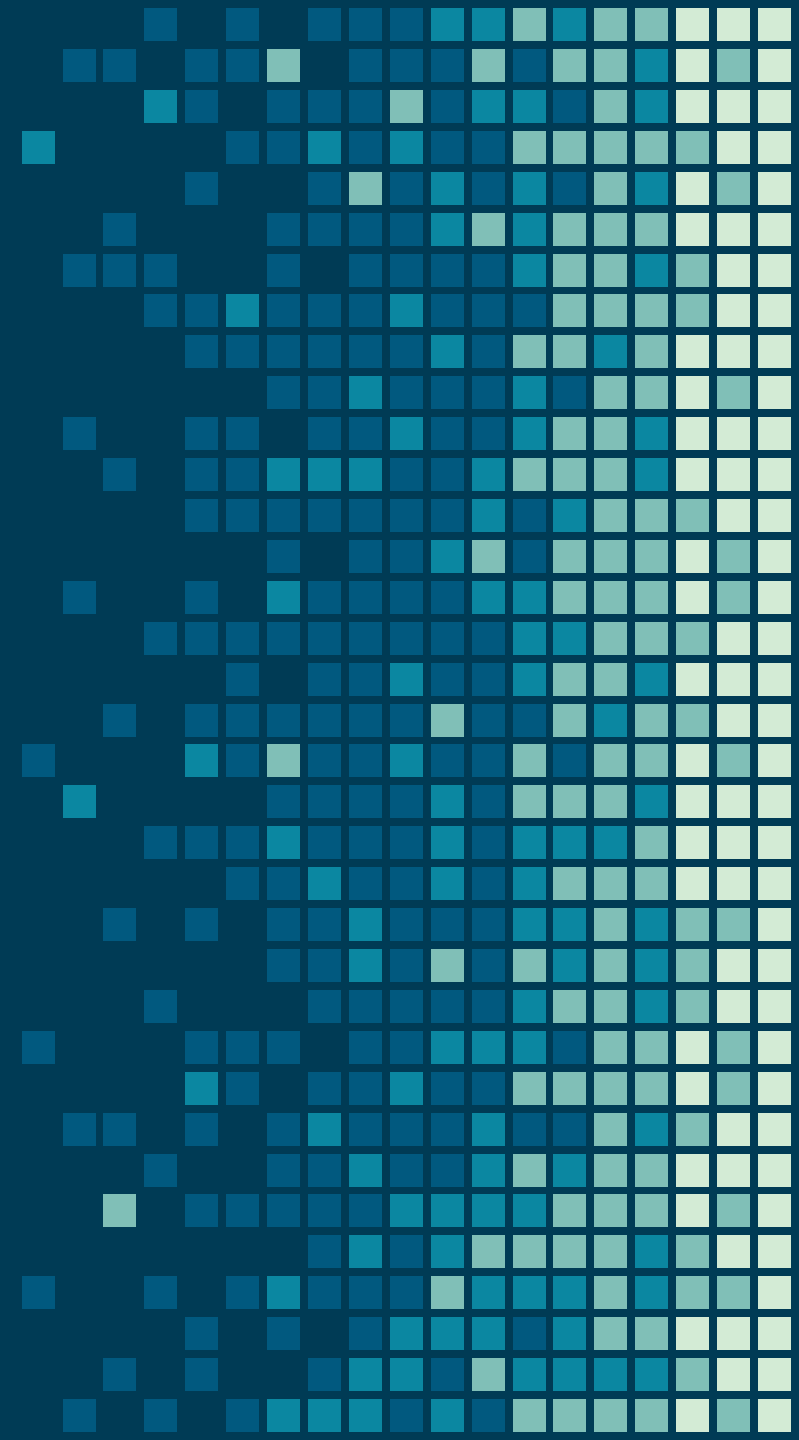
- Puertos son configurados por software en una base de pin a pin, tanto como entradas como salidas

- En muchos microcontroladores, EVM y SoCs los pines de los GPIOs son compartidos (**multiplexados**) con otros subsistemas lo cual permite **ahorrar** pines y le da una gran **versatilidad** al sistema

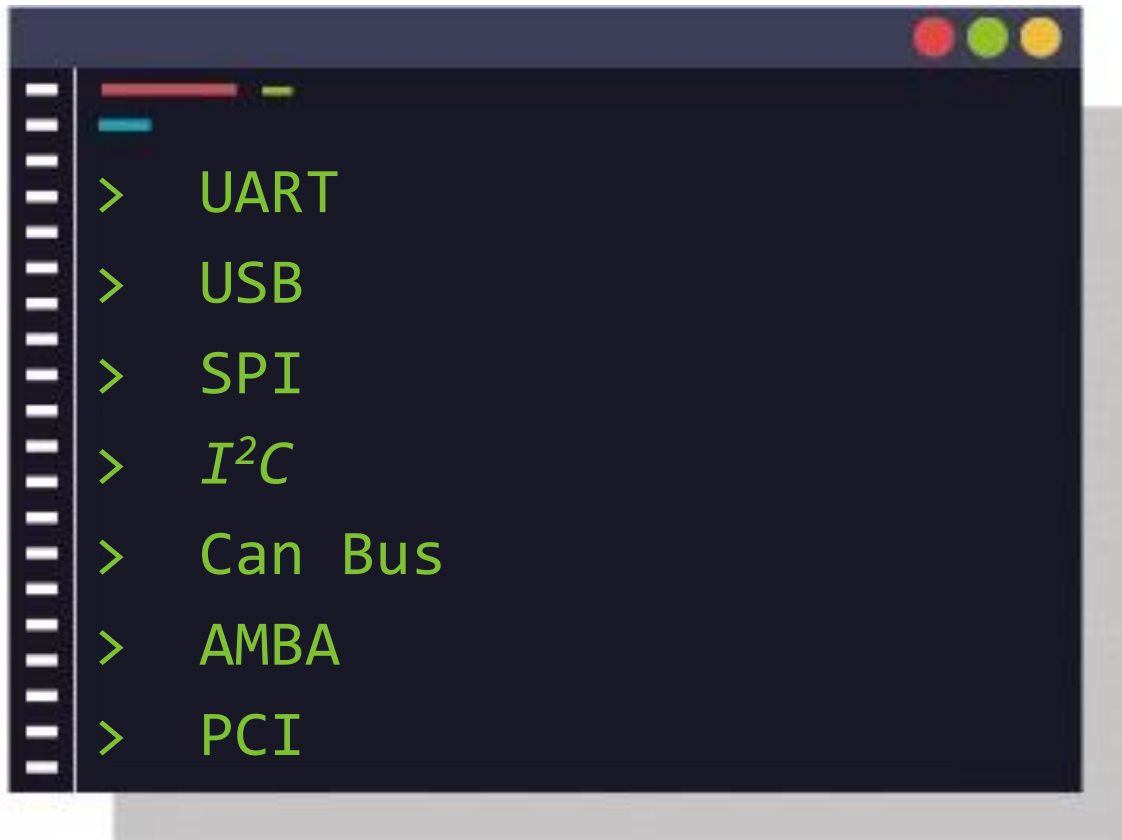
Intel Galileo GPIO



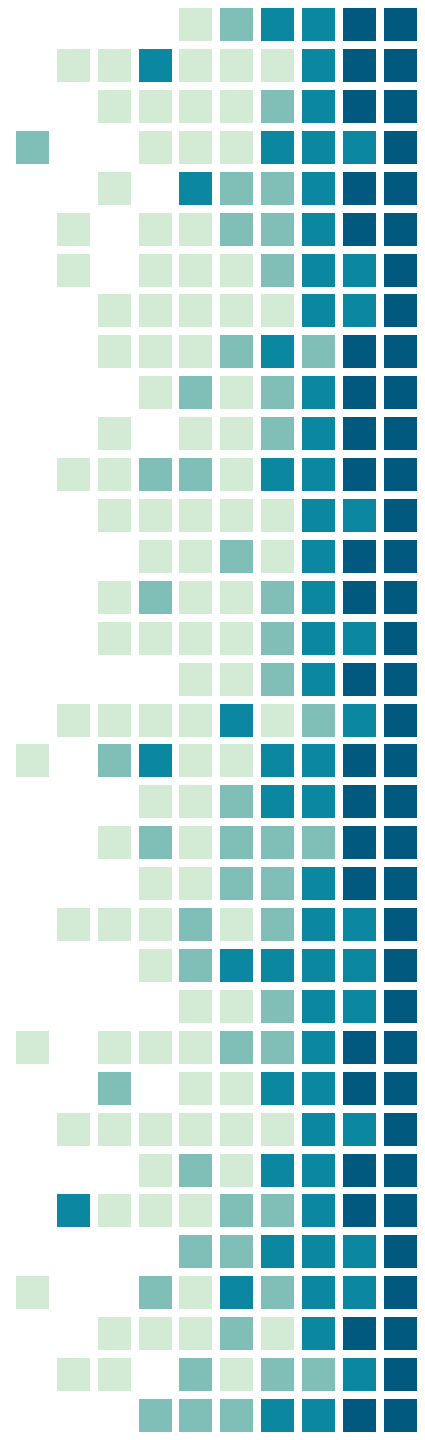
Interfaces de comunicación



Estaciones de reserva: WAW y WAR

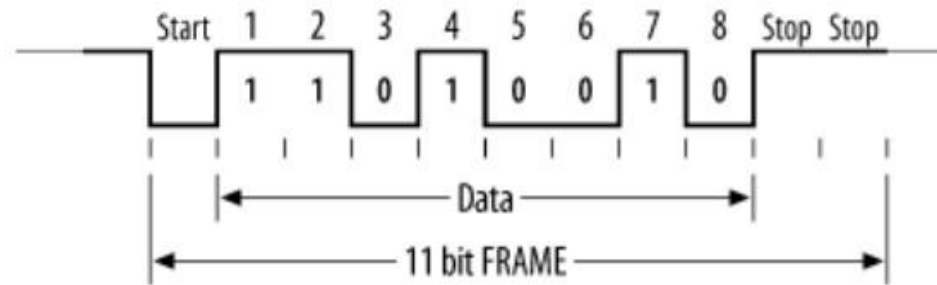
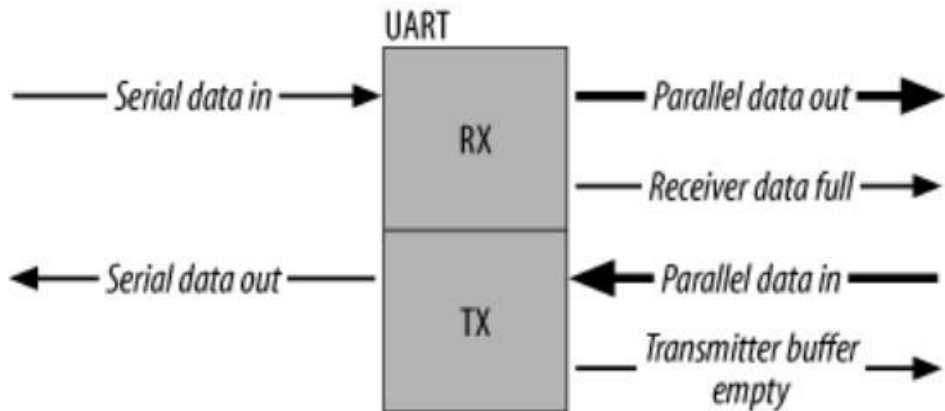


Dentro del CPU, Soc o microcontrolador existen unidades de HW dedicadas a interfaces de comunicación (controladores).



Universal Asynchronous Receiver-Transmitter (UART)

Forma más simple y barata de comunicación. Puede ser impráctica por límite de velocidades de transmisión.



UART- Protocolos

Para transmisión serial, por medio de **UART**, existen diferentes protocolos.



RS232** : single-ended, punto a punto, -15 a 15V

RS422: diferencial, punto a punto, multi-drop, -6 a 6V

RS485: diferencial, multipunto, -7 a 12V

Serial Peripheral Interface (SPI)



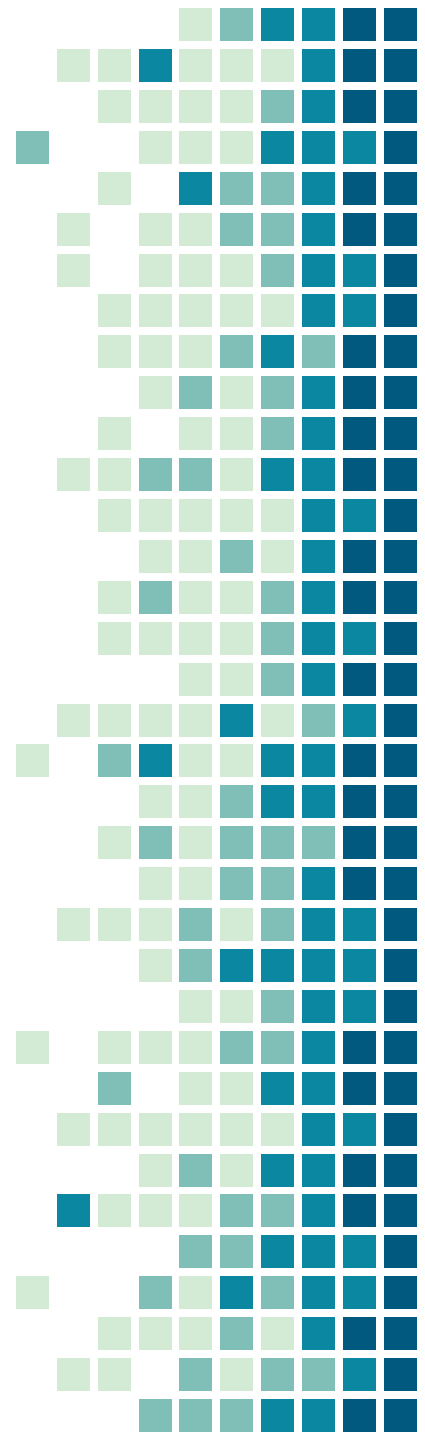
Protocolo maestro/esclavo (s).



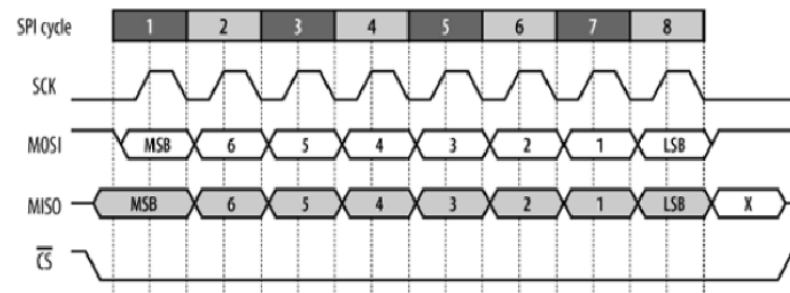
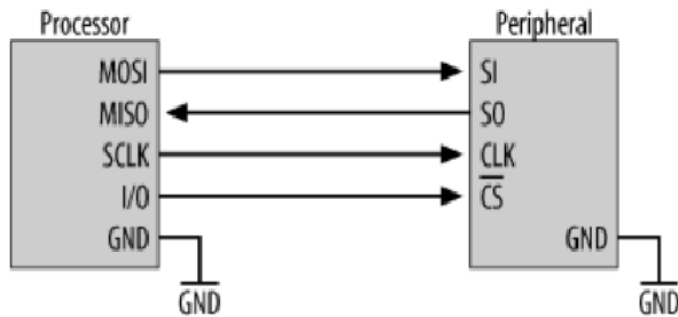
Todos los dispositivos de una determinada red emplean una señal de reloj común y el master decide con que dispositivo establecer una comunicación.



Aplicaciones: memorias SD, controladores de periféricos en general como ADCs, DACs, Real-Time Clocks, LCDs, sensores, chips de audio, entre otros.



Señales SPI

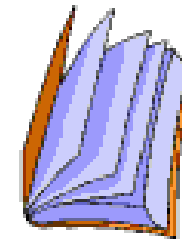


MOSI: Master Output Slave Input.

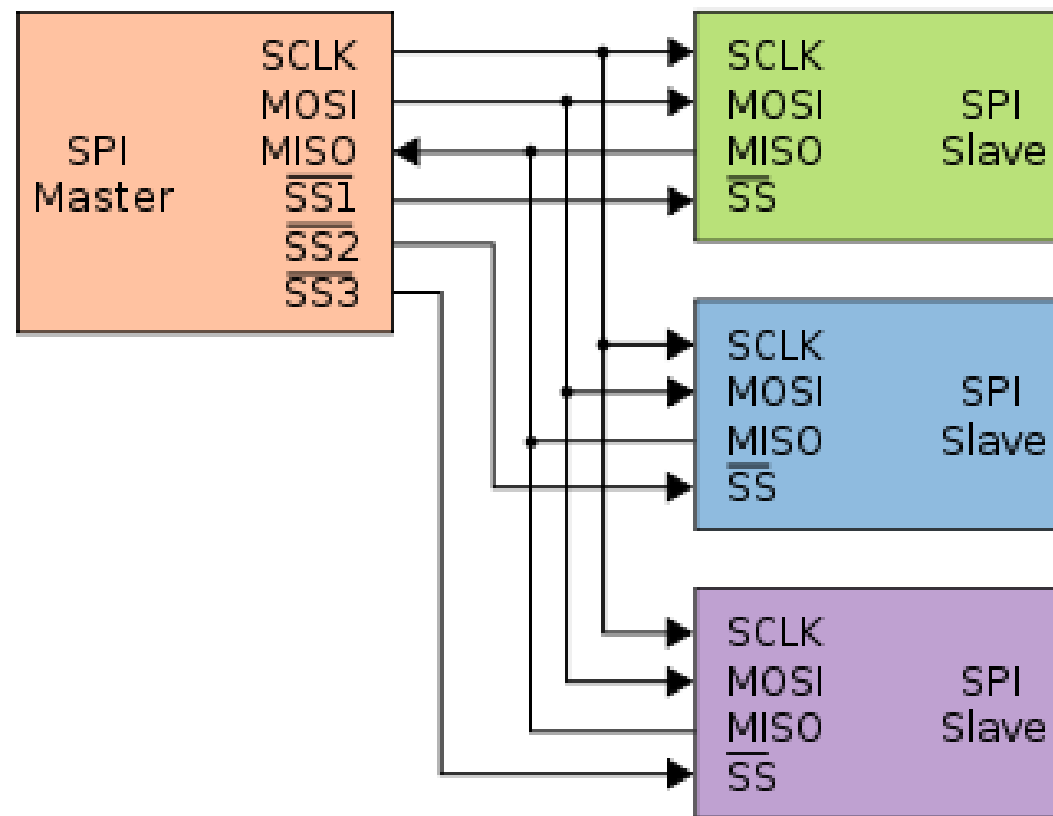
MISO: Master Input Slave Output.

SCLK: Serial Clock

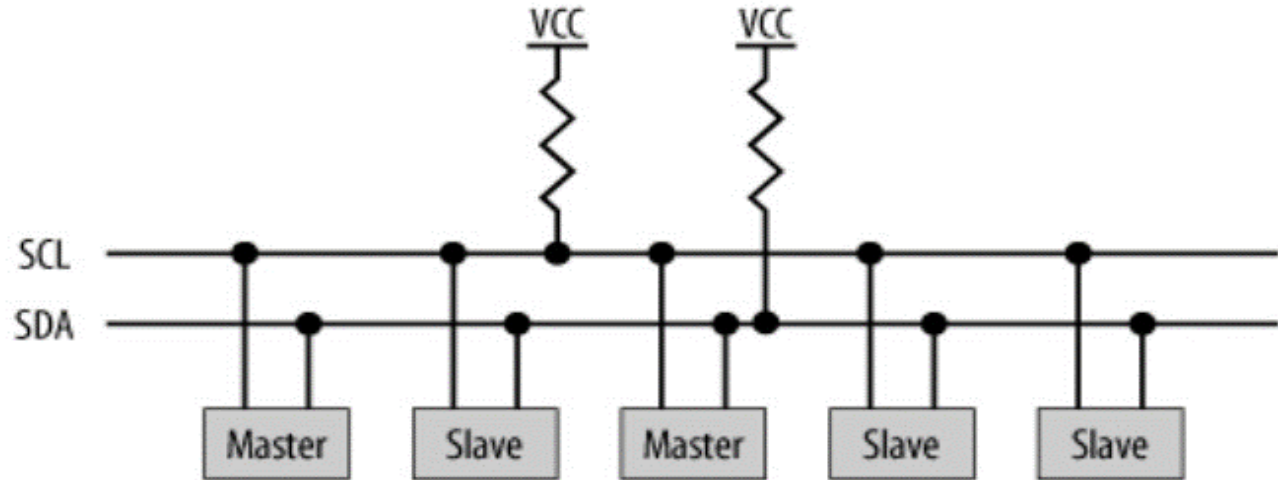
CS: Chip Select



SPI multi esclavo



Inter-Integrated Circuit (I2C)



Protocolo multimaster: cada dispositivo puede actuar como master o como esclavo.

Cada dispositivo se identifica por medio de una dirección única

Síncrino: señal de reloj común

Protocolo

START	Slave address	Rd/nWr	ACK	Data	ACK	Data	ACK	STOP
1 bit	7 bits	1 bit	1 bit	8 bits	1 bit	8 bits	1 bit	1 bit

Example 1: writing 2 byte to a slave. The data put on the bus by the master are shaded.

START	Slave address	0	0	Data	0	Data	0	STOP
1 bit	7 bits	1 bit	1 bit	8 bits	1 bit	8 bits	1 bit	1 bit

Example 2: reading 2 bytes from a slave. The data put on the bus by the master are shaded.

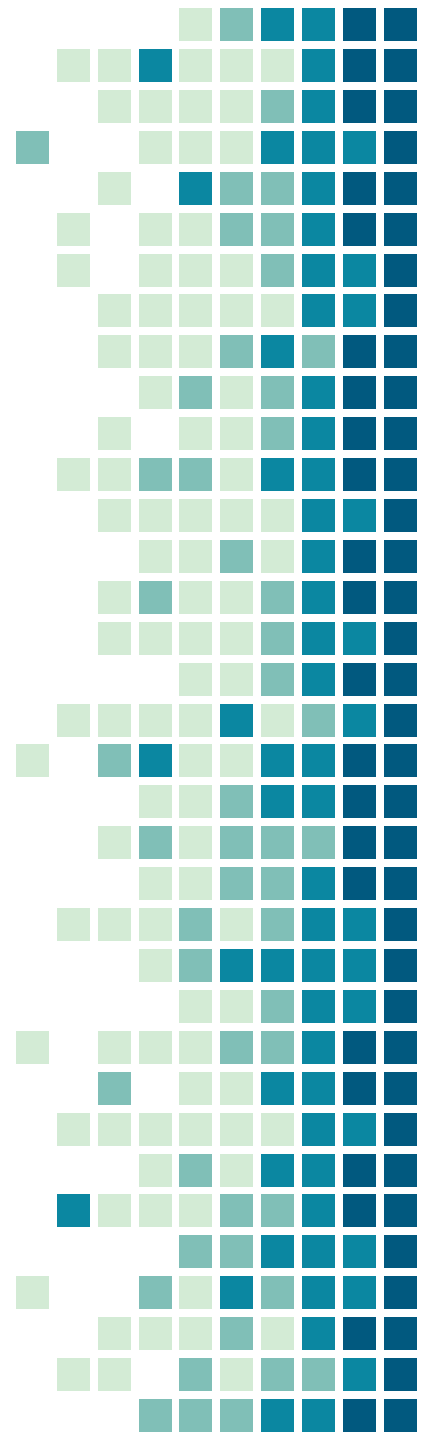
START	Slave address	1	0	Data	0	Data	1	STOP
1 bit	7 bits	1 bit	1 bit	8 bits	1 bit	8 bits	1 bit	1 bit

Figure 5: Typical I²C transfer, with 2 bytes of data. The master initiates the transfer with a START condition, followed by the slave address and the transfer type (read or write) bit. The slave acknowledges its address. Each data byte is then transmitted and acknowledged by the receiver. When it receives data, the master can issue a not-acknowledge condition (NACK) when it has received enough data. The bus is released when the master issues a STOP condition.

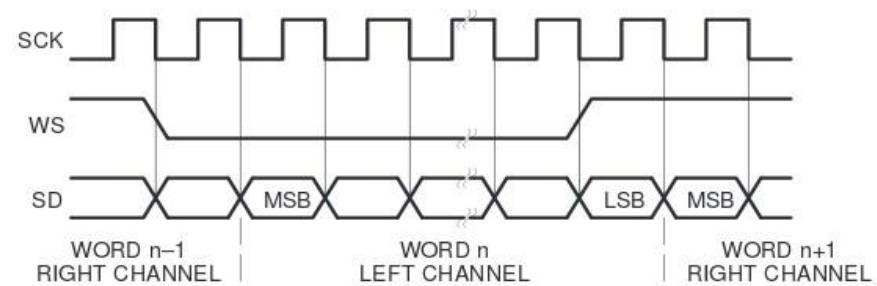
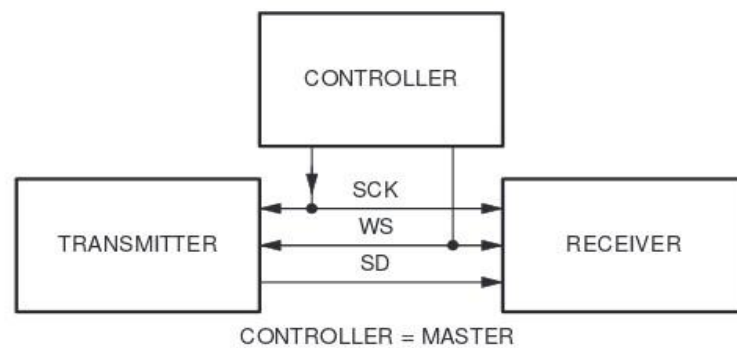
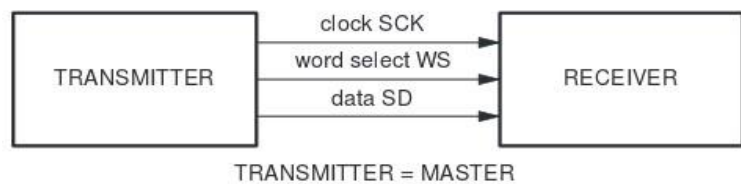
Inter-integrated Circuit Sound I^2C

Bus diseñado para transferir muestras de audio entre circuitos integrados. Posee tres líneas:

- Clock : reloj del sistema
- Data-line: Línea de datos
- Word line: Línea para selección de canales de stereo: izquierdo/derecho . Multiplexada por división de tiempo (TDM).



I²C



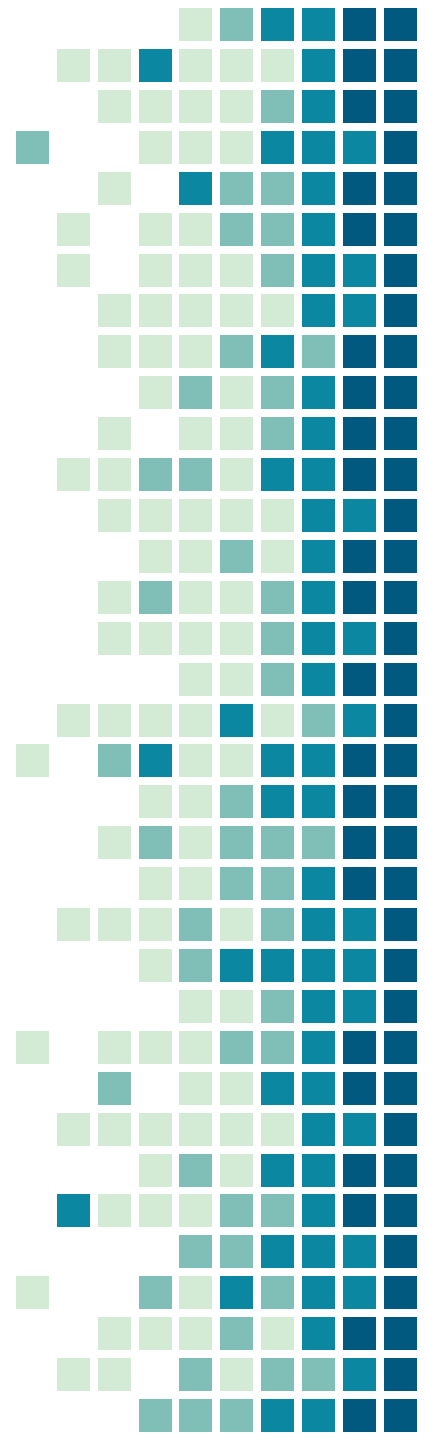
Interfaces de comunicación de alto desempeño



Interfaces de alto desempeño

- En muchos casos, los elementos de procesamiento o SoC, requieren interfaces especializadas con **alto desempeño** (alto ancho de banda, alta velocidad de transmisión...) para las interconexiones

- ✧ Las interfaces periféricas de bus aseguran el alto desempeño.
- ✧ Ejemplo: PCI, AHB (AMBA).



Interfaz Periférica de Bus

- **Una interfaz** de un dispositivo consiste de dos elementos: un **controlador** de dispositivo así como una **conexión externa** para acoplar un dispositivo externo. Una Interfaz periférica de bus debe contar con:

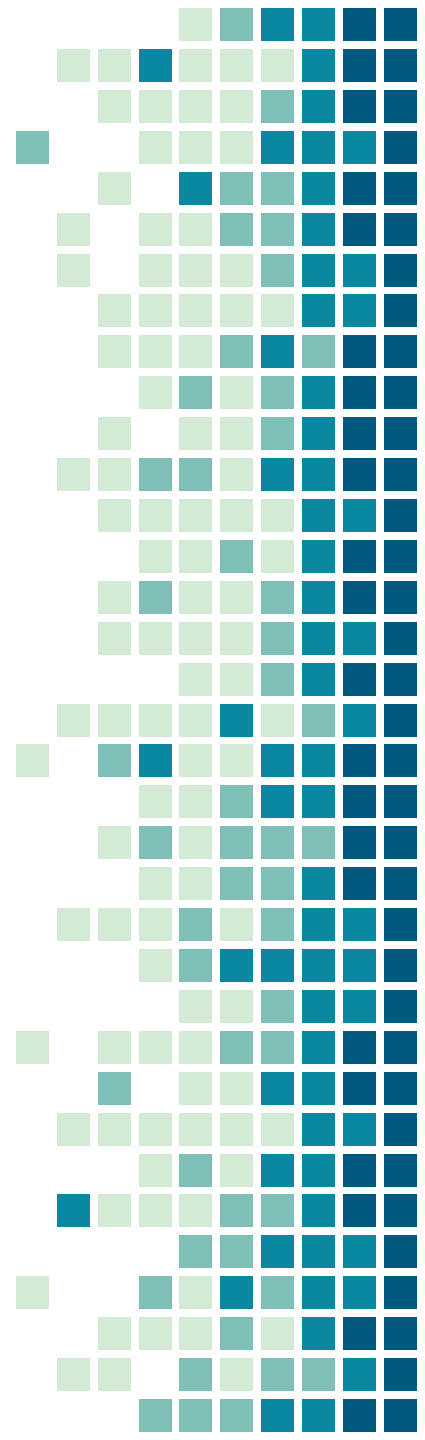
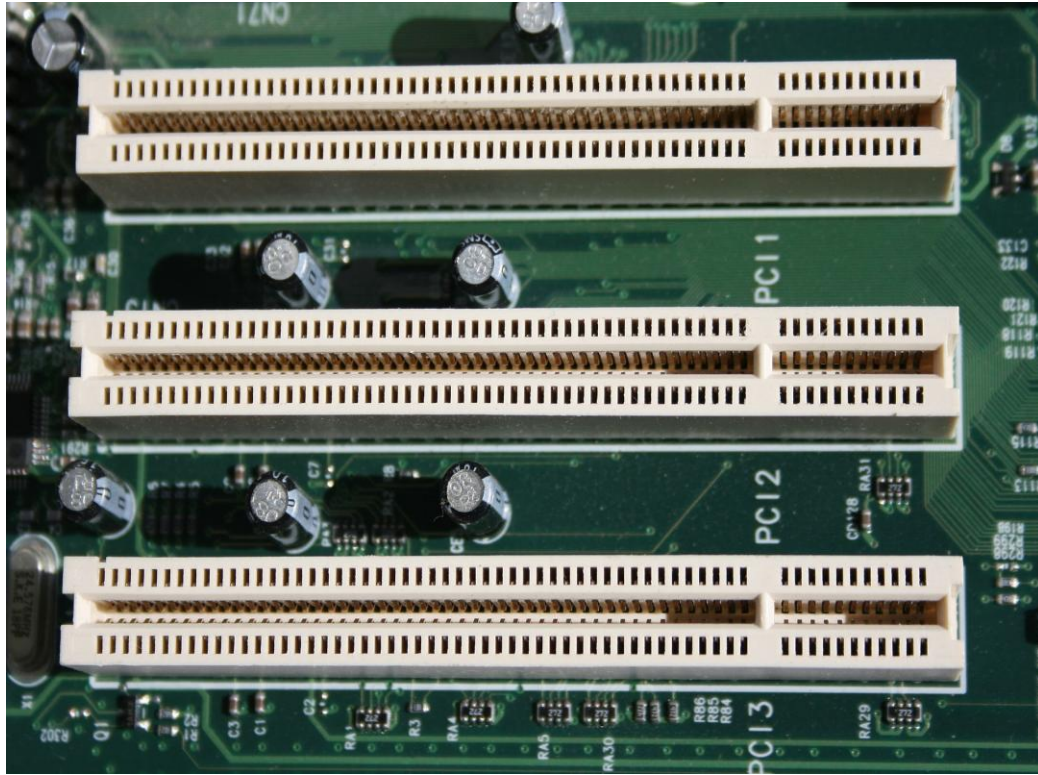
- Transacción de **mapeo** del procesador al espacio de direccionamiento del dispositivo

Transacción **interna:** permite al dispositivo externo leer o escribir recursos internos del SoC

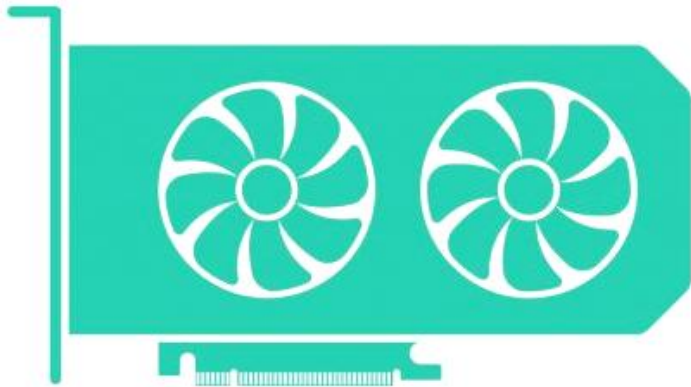
Interrupciones: desde el dispositivo externo al procesador.

Estándar físico: estándar de tamaño y tipo de conector

Peripheral Component Interconnect (PCI)



Peripheral Component Interconnect (PCI)



- ☛ Estándar de interfaz de alto desempeño predominante (desktop - HPC).
- ☛ PCI Express (PCIe) es la última generación del estándar. Principalmente utilizados en arquitecturas basadas en Intel.
- ☛ PCIe permite identificar dispositivos adjuntos al bus en tiempo de ejecución, asignando recursos dinámicamente (*enumeración de bus*).
- ☛ PCI puede soportar (teóricamente) hasta 65536 dispositivos adjuntos al bus.

PCI - Transacciones de configuración

Los procesadores no pueden generar transacciones de PCI de forma nativa. Estas se realizan por los siguientes mecanismos:

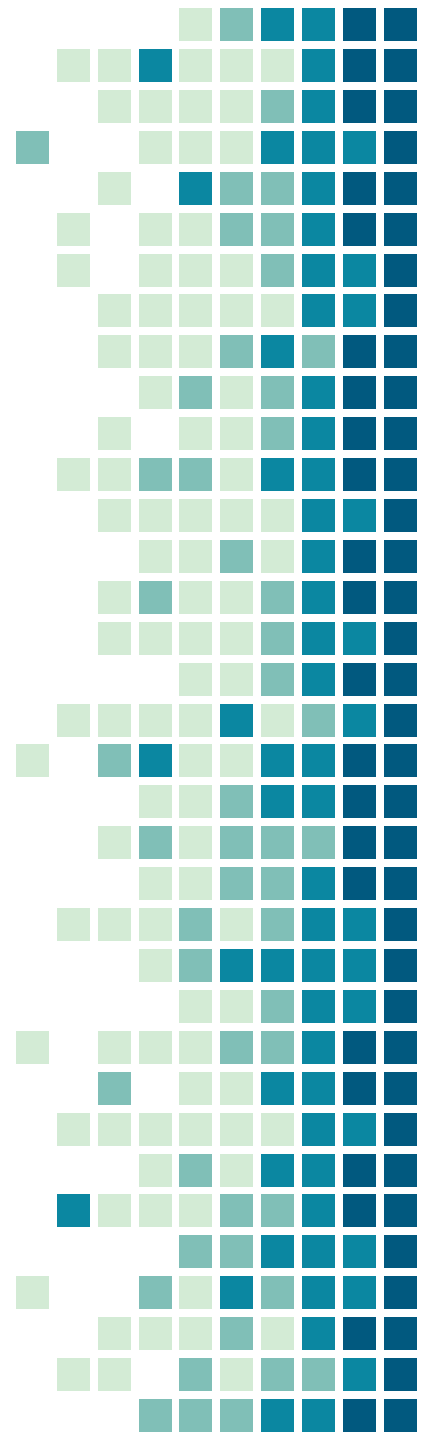
Modo indirecto: Secuencia específica: escritura de la dirección de puerto en dirección 0XCF8 de memoria, seguido de puerto registro de datos de la dirección 0XCFC. Permite solo 256 registros de configuración.

Mapeo a memoria (Memory-Mapped) I/O: Hasta 256-MB (4K por cada dispositivo) se mapean a memoria principal. Las lecturas y escrituras a esas direcciones generan las transacciones de configuración.

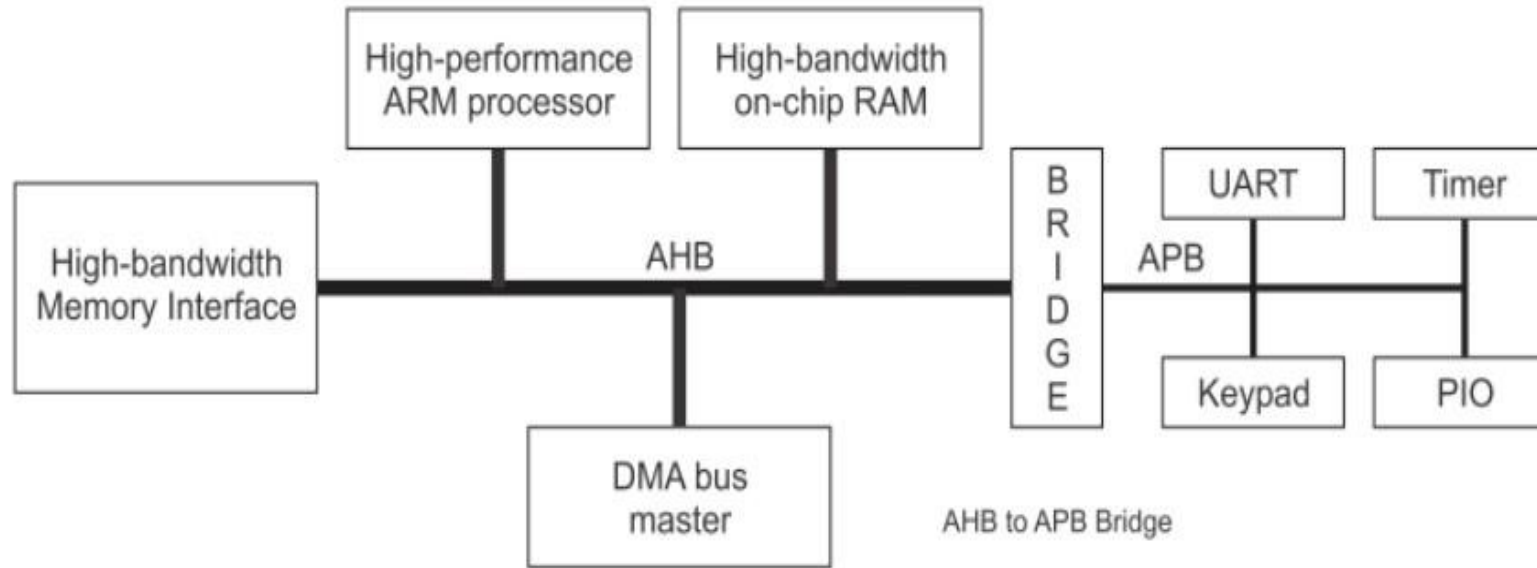
Tiempo promedio de acceso a memoria*

Utilizado para interconexiones dentro de procesadores o elementos en un SoC, basados en ARM

- Fue desarrollado por ARM en 1996
- Se ha transformado en un estándar en SoC para dispositivos móviles



AMBA



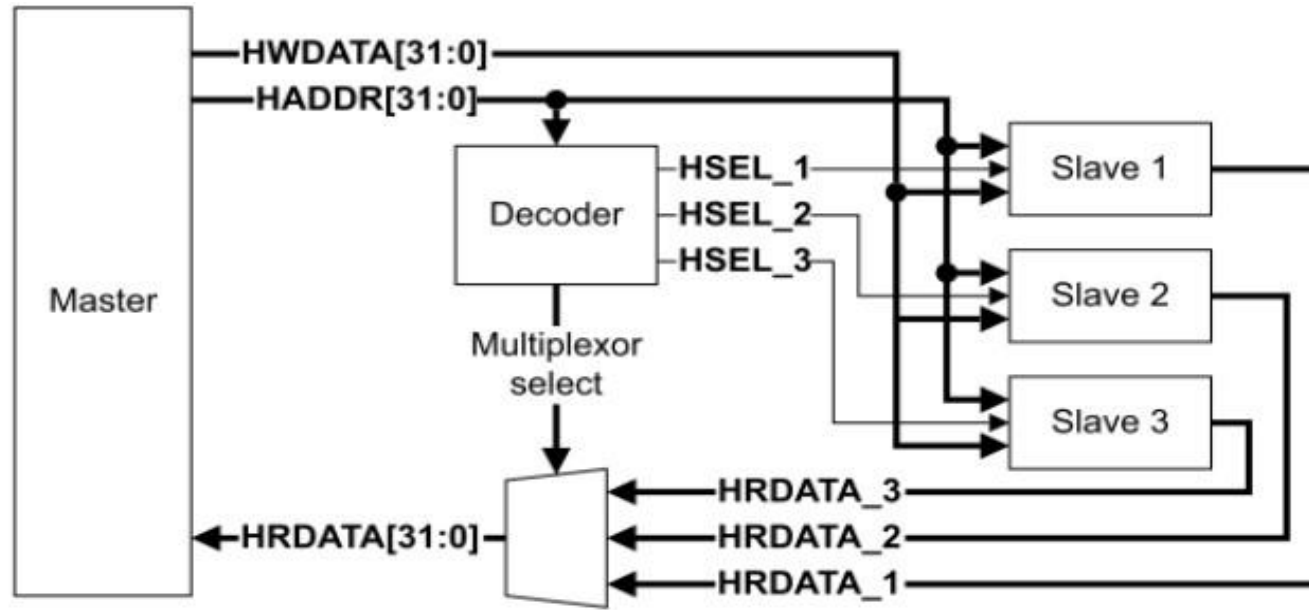
AMBA Advanced High-performance Bus (AHB)

- * High performance
- * Pipelined operation
- * Burst transfers
- * Multiple bus masters
- * Split transactions

AMBA Advanced Peripheral Bus (APB)

- * Low power
- * Latched address and control
- * Simple interface
- * Suitable for many peripherals

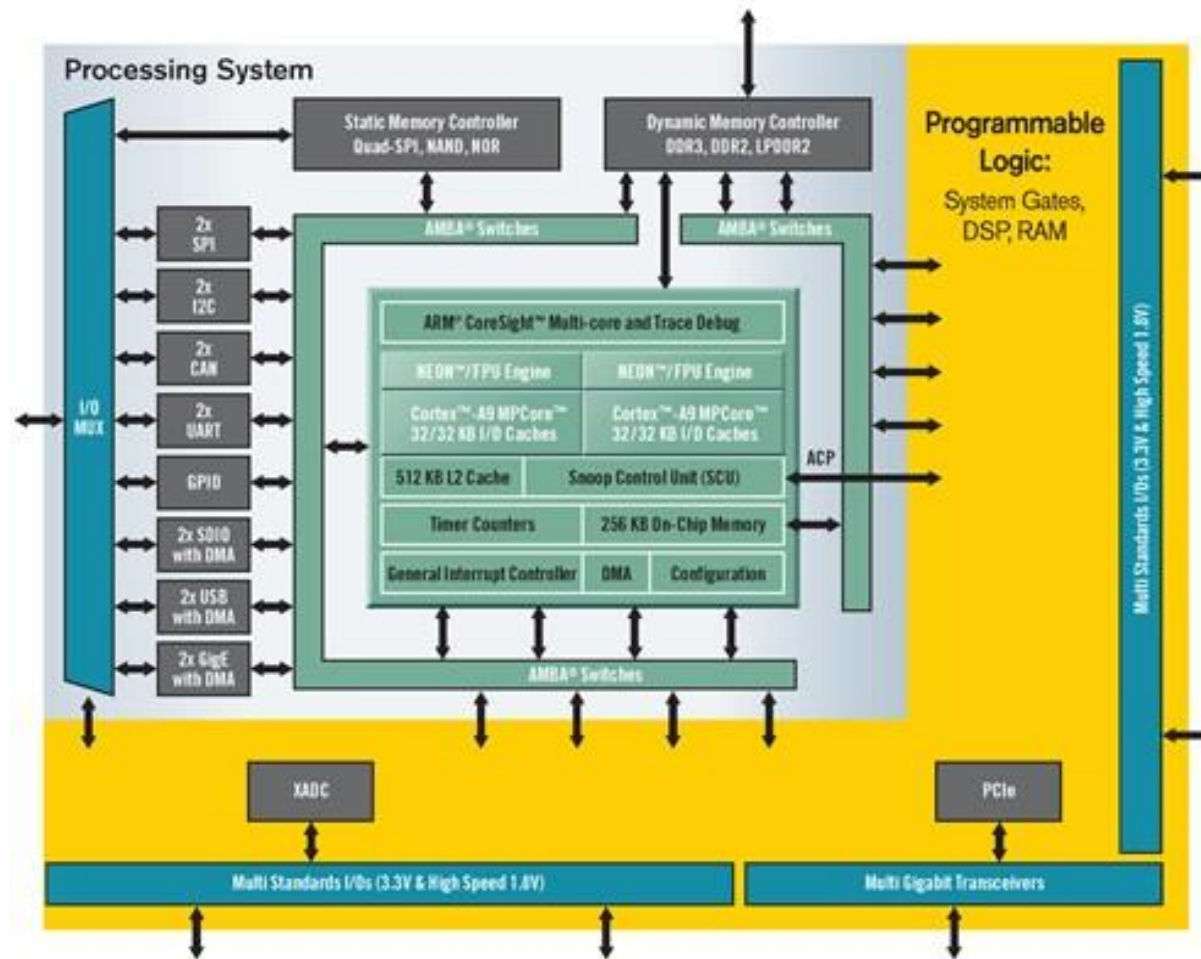
Advanced High Performance Bus AHB



Interfaz periférica de alto desempeño

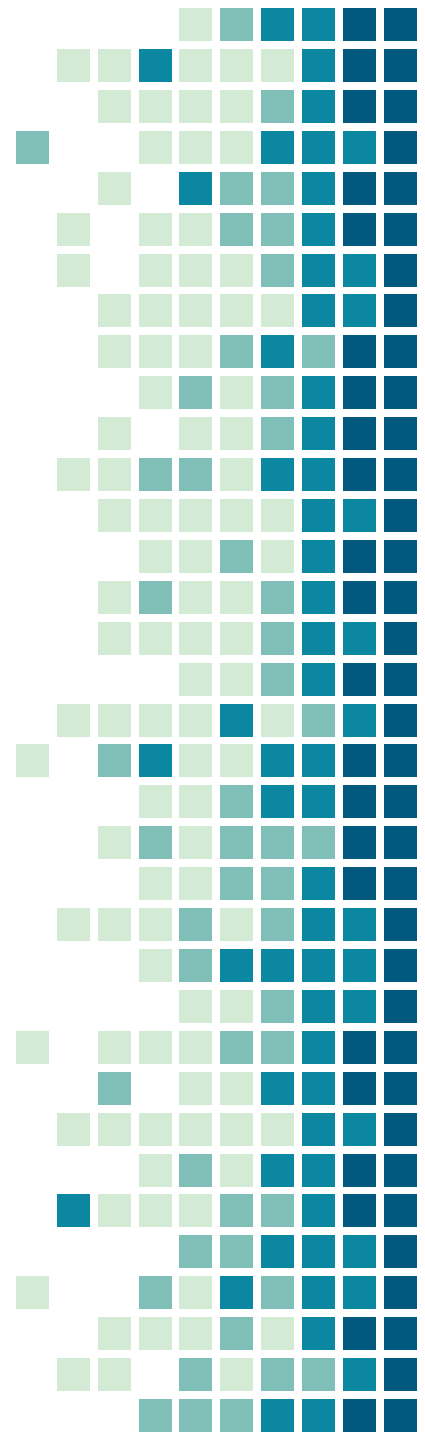
- Los dispositivos se seleccionan por medio de multiplexores.
- Master y Slaves son controladores de dispositivos.

Ejemplo: Zynq - 7000 AI Programmable SoC



Referencias

- ...► Guillermo Güichal (2007)
Introducción a AMBA
- ...► Peter Barry and Patrick Crowley (2012)
Modern Embedded Computing: Designing Connected, Pervasive, Media-Rich Systems
- ...► William Stallings (2010)
Computer organization and architecture: designing for performance. Pearson Education India
- ...► Phillips Semiconductor (1986)
I²S Specification.



¿Preguntas?

Realizado por: Jason Leitón Jiménez.

Tecnológico de Costa Rica

Ingeniería en Computadores

2024

