

---

Carné: \_\_\_\_\_ Nombre: \_\_\_\_\_ Nota: \_\_\_\_\_

## INSTRUCCIONES GENERALES.

- Esta evaluación es individual y tiene una duración máxima de 30 minutos.
- No se permite ningún tipo de material de apoyo para hacer este examen corto.
- Responda de forma clara y ordenada.
- No se aceptarán reclamos en respuestas hechas en lápiz o lapicero borrable.
- No se permite el uso del celular para el desarrollo de este examen corto.
- Este examen corto es de 20 puntos.

Conteste los siguientes problemas de manera adecuada. Realice el planteamiento de todos los procedimientos necesarios para llegar a la solución correcta.

1. En qué factores afecta aumentar el grado de asociatividad en el desempeño de una caché tanto positiva como negativamente. Justifique su respuesta. (5pts)
2. Para un computador con la siguiente distribución de memoria:
  - caché L1, 8KB, miss rate 65 %, hit time 3ns.
  - caché L2, 32KB, hit rate 70 %, hit time 15ns.
  - caché L3, 128KB, miss rate 2 %, hit time 30ns.
  - DRAM, 2GB, tiempo acceso 100ns.
  - 2.1. Determine el tiempo promedio de acceso a memoria (AMAT). (5pts)
3. Explique qué es la MMU y cuál es su importancia en los computadores modernos (5pts).
4. Indique el principio de funcionamiento de caché víctima (5 pts).

---

Carné: \_\_\_\_\_ Nombre: \_\_\_\_\_ Nota: \_\_\_\_\_

## INSTRUCCIONES GENERALES.

- Debido al estado de la crisis se recalca la importancia de mantener una comunicación continua y pronta con el profesor para atender cualquier eventualidad lo más rápido posible.
- Esta evaluación se realizará durante horas de clase para no interferir con el proceso de aprendizaje en otros cursos.
- Si presenta problemas con el quiz contacte al profesor por **correo electrónico** o al teléfono 8331-0211.
- Se realizará una videollamada durante la realización de la evaluación para atender las dudas inmediatamente.
- Esta evaluación es **individual** y tiene una duración máxima de 45 minutos. El control del tiempo debe tener la siguiente distribución:
  - En los primeros 5 minutos debe ingresar la contraseña del enunciado. Si tiene problemas debe escribir al profesor inmediatamente. El enunciado se subirá previamente a la plataforma TEC-Digital (por lo menos 24 horas antes de la realización).
  - Del minuto 5 al minuto 50 debe realizar el examen corto, si tiene dudas realicela durante la llamada.
  - Del minuto 50 al 55 debe unir los archivos en un pdf.
  - Del minuto 55 al 60 debe subir el archivo a la plataforma de TEC-Digital.
- La entrega está habilitada desde el minuto 0 del quiz.
- Después del minuto 60 se rebajará un punto por minuto para la base de calificación. Se revisará la última versión enviada. Si tiene problemas subiendo contenido adjunte un screenshot y la justificación al **correo electrónico** del profesor **inmediatamente, recuerde la importancia de la comunicación oportuna.**
- Responda de forma clara, ordenada y legible en un pdf. **El quiz debe ser escrito a mano, no se permite editores de texto.**
- El documento será sometido a control de plagios, se prohíben copias textuales de otros estudiantes o sitios en Internet.
- El documento debe reflejar el entendimiento del concepto, por esta razón tiene que ser explicado en sus propias palabras, sin recurrir a citas bibliográficas.
- Este examen corto es de 26 puntos.

Conteste los siguientes problemas de manera adecuada. Realice el planteamiento de todos los procedimientos necesarios para llegar a la solución correcta.

1. Para el siguiente conjunto de instrucciones:

```
LDR R0, [R0, #800]
MOV R1, #4
LDR R4, [R0, R1]
ADD R0, R1, #0x32
MUL R3, R0, R4
LDR R1, [R4, R0]
ADD R1, R2, #3
MUL R3, R4, R5
EOR R1, R2, R3
SUB R4, R1, R2
SW R5, [R1, R4]
```

INST	dest	J	K	Issue	RD	EX	WB

- a). Calendarice las instrucciones utilizando el algoritmo Marcador, para la siguiente configuración de unidades funciones y tiempos de ejecución (11 puntos):
  - ALU x 2 (1 ciclo), Mult x 1 (6 ciclos), LDR / STR x 3 (3 ciclos)
2. ¿Es más versátil y efectiva la calendarización estática con respecto a la dinámica? Explique detalladamente usando conceptos de VLIW y algoritmos de calendarización dinámica (5 puntos).
3. Explique porqué VLIW no se puede considerar una ejecución fuera de orden real (5 puntos).
4. Explique como el algoritmo Tomasulo evita los riesgos de datos reales. ¿Es correcto decir esto?

## Arquitectura de Computadores I

### Práctica 4.

#### Algoritmos de calendarización dinámica

Para el siguiente código:

```
MOV R0, #800
MOV R1, #4
LDR R4, [R0, R1]
EOR R4, R4, #0x32
LDR R5, [R0, #4]
MUL R3, R4, R5
ADD R1, R2, R3
ADD R2, R4, #3
```

- a) Utilice el algoritmo Marcador (Scordboarding) para calendarizar las instrucciones.

INST	dest	J	K	Issue	RD	EX	WB

- b) Utilice el algoritmo de Tomasulo para calendarizar las instrucciones.

Instruction	dest	j	k	Issue	EX	WB

Para ambos casos, asuma que la organización posee las siguientes unidades funcionales:

1x Mult (4 ciclos)

2x LD/ST (2 ciclos)

2x ALU ( 1 ciclo)

## Arquitectura de Computadores I

### Práctica 5. VLIW

1. Con base en el siguiente código, en una arquitectura VLIW:

1. MOV R0, #800
2. MOV R1, #4
3. LDR R4, [R0, R1]
4. EOR R4, R4, #0x32
5. MUL R0, R0, R1
6. ADD R0, R0, #1
7. CMP R4, R0
8. BNE salir
9. MUL R3, R4, R5
10. ADD R1, R2, R3
11. ADD R2, R4, #3
12. LDR R4, [R0, #3]
13. CMP R2, R4
14. B salir

Unidad	Latencia	Cantidad
ALU	1	1
LD/ST **	2	1
MUL	3	1

\*\*Asuma que Instrucciones B usan esta unidad

- a) Dibuje el grafo de dependencias para cada bloque básico y marque la ruta crítica para cada uno.
- b) Realice la calendarización estática de las instrucciones en cada bloque básico. Considere una prioridad  $p(x) = \alpha * \text{latencia}(x)$ , donde  $\alpha$  es 1 para instrucciones fuera de la ruta crítica y 1.5 para instrucciones dentro de la ruta crítica (definida estáticamente).
- c) Asuma que la prioridad ahora es  $p(x) = 1/(\alpha * \text{latencia}(x))$ . Repita el paso b)

2. En el siguiente código

```
for (i=6, i<1024, i++)  
    x[i]=y[i-2] + 2*x[i-4] + x[i-6] ;
```

- a) Considere recursos de hardware infinitos ¿Cuál es el máximo factor de loop unrolling que se puede aplicar? Justifique su respuesta.
- b) Muestre cómo resultaría el loop aplicando la técnica de unrolling con un factor de 3.
- c) Considere ahora una arquitectura con los recursos del ejercicio 1. ¿Tiene sentido aplicar loop unrolling? Justifique su respuesta.



**Práctica. Diseño de un computador**

Se requiere diseñar un computador utilizando un microprocesador ARMv4, con tamaño de dirección máxima de 32 bits, y los chips de soporte necesarios según las características del problema.

**Descripción del problema**

El sistema debe poseer 32KB de memoria de programa y 64KB de memoria de datos. Además una frecuencia de operación de 1MHz. Se cuenta únicamente con chips de memoria de 32KB.

El sistema responde al siguiente proceso:

El usuario interactúa por medio del teclado que se muestra en la figura 1, por medio de la siguiente secuencia:

1. Al presionar la tecla 0, se genera un reset general en el sistema.
2. Al presionar la tecla 1, el sistema entra en modo de operación 1.
3. Al presionar cualquier otra tecla, el sistema entra en modo de operación 2.

**Modos de operación:**

**Modo 1:** En el modo de operación 1, el sistema debe realizar un proceso de muestro determinístico de señales de vibración (8 bits), provenientes de un acelerómetro inteligente (figura 2), con una frecuencia de 1KHz. A cada muestra se le debe sumar un offset de 0x20 y el resultado se debe almacenar en memoria, iniciando en la posición 0x80000H. Al realizar 4096 muestras, el sistema debe hacer una transferencia masiva de memoria con los datos adquiridos hacia un módulo de Hardware que calcula la Transformada discreta de Fourier. Este módulo, a su vez, toma 5000 ciclos de reloj en terminar su proceso y al finalizar, debe escribir los resultados (8192 datos) a memoria, empezando en la dirección 0x81000H.

**Modo 2:** En el modo de operación 2, el sistema deberá mostrar el mensaje “Presiona la tecla 1 para iniciar el proceso o 0 para reiniciar el sistema” en un dispositivo LCD, como el que se muestra en la figura 3.

Para el problema descrito anteriormente:

1. Describa la estrategia de administración de los dispositivos de E/S de manera que haga el uso más eficiente de los recursos de hardware disponibles. **(5 puntos)**
2. Describa el mapeo de memoria que propone implementar para resolver el problema. **\*\* (5 puntos)**
3. Diseñe el decodificador de selección de dispositivos de entrada salida y memoria (chipset). Para ello indique la tabla de verdad y el diagrama de bloques correspondiente. **(15 puntos)**
4. Implemente el diagrama de bloques que corresponda con el diseño del computador que propone para resolver el problema descrito anteriormente. **(15 puntos)**
5. Usando lenguaje ensamblador ARMv4 implemente las rutinas necesarias para llevar a cabo el proceso de inicialización y adquisición de datos desde el acelerómetro a memoria. **(10 puntos)**

**\*\*Nota,** si lo requiere asuma que puede utilizar PPIs, PICs y DMA's de cantidad de canales que considere necesarios.

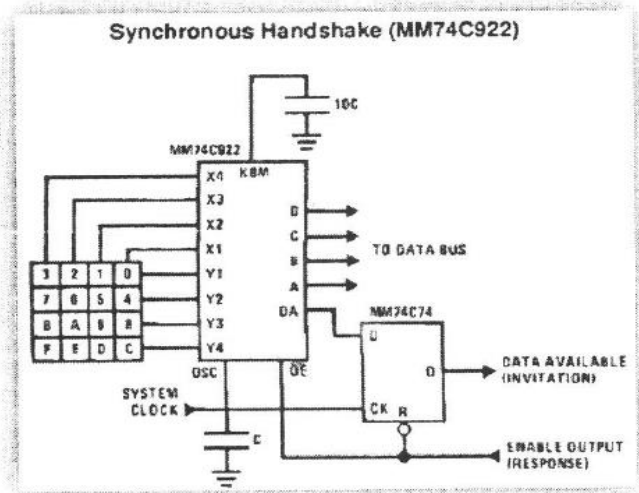


Fig1. Teclado matricial alfa-numérico con controlador.

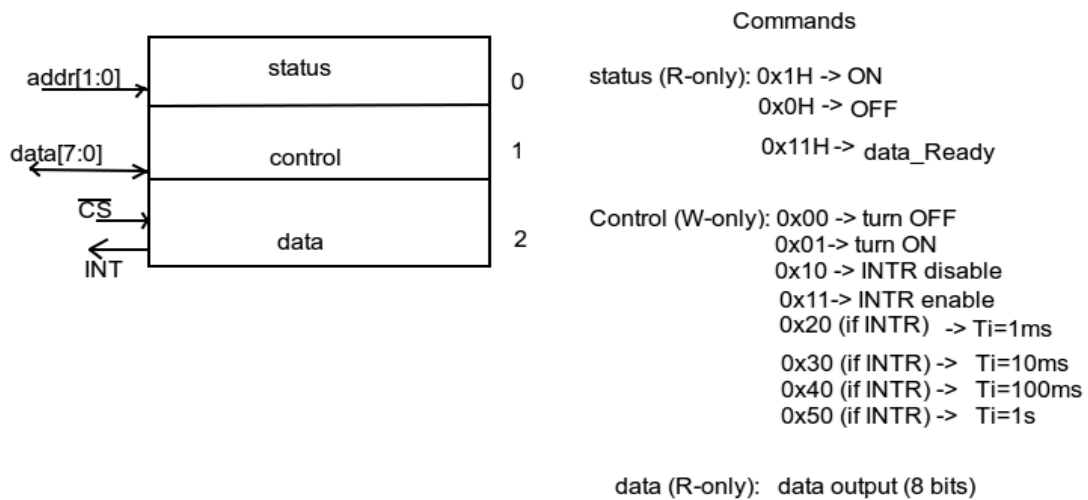


Fig 2. Funcionamiento del acelerómetro inteligente de 8 bits.

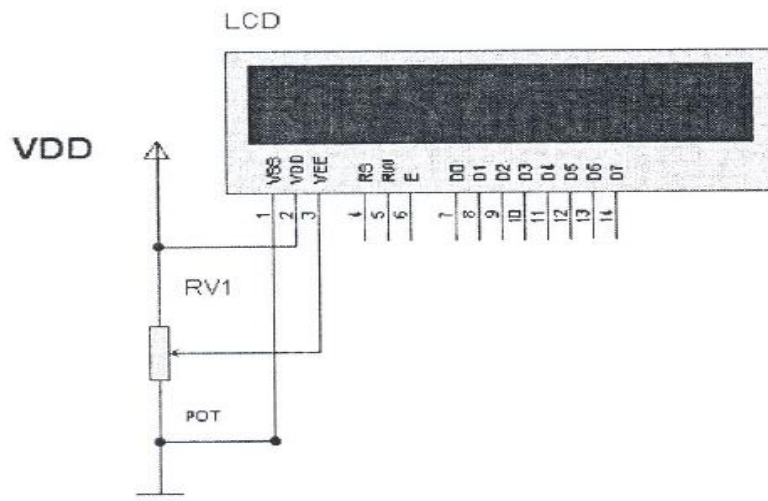


Fig 3. Display LCD 2x16.



Carné: \_\_\_\_\_ Nombre: \_\_\_\_\_ Nota: \_\_\_\_\_

## INSTRUCCIONES GENERALES.

- Esta evaluación es individual y tiene una duración máxima de 2 horas.
- Responda de forma clara y ordenada.
- No se aceptarán reclamos en respuestas hechas en lápiz o lapicero borrable.
- Puede usar material impreso o escrito.
- No se permite el uso del celular o cualquier aparato digital para el desarrollo de este examen.
- Este examen es de 100 puntos.

### I. Parte Única. Desarrollo. 100 puntos

A continuación se le presentan una serie de preguntas que debe contestar de forma clara y concisa.

1. Considere el siguiente código escrito en ARMv4. Las unidades disponibles en la arquitectura son las mostradas debajo de la tabla.

```
1. MOV R0, #65
2. ROR R0, R0, #2
3. MOV R2, #1
4. LDR R1, [R0, R2]
5. ADD R1, R1, R2
6. DIV R1, R1, #2
7. LSL R2, R2, #1
8. LSR R0, R0, #2
9. LDR R1, [R0, R2]
10. STR R2, [R1]
11. CMP R0, #1
12. DIV R1, R1, #20
```

INST	dest	J	K	Issue	RD	EX	WB

Calendarice las instrucciones utilizando el algoritmo Marcador, para la siguiente configuración de unidades funciones y tiempos de ejecución (30 puntos):

- ALU x 2 (4 ciclos), Mult x 2 (7 ciclos), INT x 2 (2 ciclos)

Las unidades INT solo hacen operaciones aritméticas relacionadas al cálculo de direcciones en LD/ST. La unidad de multiplicación hace tanto multiplicaciones como divisiones. El resto de operaciones las realiza la ALU. **Solo se revisará la tabla.**

2. Usando el mismo código, número de unidades y latencias del ejercicio anterior obtenga el algoritmo Tomasulo (30 puntos) (**solo se revisará la tabla**):

INST	dest	J	K	Issue	EX	WB

3. Usando el mismo código, número de unidades y latencias del ejercicio anterior obtenga lo siguiente:
- 3.1. Obtenga el grafo de dependencia y resalte la ruta crítica (10 puntos).
  - 3.2. Realice la calendarización de las instrucciones tomando. Considere que una prioridad dada por  $p(x) = \text{latencia}(x) \times z$ , donde  $z$  es 1 para instrucciones fuera de la ruta crítica y 2 para las que están dentro de ella (10 puntos)
4. Para un computador con la siguiente distribución de memoria (el bloque es de tamaño de 1 **half-word**)(asuma que aumentar la asociatividad no aumenta el hit time):
- cache L1, 4KB, hit rate 50 %, hit time 3 ciclos **por bloque**, 1-way.
  - cache L2, 64KB, hit rate 70 %, hit time 20 ciclos **por bloque**, 4-way.
  - cache L3, 256KB, hit rate 85 %, hit time 60 ciclos **por bloque**, 8-way.
  - DRAM, 2GB, tiempo acceso 2000 ciclos.

El sistema cuenta con un buffer de prebúsqueda entre la caché L1 y L2, guardando un bloque extra por desacierto, este elemento tiene un hit rate de 10 %, hit time de 1 ciclo.

- 4.1. Determine el tiempo promedio de acceso a memoria (AMAT) (10 puntos).
- 4.2. En qué número de set y bloque de caché debería mapearse el bloque 0xBACA de memoria principal para cada una de las cachés del computador (sin contar el buffer de prebúsqueda) (10 puntos).