

Carné: \_\_\_\_\_ Nombre: \_\_\_\_\_ Nota: \_\_\_\_\_

## INSTRUCCIONES GENERALES.

- Esta evaluación es individual y tiene una duración máxima de 2 horas.
- Responda de forma clara y ordenada.
- No se aceptarán reclamos en respuestas hechas en lápiz o lapicero borrable.
- Puede usar material impreso o escrito.
- No se permite el uso del celular o cualquier aparato digital para el desarrollo de este examen.
- Este examen es de 100 puntos.

### I. Parte Única. Desarrollo. 100 puntos

A continuación se le presentan una serie de preguntas que debe contestar de forma clara y concisa.

1. Considere el siguiente código escrito en ARMv4. Las unidades disponibles en la arquitectura son las mostradas debajo de la tabla.

1. MOV R0, #65
2. ROR R0, R0, #2
3. MOV R2, #1
4. LDR R1, [R0, R2]
5. ADD R1, R1, R2
6. DIV R1, R1, #2
7. LSL R2, R2, #1
8. LSR R0, R0, #2
9. LDR R1, [R0, R2]
10. STR R2, [R1]
11. CMP R0, #1
12. DIV R1, R1, #20

INST	dest	J	K	Issue	RD	EX	WB

Calendarice las instrucciones utilizando el algoritmo Marcador, para la siguiente configuración de unidades funciones y tiempos de ejecución (30 puntos):

- ALU x 2 (4 ciclos), Mult x 2 (7 ciclos), INT x 2 (2 ciclos)

Las unidades INT solo hacen operaciones aritméticas relacionadas al cálculo de direcciones en LD/ST. La unidad de multiplicación hace tanto multiplicaciones como divisiones. El resto de operaciones las realiza la ALU. **Solo se revisará la tabla.**

2. Usando el mismo código, número de unidades y latencias del ejercicio anterior obtenga el algoritmo Tomasulo (30 puntos) (**solo se revisará la tabla**):

INST	dest	J	K	Issue	EX	WB

3. Usando el mismo código, número de unidades y latencias del ejercicio anterior obtenga lo siguiente:
- 3.1. Obtenga el grafo de dependencia y resalte la ruta crítica (10 puntos).
  - 3.2. Realice la calendarización de las instrucciones tomando. Considere que una prioridad dada por  $p(x) = \text{latencia}(x) \times z$ , donde  $z$  es 1 para instrucciones fuera de la ruta crítica y 2 para las que están dentro de ella (10 puntos)
4. Para un computador con la siguiente distribución de memoria (el bloque es de tamaño de 1 **half-word**)(asuma que aumentar la asociatividad no aumenta el hit time):
- cache L1, 4KB, hit rate 50 %, hit time 3 ciclos **por bloque**, 1-way.
  - cache L2, 64KB, hit rate 70 %, hit time 20 ciclos **por bloque**, 4-way.
  - cache L3, 256KB, hit rate 85 %, hit time 60 ciclos **por bloque**, 8-way.
  - DRAM, 2GB, tiempo acceso 2000 ciclos.

El sistema cuenta con un buffer de prebúsqueda entre la caché L1 y L2, guardando un bloque extra por desacierto, este elemento tiene un hit rate de 10 %, hit time de 1 ciclo.

- 4.1. Determine el tiempo promedio de acceso a memoria (AMAT) (10 puntos).
- 4.2. En qué número de set y bloque de caché debería mapearse el bloque 0xBACA de memoria principal para cada una de las cachés del computador (sin contar el buffer de prebúsqueda) (10 puntos).