

# Recepción de caracteres UART y visualización VGA

## 66.17 Sistemas Digitales - FIUBA

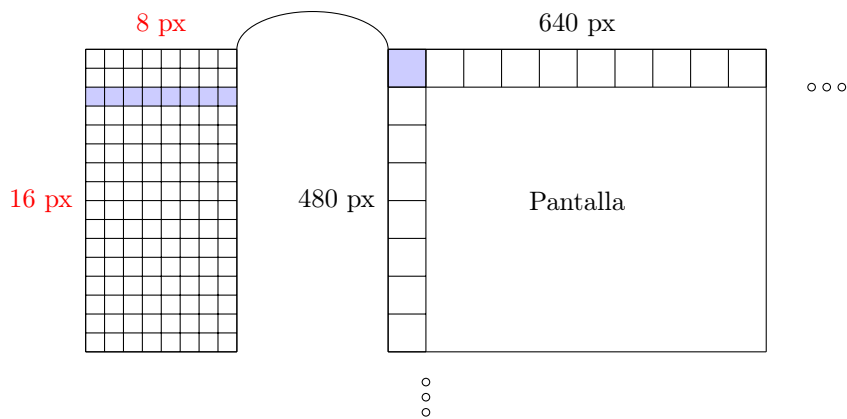
### 2<sup>do</sup> Cuatrimestre - 2018

José F. González - 100063 - <jfgonzalez@fi.uba.ar>

## 1. Objetivos

El objetivo de este trabajo práctico consiste en implementar en una FPGA un receptor UART de caracteres provenientes de un teclado y un controlador VGA para la visualización de los mismos en una pantalla.

## 2. Implementación



**Figura 1:** División de pantalla en caracteres.

La idea consiste en mapear un carácter representado en ASCII-7bits con un diseño predeterminado en un recuadro de  $8 * 16$  píxeles. Tales diseños deben ser guardados en una ROM de caracteres, cada carácter necesitará  $16 * 8 = 128$  bits, y la ROM deberá tener el tamaño adecuado para la cantidad de símbolos deseados. En una resolución VGA de  $640 * 480$  podemos dividir la pantalla en caracteres en vez de píxeles:

En las direcciones de la ROM los primeros 7 bits son el ASCII del carácter que usamos para identificarlo, los otros bits son la columna de tal carácter (4 bits, 16 filas).

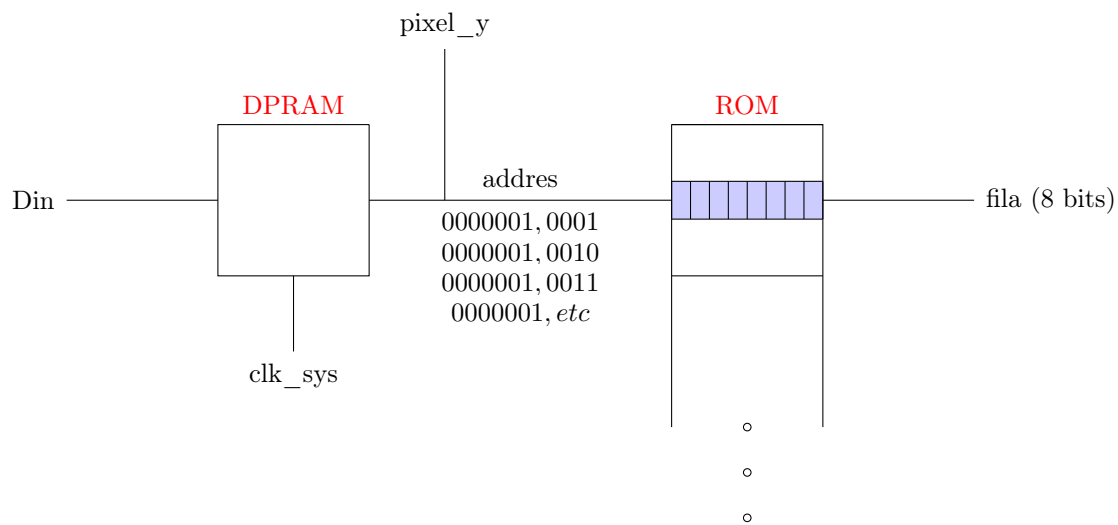
La etapa VGA genera los valores de las coordenadas de pixel actual (pixel\_x, pixel\_y) que se usan para generar las posiciones (x,y) del recuadro en la pantalla. Los bits menos significativos se usan para determinar la fila en la ROM de caracteres.

La etapa de recepción UART escribe los datos recibidos a una DUAL PORT RAM, en el puerto de lectura se levanta el carácter ASCII que se concatena con la fila para obtener la dirección del carácter en la ROM de caracteres (11 bits). La ROM nos devuelve los 8 bits de esa fila del carácter.

Para determinar cuál de los bits se imprime se usa un multiplexor con bits de control los 3 menos significativos de pixel\_x (posición x relativa en el recuadro) que se imprime en pantalla.

Distintos buffers deben agregarse para corregir los delays generados en la generación de los caracteres.

El reloj de la placa (125 MHz) debe ajustarse al reloj para el cual está diseñada la VGA (50 MHz).



**Figura 2:** Concepto de generación de texto.

Resource	Utilization	Available	Utilization %
LUT	65	17600	0.37
FF	91	35200	0.26
BRAM	1.50	60	2.50
IO	8	100	8.00
BUFG	2	32	6.25
MMCM	1	2	50.00

**Figura 3:** Utilización de Recursos

### 3. Conclusión

Se implementa el sistema sintetizado para una placa Arty Z7 con las opciones por defecto de Vivado. En la figura (3) se adjunta el reporte de utilización de recursos. Mediante un adaptador UART-USB se manda la señal UART desde el teclado de una PC. Mediante un conector VGA se conecta la placa a un monitor. Se logró observar los resultados esperados de generación de texto en toda la pantalla. Se observaron algunos efectos indeseados como la escritura de caracteres en los márgenes no visibles de la pantalla o la ausencia de algunos caracteres especiales que no se tuvieron en cuenta.

### 4. Referencias

- [1] FPGA Prototyping, Pong P. Chu, 2008.
- [2] Material de Cátedra, Sistemas Digitales, FIUBA.