

IC Unidad 2: Superescalares - Problemas de emisión fuera de orden

Sea un computador superescalar capaz de decodificar 2inst/c, emitir 2inst/c, escribir 2inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión (ejecución) puede ser desordenada y la finalización ordenada. El siguiente fragmento de programa aplica un filtro lineal sobre un vector A y almacena el resultado en un vector B:

```
for (i = 1; i < 100; i = i +1) //99 iteraciones !!
{
    b[i] = coef*a[i-1] + a[i];
}
```

El compilador lo traduce al siguiente código:

```
; r1 almacena la dirección de a
; r2 almacena la dirección de b
addi r3,r1,#800 ; condicion de final
addi r1,r1,#8 ; inicialización de los indices
addi r2,r2,#8 ;
ld f0,coef ; cargar coeficiente
loop: ld f2,-8(r1) ; cargar a[i-1]
ld f4,0(r1) ; cargar a[i]
muld f8,f2,f0 ; a[i-1]*coef
addd f4,f8,f4 ; a[i-1]*coef + a[i]
sd 0(r2),f4 ; almacenar b[i]
addi r1,r1,#8 ; incrementar indices
addi r2,r2,#8
slt r4,r1,r3
bnez r4,loop
```

Se dispone de las siguientes unidades segmentadas con las latencias indicadas entre paréntesis: 2 FP mul/div (4c), 2 FP add (2c), 2 ALU int (1) y 2 load/store (2). Se dispone de un predictor de saltos estático que predice como tomados los saltos hacia atrás y como no tomados los saltos hacia adelante.

Planificar el procesamiento de las instrucciones en la tabla 1. Considerar únicamente 1 iteración del bucle

Tabla 1.

Inst	IF	ID/ISS	EX	ROB	WB	Comentario

SOLUCIÓN:

Como no se dice nada, se supone que la ventana de instrucciones tiene el tamaño suficiente. Vemos varios ejemplos de soluciones para diferentes casos que podrían haberse detallado:

- a) En esta solución se tiene en cuenta que no hay adelantamientos; los operandos se leen del ROB para actualizar los valores en la ventana de instrucciones.

inst	IF	ID/ISS	EX	RB	WB	comentario
addi r3,r1,#800	1	2	3 alui1	4	5	
addi r1,r1,#8	1	2	3 alui2	(4)	5	
addi r2,r2,#8	2	3	4 alui1	5	6	
ld f0,coef	2	3	4-5 ld1	6	7	
loop: ld f2,#-8(r1)	3	(4)	5-6 ld2	(7)	8	
ld f4,0(r1)	3	4-5	6-7 ld1	8	9	Ld ocupadas
muld f8,f2,f0	4	5-7	8-11	(12)	13	
addd f4,f8,f4	4	5-12	13-14	(15)	16	
sd 0(r2),f4	5	6-15	16-17	18	19	
addi r1,r1,#8	5	6	7 alui1	(8)	19	
addi r2,r2,#8	6	7	8 alui1	9	20	Se renombra r2
slt r4,r1,r3	6	7-8	9 alui1	(10)	20	
bnez r4,loop	7	8-10	11	12	21	Acierta la predicc.
sig	7	8-11	-			Se anula
loop: ld f2,#-8(r1)	8	9	10-11 ld1	12	21	
ld f4,0(r1)	8	9	10-12 ld2	12	22	

- b) En esta solución se utilizan adelantamientos. La salida de la fase EX se adelanta a la ventana de instrucciones y se escribe al tiempo que en el ROB

inst	IF	ID/ISS	EX	RB	WB	comentario
addi r3,r1,#800	1	2	3 alui1	4	5	
addi r1,r1,#8	1	2	3 alui2	(4)	5	
addi r2,r2,#8	2	3	4 alui1	5	6	
ld f0,coef	2	3	4-5 ld1	6	7	
loop: ld f2,#-8(r1)	3	4	(5)-6 ld2	(7)	8	
ld f4,0(r1)	3	4-5	6-7 ld1	8	9	Ld ocupadas
muld f8,f2,f0	4	5-6	(7)-10	(11)	12	
addd f4,f8,f4	4	5-10	(11)-12	(13)	14	
sd 0(r2),f4	5	6-12	(13)-14	15	16	
addi r1,r1,#8	5	6	7 alui1	(8)	16	
addi r2,r2,#8	6	7	8 alui1	9	17	Se renombra r2
slt r4,r1,r3	6	7	(8) alui2	(9)	17	
bnez r4,loop	7	8	(9)	10	18	Acierta la predicc.
sig	7	8--	--	--	--	Se anula
loop: ld f2,#-8(r1)	8	9	10-11 ld1	12	20	
ld f4,0(r1)	8	9	10-12 ld2	12	20	