Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

5 ✔

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

11 ✘

¿Cuántos ciclos tarda el código?

22 ✘

Escribir comentario o corregir la calificación

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 6 núcleos de un cierto tipo **T1** y 6 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 76% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales.**

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 6 cores of a certain **T1** type and 6 cores of another **T2** type. Suppose that **T1** cores are 76% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals.**

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Le paso los enunciados que le tocaron (son todos distintos) y las soluciones para que las trabaje.

Para ver qué está mal necesitamos que se nos explique qué es cada cosa, qué está haciendo con cada expresión matemática y porqué. De otra forma, es imposible seguir el hilo de unas "cuentas" que parecen aleatorias. Le vuelvo a recomendar que estudie bien los contenidos y que vuelva a realizar los ejercicios desde cero, explicando bien cada paso. Seguramente llegará al resultado correcto, de otra forma me los podrá enviar más adelante y veremos dónde está el problema.

P5: Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo T1 y 4 núcleos de otro tipo T2. Suponga que los núcleos de tipo T1 son un 38% más rápidos que los de tipo T2. Suponga también que tiene una aplicación totalmente paralelizable en OpenMP y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la ganancia paralela en velocidad (speed-up) usando al menos 2 decimales. Respuesta correcta 3.45

P6
b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos? Respuesta correcta 0.29

P7
Dada una red multietapa tipo Delta con 797 entradas y 10038 salidas, se pide:

¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

Respuesta correcta: 1372 (topología: 4**5x7**5)

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 2 núcleos de un cierto tipo **T1** y 2 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 75% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 2 cores of a certain **T1** type and 2 cores of another **T2** type. Suppose that **T1** cores are 75% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)**

Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición M, y PJ:READ@M significa: el procesador J lee de la dirección M.

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)

Note: PJ:WRITE@M(N) means: the J-processor writes the value N to the M-position, and PJ:READ@M means: the J-processor reads from the M-address.

Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Todos líneas de todas las cachés son inválidas. [ENGLISH] All lines in all caches are invalid.
- b. Línea 0 en P3 estado I; Línea 1 en P1 en estado S.[ENGLISH] Line 0 in P3 state I; Line 1 in P1 in state S
- c. Línea 0 en P3 estado M; Línea 0 en P2 en estado I. [ENGLISH] Line 0 in P3 state M; Line 0 in P2 in state I.
- d. Línea 0 en P3 estado M; Línea 0 en P1 en estado S. [ENGLISH] Línea 0 en P3 estado M; Línea 0 en P1 en estado S.

Pregunta **7**

Sin responder aún

Puntúa como 3,00

Marcar pregunta

Sea un computador superescalar capaz de decodificar 4 inst/c, emitir 4 inst/c, escribir 4 inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de en
la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 3 FP mul/div (2c), 3 FP add (2c), 3 ALU int (2c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 1 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

En una máquina superescalar con buffer de reorden....

- a. En el ROB se almacena una copia exacta del banco de registros.
- b. En el ROB se renombran varias veces los registros del banco de registros.
- c. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- d. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 43% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 43% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana y exista hueco.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana.

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	D
0x006	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

00

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

01

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.

En una máquina superescalar con buffer de reorden....

- a. En el ROB se renombran varias veces los registros del banco de registros.
- b. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- c. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- d. En el ROB se almacena una copia exacta del banco de registros.

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	A
0x007	0x001	A

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizad

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- b. La etapa WB siempre sigue un orden ascendente en ciclos.
- c. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW
- d. La etapa WB siempre sigue un orden descendiente en ciclos.

Dada una red multietapa tipo **Delta** con 785 entradas y 11062 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 0 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 785 inputs and 11062 outputs, calculate:

How many switches are there in the stage 0of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer d reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

13

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Por favor, responda a todas las partes de la pregunta.

Pregunta **1**

Respuesta incompleta

Puntúa como 2,50

Marcar pregunta

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 1 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

5

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

8

¿Cuántos ciclos tarda el código?

16

1

sta
da

a como

arcar
unta

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) y 2 load/store (5c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

er

o

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 53 elementos y que las cargas y almacenamiento tiene
tienen una latencia de 6 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquir

Respuesta:

erior

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.

Dada una red multietapa tipo **Delta** con 960 entradas y 11464 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

Pregunta **3**

Respuesta guardada

Puntúa como 1,50

Marcar pregunta

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	D
0x007	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iterac

00

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

01

¿Cuántos ciclos tarda el código?

27

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- b. La etapa WB siempre sigue un orden descendiente en ciclos.
- c. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW
- d. La etapa WB siempre sigue un orden ascendente en ciclos.

En una máquina superescalar con buffer de reorden....

- a. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- b. En el ROB se renombran varias veces los registros del banco de registros.
- c. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- d. En el ROB se almacena una copia exacta del banco de registros.

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	B
0x007	0x001	B

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

¿Cuántos ciclos tarda el código?

¿Cuántos ciclos tarda el código?

16

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana y exista hueco.

Siguiente página

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	A
0x007	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 38% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

In a vector computer we have the code shown below:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Assuming we have vectors of 381 elements and that loads and stores have a latency of 12 cycles, while arithmetic-logic operations have a latency of 4 cycles. How many cycles would it take to execute the code on a vector machine with chaining of operations?

Respuesta:

Siguiente página

Dada una red multietapa tipo **Delta** con 758 entradas y 16178 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 758 inputs and 16178 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

guardada

Puntúa como 1,50

Marcar pregunta

predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	D
0x007	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iterac

00

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

01

Dada una red multietapa tipo **Delta** con 896 entradas y 15429 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 896 inputs and 15429 outputs, calculate:

How many switches are there in the stage 3of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

Pregunta **3**

Sin responder aún

Puntúa como 1,50

Marcar pregunta

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	A
0x007	0x001	A

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iterac

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

¿Cuántos ciclos tarda el código?

- Mem[M] returns the byte at memory location M (in hexadecimal).

Ayuda/Help: Estado inicial / Initial state:

	Cache Proc 1		Cache Proc 2		Cache Proc 3		C
Línea Line	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State	Da D
0	?	I	?	I	?	I	
1	?	I	?	I	?	I	

○ a.
- Línea 1 de P2 en estado S, Línea 0 de P2 en estado E, Línea 0 de P3 en estado S.
- Line 1 of P2 in state S, Line 0 of P2 in state E, Line 0 of P3 in state S.

◉ b.
- Línea 0 de P1 en estado M, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in M-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

○ c.
- Línea 0 de P1 en estado E, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in E-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

Pregunta **8**

Respuesta guardada

Puntúa como 1,25

Marcar pregunta

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P2_Read@0x05
2: P2_Read@0x03
3: P3_Read@0x04
4: P1_Write@(0x1, 3)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]
You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has **2 bytes per line (and block) of cache**. The size of each cache is only **2 lines** and the replacement policy is LRU.

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P1_Write@(0x01,7)
2: P2_Read@0x00
3: P3_Read@0x03
4: P4_Write@(0x4, 9)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]
You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has **2 bytes per line (and block) of cache**. The size of each cache is only **2 lines** and the replacement policy is LRU.

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.
After that, the following memory accesses occur (**suppose 8 bits data**):

Memory accesses:

1: P1_Write@(0x01,7)
2: P2_Read@0x00
3: P3_Read@0x03
4: P4_Write@(0x4, 9)

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 97 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 3 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial con encadenamiento de operaciones?

Respuesta:

Dada una red multietapa tipo **Delta** con 859 entradas y 10071 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

○ a.
- Líneas 0 de P1y P2 en estado S, Línea 0 de P3 en estado E, Línea 0 de P4 en estado M.
- Lines 0 of P1and P2 in state S, Line 0 of P3 in state E, Line 0 of P4 in state M.

○ b.
- Líneas 0 de P1y P2 en estado E, Línea 0 de P3 en estado E, Línea 0 de P4 en estado M.
- Lines 0 of P1and P2 in state E, Line 0 of P3 in state E, Line 0 of P4 in state M.

◉ c.
- Línea 0 de P1 en estado M, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in M-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

○ d.
- Línea 0 de P1 en estado E, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in E-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

c.
- Línea 0 de P1 en estado M, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in M-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

Dada una red multietapa tipo **Delta** con 781 entradas y 11625 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 4 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 781 inputs and 11625 outputs, calculate:

How many switches are there in the stage 4of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Pregunta **8**

Sin responder aún

Puntúa como 1,25

Marcar pregunta

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero. Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:

1: P1_Write@(0x01,7)

2: P2_Read@0x00

3: P3_Read@0x03

4: P4_Write@(0x4, 9)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]

You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and

Dada una red multietapa tipo **Delta** con 1019 entradas y 12123 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 0 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 1019 inputs and 12123 outputs, calculate:

How many switches are there in the stage 0of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P1_Read@0x01
2: P1_Read@0x00
3: P2_Read@0x03
4: P3_Read@0x02

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

a.
- Línea 0 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Line 0 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

b.
- Ninguna es correcta.
- Non of them is correct.

c.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

d.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria no actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory not updated.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 5 núcleos de un cierto tipo **T1** y 5 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 58% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

Marcar pregunta

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	D
0x007	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 68% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 68% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

Pregunta **3**

Sin responder aún

Puntúa como 1,50

Marcar pregunta

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	D
0x007	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código

Dada una red multietapa tipo **Delta** con 781 entradas y 11625 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 4 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 781 inputs and 11625 outputs, calculate:

How many switches are there in the stage 4of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta: 67228

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.

Dada una red multietapa tipo **Delta** con 859 entradas y 10071 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 6 núcleos de un cierto tipo **T1** y 6 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 74% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 6 cores of a certain **T1** type and 6 cores of another **T2** type. Suppose that **T1** cores are 74% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

2

der

mo

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB siempre sigue un orden ascendente en ciclos.
- b. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- c. La etapa WB siempre sigue un orden descendiente en ciclos.
- d. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P1_Read@0x01
2: P1_Read@0x00
3: P2_Read@0x03
4: P3_Read@0x02

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con buffer de reorden....

- a. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- b. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- c. En el ROB se almacena una copia exacta del banco de registros.
- d. En el ROB se renombran varias veces los registros del banco de registros.

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entrad suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniend el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

Pregunta **1**

Sin responder aún

Puntúa como 2,50

Marcar pregunta

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

9

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 233 elementos y que las cargas y almacenamiento tiene una latencia de 10 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 4 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 3 núcleos de un cierto tipo **T1** y 3 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 39% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 3 cores of a certain **T1** type and 3 cores of another **T2** type. Suppose that **T1** cores are 39% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. E
reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el sig

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) y 2 load/store (5c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Dada una red multietapa tipo **Delta** con 960 entradas y 11464 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Dada una red multietapa tipo **Delta** con 797 entradas y 10038 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 797 inputs and 10038 outputs, calculate:

How many switches are there in the stage 3of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Pregunta **1**

Sin responder aún

Puntúa como 2,50

Marcar pregunta

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

9

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

22

¿Cuántos ciclos tarda el código?

unta **5**

esponder

túa como

Marcar
gunta

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 33% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 33% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta: 1,205

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- b. La etapa WB siempre sigue un orden ascendente en ciclos.
- c. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW
- d. La etapa WB siempre sigue un orden descendiente en ciclos.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 26% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 26% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 450 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 6 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

¿Cuántos ciclos tarda el código?

35

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con buffer de reorden....

- a. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- b. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- c. En el ROB se almacena una copia exacta del banco de registros.
- d. En el ROB se renombran varias veces los registros del banco de registros.

Quitar mi elección

Siguiente página

Pregunta **1**

Sin responder aún

Puntúa como 2,50

Marcar pregunta

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

9

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

22

¿Cuántos ciclos tarda el código?

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	A
0x007	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

Puntúa como 1,50

Marcar pregunta

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	D
0x007	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iterac

00

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

01

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 211 elementos y que las cargas y almacenamiento tiene una latencia de 8 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 6 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial con encadenamiento de operaciones?

Respuesta: [redacted]

2 instrucciones → arithmetic/logic (2 cycles)
3 instrucciones → loads/store (11 cycles)

$$TCV = 3 \cdot TL1(\text{store/loads}) + 2 * TL1(\text{arithmetic/logic}) + \text{Long vector}$$

$$= 3 \cdot 11 + 2 \cdot 2 + 208 = 245 \text{ cycles}$$

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P1_Read@0x01
2: P1_Read@0x00
3: P2_Read@0x03
4: P3_Read@0x02

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

○ a.
- Línea 0 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Line 0 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

○ b.
- Ninguna es correcta.
- Non of them is correct.

○ c.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

○ d.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria no actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory not updated.

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 36 elementos y que las cargas y almacenamiento tiene una latencia de 10 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 4 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial con encadenamiento de operaciones?

Respuesta: 50

¿Cuántos ciclos tarda el código?

29

ta 2

sponder

a como

arcar

unta

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB siempre sigue un orden descendiente en ciclos.
- b. La etapa WB siempre sigue un orden ascendente en ciclos.
- c. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- d. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Memory accesses:

1: P2_Write@(0x02,7)
2: P1_Write@(0x03,9)
3: P4_Read@0x02
4: P3_Read@0x1

Select which of the following items matches the state of the caches and/or main memory at the end of this sequence.

The notation is the same as we have seen in class:

- **PJ:Write(@M,N)** means: processor J writes the value N to memory location M (given in hexadecimal).
- **PJ:Read@M** means: processor J reads from address M (given in hexadecimal).
- Mem[M] returns the byte at memory location M (in hexadecimal).

Ayuda/Help: Estado inicial / Initial state:

	Cache Proc 1		Cache Proc 2		Cache Proc 3		Cache Proc 4	
Línea Line	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State
0	?	I	?	I	?	I	?	I
1	?	I	?	I	?	I	?	I

Act
Ve a

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana y exista hueco.

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana y exista hueco.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo ***MESI*** para mantener la coherencia entre sus cachés. El sistema caché tiene **2 bytes por linea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las lineas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P2_Read@0x05
2: P2_Read@0x03
3: P3_Read@0x04
4: P1_Write@(0x1, 3)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **Pi:Write(0/M,N)** significa: el procesador i escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **Pi:Read@M** significa: el procesador i lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]

You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has ***2 bytes per line (and block) of cache***. The size of each cache is only **2 lines** and the replacement policy is LRU.

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.
After that, the following memory accesses occur (**suppose 8 bits data**):

Memory accesses:

1: P2_Read@0x05
2: P2_Read@0x03
3: P3_Read@0x04
4: P1_Write@(0x1, 3)

Select which of the following items matches the state of the caches and/or main memory at the end of this sequence.

Pregunta **4**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 208 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 2 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) y 2 load/store (5c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 196 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 3 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

Dada una red multietapa tipo **Delta** con 785 entradas y 11062 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 0 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 785 inputs and 11062 outputs, calculate:

How many switches are there in the stage 0of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

erior

```
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

The following pipelined units are available: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) and 2 load/store (5c).

In which cycle does the execution stage (EX) of the first instruction **`addi r2,r2,#8`** `finish?`

8

In which cycle does the execution stage (EX) of the instruction **`ld f4,0(r1)`** finish?

12

How many cycles does the code last?

29

Pregunta **5**

Sin responder aún

Puntúa como 1,50

Marcar pregunta

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 2 núcleos de un cierto tipo **T1** y 2 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 18% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 2 cores of a certain **T1** type and 2 cores of another **T2** type. Suppose that **T1** cores are 18% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

Dada una red multietapa tipo **Delta** con 779 entradas y 16615 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 779 inputs and 16615 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de ti
un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para op
velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster t
cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also
overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P1_Read@0x01
2: P1_Read@0x00
3: P2_Read@0x03
4: P3_Read@0x02

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

Dada una red multietapa tipo **Delta** con 737 entradas y 11939 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 737 inputs and 11939 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta: 100

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana y exista hueco.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos anteriores a la ventana.

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer d reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

8

¿Cuántos ciclos tarda el código?

22

4

der

mo

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 196 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 3 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

A superscalar computer is capable of decoding 4inst/c, issuing 4inst/c, writing 4inst/c into the corresponding registers, and completing 4 inst/c. It has a reorder buffer with a sufficient number of entries, the issue can be out of order and contains a forwarding unit. Having the following code:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

The following pipelined units are available: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) and 2 load/store (5c).

In which cycle does the execution stage (EX) of the first instruction `addi r2,r2,#8 finish?`

8

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de ti
un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para op
velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster t
cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also
overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

1_INGENIERIA DE LOS COMPUTADORES_34025

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 2 núcleos de un cierto tipo **T1** y 2 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 47% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en OpenMP y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 2 cores of a certain **T1** type and 2 cores of another **T2** type. Suppose that **T1** cores are 47% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Siguiente página

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 38% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

9

¿Cuántos ciclos tarda el código?

27

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- b. La etapa WB siempre sigue un orden descendiente en ciclos.
- c. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW
- d. La etapa WB siempre sigue un orden ascendente en ciclos.

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (4c), 2 FP add (2c), 2 ALU int (1) y 2 load/store (2).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

Pregunta **8**

Sin responder aún

Puntúa como 1,25

Marcar pregunta

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero.
Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:
1: P2_Read@0x05
2: P2_Read@0x03
3: P3_Read@0x04
4: P1_Write@(0x1, 3)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]
You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has **2 bytes per line (and block) of cache**. The size of each cache is only **2 lines** and the replacement policy is LRU.

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.
After that, the following memory accesses occur (**suppose 8 bits data**):

Memory accesses:

1: P2_Read@0x05
2: P2_Read@0x03
3: P3_Read@0x04
4: P1_Write@(0x1, 3)

of the caches and/or main memory at the end of this sequence

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (8c), 2 FP add (4c), 2 ALU int (3c) y 2 load/store (5c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 43% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 43% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Siguiente página

¿Cuántos ciclos tarda el código?

35

En una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. La etapa WB siempre sigue un orden ascendente en ciclos.
- b. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos RAW
- c. La etapa WB siempre sigue un orden descendiente en ciclos.
- d. La etapa WB sigue un orden ascendente o descendiente en ciclos dependiendo de los riesgos WAR y WAW

Sigu

Dada una red multietapa tipo **Delta** con 737 entradas y 11939 salidas, se pide:

¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 737 inputs and 11939 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Pregunta **4**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 208 elementos y que las cargas y almacenamiento tiene una latencia de 11 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 2 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

En una máquina superescalar con buffer de reorden....

- (●) a. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- ( ) b. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- ( ) c. En el ROB se renombran varias veces los registros del banco de registros.
- ( ) d. En el ROB se almacena una copia exacta del banco de registros.

Quitar mi elección

Accesos a memoria:
1: P2_Write@(0x02,7)
2: P1_Write@(0x03,9)
3: P4_Read@0x02
4: P3_Read@0x1

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]
You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has **2 bytes per line (an**

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.
After that, the following memory accesses occur (**suppose 8 bits data**):

Memory accesses:

1: P2_Write@(0x02,7)
2: P1_Write@(0x03,9)
3: P4_Read@0x02
4: P3_Read@0x1

Select which of the following items matches the state of the caches and/or main memory at the end of this sequence.

The notation is the same as we have seen in class:
- **PJ:Write(@M,N)** means: processor J writes the value N to memory location M (given in hexadecimal).
- **PJ:Read@M** means: processor J reads from address M (given in hexadecimal).
- Mem[M] returns the byte at memory location M (in hexadecimal).

Ayuda/Help: Estado inicial / Initial state:

	Cache Proc 1		Cache Proc 2		Cache Proc 3		Cache Proc 4	
Línea Line	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State
0	?	I	?	I	?	I	?	I
1	?	I	?	I	?	I	?	I

○ a. • Ninguna es correcta
• None of them is correct

○ b. • Línea 0 de P2 en estado I, Mem[0x2] = 9, Línea 0 de P3 en estado E;
• Line 0 of P2 in state I, Mem[0x2] = 9, Line 0 of P3 in state E;

○ c. • Línea 0 de P3 en estado E, Mem[0x2] = 7, Línea 0 de P2 en estado I.
• Line 0 of P3 in state E, Mem[0x2] = 7, Line 0 of P2 in state I.

◉ d. • Línea 0 de P1 y P2 en estado M, Mem[0x3] = 9
• Line 0 of P1 and P2 in state M, Mem[0x3] = 9

Pregunta **1**

Respuesta guardada

Puntúa como 2,50

Marcar pregunta

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

25

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

20

¿Cuántos ciclos tarda el código?

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta: 1,92

Dada una red multietapa tipo **Delta** con 785 entradas y 11062 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 0 de la implementación más económica de e

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así su

[ENGLISH]

Given a **Delta** multi-stage network with 785 inputs and 11062 outputs, calculate:

How many switches are there in the stage 0of the most economical implementation of

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, an

Respuesta:

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 170 elementos y que las cargas y almacenamiento tiene una latencia de 10 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 3 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial sin encadenamiento de operaciones?

Respuesta:

Dada una red multietapa tipo **Delta** con 797 entradas y 10038 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 797 inputs and 10038 outputs, calculate:
How many switches are there in the stage 3of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

der

no

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 5 núcleos de un cierto tipo **T1** y 5 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 80% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 5 cores of a certain **T1** type and 5 cores of another **T2** type. Suppose that **T1** cores are 80% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

5

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 43% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 43% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta: 1,50

6

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

En una máquina superescalar con circuito de adelantamiento y con emisión no alineada...

- a. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos
  ventana y exista hueco.
- b. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre en el siguiente ciclo de la búsqueda.
- c. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones siempre que exista hueco.
- d. Las instrucciones pasan de la cola de instrucciones a la ventana de instrucciones si previamente se han ejecutado todas las instrucciones que pasaron en ciclos a
  ventana.

1	?	I	?	I	?

- a.
  - Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
  - Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.
- b.
  - Ninguna es correcta.
  - Non of them is correct.
- c.
  - Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria no actualizada.
  - Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory not updated.
- d.
  - Línea 0 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
  - Line 0 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

rior

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	A
0x007	0x001	A

¿Cuáles será los bits de predicción de la primera fila de la BTB

Se tiene un cierto multiprocesador de **4 núcleos** conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo **MESI** para mantener la coherencia entre sus cachés. El sistema de caché tiene **2 bytes por línea o bloque de caché**. El tamaño de cada caché es de tan sólo **2 líneas** y la política de reemplazo es LRU.

El estado inicial de TODAS las líneas es "inválido". Suponga que toda la memoria está inicializada a cero. Suponga que se producen los siguientes accesos a memoria (**suponga datos de 8 bits**):

Accesos a memoria:

1: P1_Write@(0x01,7)

2: P2_Read@0x00

3: P3_Read@0x03

4: P4_Write@(0x4, 9)

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad

	Cache Proc 1		Cache Proc 2		Cache Pro	
Línea Line	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Est St
0	?	I	?	I	?	
1	?	I	?	I	?	

a.
- Líneas 0 de P1y P2 en estado E, Línea 0 de P3 en estado E, Línea 0 de P4 en estado M.
- Lines 0 of P1and P2 in state E, Line 0 of P3 in state E, Line 0 of P4 in state M.

b.
- Líneas 0 de P1y P2 en estado S, Línea 0 de P3 en estado E, Línea 0 de P4 en estado M.
- Lines 0 of P1and P2 in state S, Line 0 of P3 in state E, Line 0 of P4 in state M.

c.
- Línea 0 de P1 en estado M, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in M-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

d.
- Línea 0 de P1 en estado E, Línea 0 de P3 en estado E, Mem[0x1]=0x7
- Line 0 of P1 in E-state, Line 0 of P3 in E-state, Mem[0x1]=0x7

La ejecución de las instrucciones en una máquina superescalar con buffer de reorden o buffer de renombrado....

- a. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos WAR y WAW del programa almacenado en memoria.
- b. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden ascendente conforme al orden del programa almacenado en memoria.
- c. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siguen un orden ascendente o descendente dependiendo de los riesgos RAW del programa almacenado en memoria.
- d. En la etapa EX, los ciclos cuando se ejecutan las instrucciones siempre siguen un orden descendente conforme al orden del programa almacenado en memoria.

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 3 FP mul/div (5c), 3 FP add (7c), 2 ALU int (4c) y 3 load/store (7c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 45% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

	Cache Proc 1		Cache Proc 2		Cache Proc 3		Cache Proc 4	
Línea Line	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State	Datos Data	Estado State
0	?	I	?	I	?	I	?	I
1	?	I	?	I	?	I	?	I

○ a.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

○ b.
- Ninguna es correcta.
- Non of them is correct.

○ c.
- Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria no actualizada.
- Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory not updated.

◉ d.
- Línea 0 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
- Line 0 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

unta 7

esponder

úa como

Marcar
gunta

Dada una red multietapa tipo **Delta** con 985 entradas y 12785 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 985 inputs and 12785 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

a 5
sta
da
como
car
ta

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 43% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 43% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta: 1,50

a 6
ponder
como
car
ta

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

na anterior

Siguiente página

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

¿Cuántos ciclos tarda el código?

Sea un computador superescalar capaz de decodificar 1 inst/c, emitir 1 inst/c, escribir 1 inst/c en los registros correspondientes y retirar 1 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (5c), 1 FP add (7c), 3 ALU int (3c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Accesos a memoria:
1: P1_Read@0x01
2: P1_Read@0x00
3: P2_Read@0x03
4: P3_Read@0x02

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

Recuerdo la notación (la misma que la que hemos visto en clase):

- **PJ:Write(@M,N)** significa: el procesador J escribe el valor N en la posición de memoria M (dada en hexadecimal)
- **PJ:Read@M** significa: el procesador J lee de la dirección M (dada en hexadecimal). - sadasdsad
- Mem[M] devuelve el byte en la posición M (en hexadecimal) de memoria.

[ENGLISH]
You have a **4-core** multiprocessor connected to a common bus that has 64GiB of main memory and implements the **MESI protocol** to maintain consistency between its caches. The cache system has **2 bytes per line (and block) of cache**. The size of each cache is only **2 lines** and the replacement policy is LRU.

The initial state of ALL lines is "invalid". Assume that all memory is initialized to zero.
After that, the following memory accesses occur (**suppose 8 bits data**):

Memory accesses:

1: P1_Write@(0x01,7)
2: P2_Read@0x00
3: P3_Read@0x03
4: P4_Write@(0x4, 9)

Select which of the following items matches the state of the caches and/or main memory at the end of this sequence.

¿Cuántos ciclos tarda el código?

Pregunta **2**

Sin responder aún

Puntúa como 0,50

Marcar pregunta

En una máquina superescalar con buffer de reorden....

- a. En el ROB se almacenan de forma temporal los valores que finalmente se guardarán en el banco de registros.
- b. En el ROB se almacena una copia exacta del banco de registros.
- c. En el ROB se almacenan de forma temporal los valores que volverán a pasar a la etapa EX pero que no se almacenarán en la etapa WB
- d. En el ROB se renombran varias veces los registros del banco de registros.

Usted se ha identificado como Mateo Pastor, Jose Luis (Cerrar sesión)

Pregunta **7**

Sin responder aún

Puntúa como 1,25

Marcar pregunta

Dada una red multietapa tipo **Delta** con 918 entradas y 11717 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 0 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 918 inputs and 11717 outputs, calculate:

How many switches are there in the stage 0of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo **T1** y 4 núcleos de otro tipo **T2**. Suponga que los núcleos de ti
un 64% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para op
velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 4 cores of a certain **T1** type and 4 cores of another **T2** type. Suppose that **T1** cores are 64% faster t
cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also
overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

- a.
  - Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
  - Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

- b.
  - Ninguna es correcta.
  - Non of them is correct.

- c.
  - Líneas 0 y 1 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria no actualizada.
  - Lines 0 and 1 of P1 in state E, line 0 of P2 and P3 in state S, memory not updated.

- d.
  - Línea 0 de P1 en estado E, línea 0 de P2 y P3 en estado S, memoria actualizada.
  - Line 0 of P1 in state E, line 0 of P2 and P3 in state S, memory updated.

En una máquina vectorial tenemos el código que se muestra a continuación:

```
lv v1,vector1;
add v3,v1,v2;
xor v4,v1,v2;
sv vector3,v4:
lv v2,vector2;
```

Suponiendo que tenemos vectores de 36 elementos y que las cargas y almacenamiento tiene una latencia de 10 ciclos, mientras que las operaciones aritemético-lógicas tienen una latencia de 4 ciclos. ¿Cuántos ciclos se tardaría en ejecutar el código en una máquina vectorial con encadenamiento de operaciones?

Respuesta: 50

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 2 FP mul/div (4c), 2 FP add (2c), 2 ALU int (1) y 2 load/store (2).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **addi r3,r1,#800**

unta 7

esponder

úa como

Marcar
gunta

Dada una red multietapa tipo **Delta** con 985 entradas y 12785 salidas, se pide:
¿Cuántos conmutadores hay en la etapa 1 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

[ENGLISH]

Given a **Delta** multi-stage network with 985 inputs and 12785 outputs, calculate:

How many switches are there in the stage 1of the most economical implementation of this topology?

Note: Remember that the first stage is labeled as 0, the second stage is labeled as 1, and so on.

Respuesta:

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P1:READ@2, P3:READ@3, P3:WRITE@2(7)**

Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición de memoria M, y PJ:READ@M significa: el procesador J lee de la dirección M.

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P1:READ@2, P3:READ@3, P3:WRITE@2(7)

Note: PJ:WRITE@M(N) means: Processor J writes the value N to memory location M, and PJ:READ@M means: Processor J reads from address M.

Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Línea 1 en P1 estado I; Línea 1 en P3 en estado M. [ENGLISH] Line 1 in P1 status I; Block 1 in P3 in status M
- b. Dirección @2 en P3 estado S; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 in P3 state S; address @3 in P1 and P3 in state S.
- c. Línea 1 en P1 estado M; Línea 1 en P3 en estado I. [ENGLISH] Line 1 in P1 status M; Line 1 in P3 in status I
- d. Dirección @2 en P3 estado I; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 on P3 state I; address @3 on P1 and P3 on state S.

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)**
Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición M, y PJ:READ@M significa: el procesador J lee de la dirección M.
Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)
Note: PJ:WRITE@M(N) means: the J-processor writes the value N to the M-position, and PJ:READ@M means: the J-processor reads from the M-address.
Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Todos líneas de todas las cachés son inválidas. [ENGLISH] All lines in all caches are invalid.
- b. Línea 0 en P3 estado I; Línea 1 en P1 en estado S.[ENGLISH] Line 0 in P3 state I; Line 1 in P1 in state S
- c. Línea 0 en P3 estado M; Línea 0 en P2 en estado I. [ENGLISH] Line 0 in P3 state M; Line 0 in P2 in state I.
- d. Línea 0 en P3 estado M; Línea 0 en P1 en estado S. [ENGLISH] Línea 0 en P3 estado M; Línea 0 en P1 en estado S.

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	D
0x006	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P1:READ@2, P3:READ@3, P3:WRITE@2(7)**

Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición de memoria M, y PJ:READ@M significa: el procesador J lee de la dirección M.

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P1:READ@2, P3:READ@3, P3:WRITE@2(7)

Note: PJ:WRITE@M(N) means: Processor J writes the value N to memory location M, and PJ:READ@M means: Processor J reads from address M.

Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Línea 1 en P1 estado I; Línea 1 en P3 en estado M. [ENGLISH] Line 1 in P1 status I; Block 1 in P3 in status M
- b. Dirección @2 en P3 estado S; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 in P3 state S; address @3 in P1 and P3 in state S.
- c. Línea 1 en P1 estado M; Línea 1 en P3 en estado I. [ENGLISH] Line 1 in P1 status M; Line 1 in P3 in status I
- d. Dirección @2 en P3 estado I; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 on P3 state I; address @3 on P1 and P3 on state S.

La solución es la a

instrucción 1: la memoria no varia

Instrucción 2

Ins 2 → P3: Read @ 3

P3: fallo lectura (I) PrRd/BusRd (S) I → S

P1: BusRd/Flush M → S

P1

0	0	0	S
	1	-6	
1	2	2	S
	3	3	

P2

...

P3

0	6	6	I
	7	4	
1	2	4	S
	3	7	

memoria	...	2	3
dato	...	2	3

Instruccion3:

Ins 3 → P3: write @ 2 (7)

P3: Acierto escritura (S) PrWr/BusRdX S → M

P1: BusRdX/Flush S → I

P1

0	0	0	S
	1	-6	
1	2	2	I
	3	3	

P2

...

P3

0	6	6	I
	7	4	
1	2	4	M
	3	7	

memoria	...	2	3
dato	...	2	3

Pregunta **8**
Sin responder aún
Puntúa como 2,00
Marcar pregunta

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	B
0x007	0x001	B

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

00

Pregunta **7**
Sin responder aún
Puntúa como 3,00
Marcar pregunta

Sea un computador superescalar capaz de decodificar 4 inst/c, emitir 4 inst/c, escribir 4 inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 3 FP mul/div (2c), 3 FP add (2c), 3 ALU int (2c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

Pregunta **7**
Sin responder aún
Puntúa como 3,00
Marcar pregunta

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

Pregunta **2**
Sin responder aún
Puntúa como 1,00
Marcar pregunta

El 18,7% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 47 unidades de cómputo paralelo?

Nota: Introduzca **3 decimales** en el resultado. **Recuerde que la eficiencia es un número entre 0 y 1.**

[ENGLISH] The 18,7% of a certain application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel efficiency if the program is run using 47 parallel computing units?

Note: Enter 3 decimal places in the result. Remember that the efficiency is a number between 0 and 1.

Respuesta: 0,104

Pregunta **3**
Sin responder aún
Puntúa como 1,00
Marcar pregunta

El 27,3% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 35 unidades de cómputo en paralelo?
Nota: Introduzca **3 decimales** en el resultado.

[ENGLISH] The 27,3% of an application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel gain if the program is run using 35 parallel units?

Note: Enter 3 decimal places in the result.

Respuesta:

Pregunta **4**
Sin responder aún
Puntúa como 1,00
Marcar pregunta

Una red de conexión multietapa tipo delta tiene 62 puertos de entrada y 124 puertos de salida. Los conmutadores tienen todos 4 puertos de entrada, ¿Cuántas etapas de conmutadores necesita?

[ENGLISH] A delta-type multi-stage network connection (MIN) has 62 input ports and 124 output ports. The switches all have 4 input ports, how many switch stages do you need?

Seleccione una:

- a. 4
- b. 5
- c. 3
- d. 2

Dada una red multietapa tipo Delta con 81 entradas y 625 salidas, y en la que los conmutadores tienen 3 entradas, se pide:
¿Cuántos conmutadores hay en la etapa 2?
Nota: Recuerde que **la primera etapa es la 0**, la segunda la 1, y así sucesivamente.

[ENGLISH] Given a multi-stage Delta-type network (MIN) with 81 inputs and 625 outputs, and where the switches have 3 inputs:
How many switches are in the 2 stage?
Note: Remember that **the first stage is 0,** the second stage is 1, and so on.

Respuesta:

Pregunta **1**
Sin responder aún
Puntúa como 1,00
Marcar pregunta

Dada una red multietapa tipo Delta con 81 entradas y 625 salidas, y en la que los conmutadores tienen 3 entradas, se pide:
¿Cuántos conmutadores hay en la etapa 2?
Nota: Recuerde que **la primera etapa es la 0**, la segunda la 1, y así sucesivamente.

[ENGLISH] Given a multi-stage Delta-type network (MIN) with 81 inputs and 625 outputs, and where the switches have 3 inputs:
How many switches are in the 2 stage?
Note: Remember that **the first stage is 0,** the second stage is 1, and so on.

Respuesta:

Pregunta **7**

Sin responder aún

Puntúa como 3,00

Marcar pregunta

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

El 14,0% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 45 unidades de cómputo en paralelo? **Nota**: Introduzca **3 decimales** en el resultado.

[ENGLISH] The 14,0% of an application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel gain if the program is run using 45 parallel units?

Note: Enter 3 decimal places in the result.

Respuesta:

Pregunta **2**

Sin responder aún

Puntúa como 1,00

Marcar pregunta

El 18,7% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 47 unidades de cómputo paralelo?

Nota: Introduzca **3 decimales** en el resultado. **Recuerde que la eficiencia es un número entre 0 y 1.**

[ENGLISH] The 18,7% of a certain application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel efficiency if the program is run using 47 parallel computing units?

Note: Enter 3 decimal places in the result. Remember that the efficiency is a number between 0 and 1.

Respuesta:

Pregunta **2**

Sin responder aún

Puntúa como 1,00

Marcar pregunta

El 11,9% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 31 unidades de cómputo paralelo?

Nota: Introduzca **3 decimales** en el resultado. **Recuerde que la eficiencia es un número entre 0 y 1.**

[ENGLISH] The 11,9% of a certain application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel efficiency if the program is run using 31 parallel computing units?

Note: Enter 3 decimal places in the result. Remember that the efficiency is a number between 0 and 1.

Respuesta:

Pregunta **3**

Sin responder aún

Puntúa como 1,00

Marcar pregunta

El 38,9% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 33 unidades de cómputo en paralelo?
Nota: Introduzca **3 decimales** en el resultado.

[ENGLISH] The 38,9% of an application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel gain if the program is run using 33 parallel units?

Note: Enter 3 decimal places in the result.

Respuesta:

Pregunta **7**

Sin responder aún

Puntúa como 3,00

Marcar pregunta

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

como

rcar
ta

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	A
0x006	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

00

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	A
0x006	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

00

1

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P1:READ@2, P3:READ@3, P3:WRITE@2(7)**
Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición de memoria M, y PJ:READ@M significa: el procesador J lee de la dirección M.
Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P1:READ@2, P3:READ@3, P3:WRITE@2(7)
Note: PJ:WRITE@M(N) means: Processor J writes the value N to memory location M, and PJ:READ@M means: Processor J reads from address M.
Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Línea 1 en P1 estado I; Línea 1 en P3 en estado M. [ENGLISH] Line 1 in P1 status I; Block 1 in P3 in status M
- b. Dirección @2 en P3 estado S; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 in P3 state S; address @3 in P1 and P3 in state S.
- c. Línea 1 en P1 estado M; Línea 1 en P3 en estado I. [ENGLISH] Line 1 in P1 status M; Line 1 in P3 in status I
- d. Dirección @2 en P3 estado I; dirección @3 en P1 y P3 en estado S. [ENGLISH] Address @2 on P3 state I; address @3 on P1 and P3 on state S.

2

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)**
Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición M, y PJ:READ@M significa: el procesador J lee de la dirección M.
Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)
Note: PJ:WRITE@M(N) means: the J-processor writes the value N to the M-position, and PJ:READ@M means: the J-processor reads from the M-address.
Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Todos líneas de todas las cachés son inválidas. [ENGLISH] All lines in all caches are invalid.
- b. Línea 0 en P3 estado I; Línea 1 en P1 en estado S.[ENGLISH] Line 0 in P3 state I; Line 1 in P1 in state S
- c. Línea 0 en P3 estado M; Línea 0 en P2 en estado I. [ENGLISH] Line 0 in P3 state M; Line 0 in P2 in state I.
- d. Línea 0 en P3 estado M; Línea 0 en P1 en estado S. [ENGLISH] Línea 0 en P3 estado M; Línea 0 en P1 en estado S.

3

Sea un computador superescalar capaz de decodificar 4inst/c, emitir 4inst/c, escribir 4inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

4

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	D
0x006	0x001	D

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

5

Un máquina superescalar dispone de un predictor de saltos dinámico que utiliza BTB de 4 entradas y 2 bits de predicción como el que se muestra en la figura.

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=-11 y r5=1:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x006
0x005 addi r6,r5,#1
0x006 subi r6, r5, #1
0x007 beqz r6, 0x001
0x008 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x006	B
0x007	0x001	B

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

00

6

El 18,7% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 47 unidades de cómputo paralelo?

Nota: Introduzca **3 decimales** en el resultado. **Recuerde que la eficiencia es un número entre 0 y 1.**

[ENGLISH] The 18,7% of a certain application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel efficiency if the program is run using 47 parallel computing units?

Note: Enter 3 decimal places in the result. Remember that the efficiency is a number between 0 and 1.

Respuesta: 0,104

El 27,3% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 35 unidades de cómputo en paralelo?
Nota: Introduzca **3 decimales** en el resultado.

[ENGLISH] The 27,3% of an application cannot be paralleled. If all other conditions and parameters are ideal, what is the value of the parallel gain if the program is run using 35 parallel units?

Note: Enter 3 decimal places in the result.

Respuesta:

7

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

¿Cuántos ciclos tarda el código?

8

Sea un computador superescalar capaz de decodificar 4 inst/c, emitir 4 inst/c, escribir 4 inst/c en los registros correspondientes y retirar 4 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada pero **no** contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 3 FP mul/div (2c), 3 FP add (2c), 3 ALU int (2c) y 3 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

9

Una red de conexión multietapa tipo delta tiene 62 puertos de entrada y 124 puertos de salida. Los conmutadores tienen todos 4 puertos de entrada, ¿Cuántas etapas de conmutadores necesita?

[ENGLISH] A delta-type multi-stage network connection (MIN) has 62 input ports and 124 output ports. The switches all have 4 input ports, how many switch stages do you need?

Seleccione una:

- a. 4
- b. 5
- c. 3
- d. 2

10

Dada una red multietapa tipo Delta con 81 entradas y 625 salidas, y en la que los conmutadores tienen 3 entradas, se pide: ¿Cuántos conmutadores hay en la etapa 2?

Nota: Recuerde que **la primera etapa es la 0**, la segunda la 1, y así sucesivamente.

[ENGLISH] Given a multi-stage Delta-type network (MIN) with 81 inputs and 625 outputs, and where the switches have 3 inputs: How many switches are in the 2 stage?

Note: Remember that **the first stage is 0,** the second stage is 1, and so on.

Respuesta:

11

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción `addi r2,r2,#8`?

6

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción `ld f4,0(r1)`?

11

¿Cuántos ciclos tarda el código?

22

12

El 14,0% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 45 unidades de cómputo en paralelo?

Nota: Introduzca **3 decimales** en el resultado.

13

El 18,7% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 47 unidades de cómputo paralelo?

14

El 11,9% de una cierta aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **eficiencia paralela** si se ejecuta el programa usando 31 unidades de cómputo paralelo?

Nota: Introduzca **3 decimales** en el resultado. **Recuerde que la eficiencia es un número entre 0 y 1.**

15

El 38,9% de una aplicación no se puede paralelizar. Si el resto de condiciones y parámetros son ideales, ¿cuál es el valor de la **ganancia paralela** si se ejecuta el programa usando 33 unidades de cómputo en paralelo?

Nota: Introduzca **3 decimales** en el resultado.

16

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

¿Cuántos ciclos tarda el código?

16

Suponed que se está ejecutando el siguiente código, siendo el valor inicial de r1=0:

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	A
0x006	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la BTB una vez realizada la primera iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la BTB en ese caso?

00

Suponed que se está ejecutando el siguiente código, siend

```
0x000 addi r3,r1,#80
0x001 addi r1,r1,#8
0x002 addi r2,r2,#8
0x003 addi r5,r1,#3
0x004 beqz r5, 0x007
0x005 addi r6,r5,#1
0x006 bnez r6, 0x001
0x007 subd f2,f1, f3
```

Y que inicialmente la tabla BTB contiene:

Instrucción	BTA	Bits
0x004	0x007	A
0x006	0x001	C

¿Cuáles será los bits de predicción de la primera fila de la
iteración en el código?

01

¿Cuáles será los bits de predicción de la segunda fila de la

00

Le paso los enunciados que le tocaron (son todos distintos) y las soluciones para que las trabaje.

Para ver qué está mal necesitamos que se nos explique qué es cada cosa, qué está haciendo con cada expresión matemática y porqué. De otra forma, es imposible seguir el hilo de unas "cuentas" que parecen aleatorias. Le vuelvo a recomendar que estudie bien los contenidos y que vuelva a realizar los ejercicios desde cero, explicando bien cada paso. Seguramente llegará al resultado correcto, de otra forma me los podrá enviar más adelante y veremos dónde está el problema.

P5: Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 4 núcleos de un cierto tipo T1 y 4 núcleos de otro tipo T2. Suponga que los núcleos de tipo T1 son un 38% más rápidos que los de tipo T2. Suponga también que tiene una aplicación totalmente paralelizable en OpenMP y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la ganancia paralela en velocidad (speed-up) usando al menos 2 decimales. Respuesta correcta 3.45

P6
b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos? Respuesta correcta 0.29

P7
Dada una red multietapa tipo Delta con 797 entradas y 10038 salidas, se pide:

¿Cuántos conmutadores hay en la etapa 3 de la implementación más económica de esta topología?

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

Respuesta correcta: 1372 (topología: 4**5x7**5)

Nota: Recuerde que la primera etapa se etiqueta como 0, la segunda como 1, y así sucesivamente.

Sea un computador superescalar capaz de decodificar 2 inst/c, emitir 2 inst/c, escribir 2 inst/c en los registros correspondientes y retirar 2 inst/c. Dispone de buffer de reorden con número de entradas suficiente, la emisión puede ser desordenada y contiene una unidad de adelantamiento. Teniendo el siguiente código:

```
addi r3,r1,#800
addi r1,r1,#8
addi r2,r2,#8
ld f0,coef
ld f2,-8(r1)
ld f4,0(r1)
muld f8,f2,f0
addd f4,f8,f4
sd 0(r2),f4
addi r1,r1,#8
addi r2,r2,#8
slt r4,r1,r3
```

Se dispone de las siguientes unidades segmentedas: 1 FP mul/div (4c), 1 FP add (2c), 3 ALU int (1c) y 1 load/store (2c).

¿En qué ciclo finaliza la etapa de ejecución (EX) de la primera instrucción **`addi r2,r2,#8`**?

5 ✔

¿En qué ciclo finaliza la etapa de ejecución (EX) de la instrucción **`ld f4,0(r1)`**?

11 ✖

¿Cuántos ciclos tarda el código?

22 ✖

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 2 núcleos de un cierto tipo **T1** y 2 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 75% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 2 cores of a certain **T1** type and 2 cores of another **T2** type. Suppose that **T1** cores are 75% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?

Respuesta:

Un computador SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de datos en las cachés. Las líneas de caché y los bloques son de 2 palabras (pueden guardar el contenido de 2 posiciones de memoria). La política de reemplazo de caché es LRU (least recently used), el tamaño de caché de cada procesador es de 2 líneas.

El contenido de las cachés y la memoria principal es el siguiente:

[ENGLISH] A 4-processor SMP computer uses the MESI protocol to control data consistency in the caches. The cache lines and blocks are 2 words long (they can hold the contents of 2 memory locations). The cache replacement policy is LRU (least recently used), the cache size of each processor is 2 lines.

The content of caches and main memory is as follows:

Cachés

	P1			P2			P3			P4		
línea	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
0	0	0	S	6	5	M	6	6	I	4	9	E
	1	-6		7	6		7	4		5	10	
1	2	2	M	0	0	S	2	4	I	0	0	S
	3	3		1	-6		3	7		1	-6	

Memoria

Dirección	0	1	2	3	4	5	6	7	8	9
Dato	0	-6	4	7	9	10	-4	3	2	3

En un momento dado, los procesadores ejecutan las siguientes referencias: **P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)**

Nota: PJ:WRITE@M(N) significa: el procesador J escribe el valor N en la posición M, y PJ:READ@M significa: el procesador J lee de la dirección M.

Indique cuál de las siguientes opciones coincide con el estado de las cachés y/o la memoria principal al final de esta secuencia.

[ENGLISH] At any given time, the processors run the following references: P2:WRITE@1(8), P3:WRITE@7(27), P4:WRITE@4(9)

Note: PJ:WRITE@M(N) means: the J-processor writes the value N to the M-position, and PJ:READ@M means: the J-processor reads from the M-address.

Specify which of the following matches the state of the caches and/or main memory at the end of this sequence.

Seleccione una:

- a. Todos líneas de todas las cachés son inválidas. [ENGLISH] All lines in all caches are invalid.
- b. Línea 0 en P3 estado I; Línea 1 en P1 en estado S.[ENGLISH] Line 0 in P3 state I; Line 1 in P1 in state S
- c. Línea 0 en P3 estado M; Línea 0 en P2 en estado I. [ENGLISH] Line 0 in P3 state M; Line 0 in P2 in state I.
- d. Línea 0 en P3 estado M; Línea 0 en P1 en estado S. [ENGLISH] Línea 0 en P3 estado M; Línea 0 en P1 en estado S.

Suponga que tiene un procesador multi-núcleo tipo big.LITTLE con 6 núcleos de un cierto tipo **T1** y 6 núcleos de otro tipo **T2**. Suponga que los núcleos de tipo **T1** son un 76% más rápidos que los de tipo **T2**. Suponga también que tiene una aplicación totalmente paralelizable en *OpenMP* y que usa todos los núcleos para optimizar la velocidad de ejecución. Suponga también que el tiempo de sobrecarga es cero.

a) Calcule el valor de la **ganancia paralela en velocidad** (***speed-up***) usando **al menos 2 decimales**.

[ENGLISH]

Suppose you have a big.LITTLE multi-core processor with 6 cores of a certain **T1** type and 6 cores of another **T2** type. Suppose that **T1** cores are 76% faster than **T2** cores. Suppose also that you have a fully parallelizable application using OpenMP and that all cores are used to optimize the execution speed. Suppose also that the overload time is zero.

a) Calculate the value of the parallel **speed-up** gain using **at least 2 decimals**.

Respuesta:

b) ¿Qué fracción del problema total debe ejecutar cualquiera de los núcleos más rápidos?

[ENGLISH]

b) What fraction of the total problem should any of the faster cores run?