

Apellidos y Nombre

DNI

Grupo

--	--	--

1 (1.5 puntos) Dada la ruta de los datos monociclo del procesador MIPS R2000, que se muestra en la Figura 2.

- a) **(0,75 puntos)** Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se detallan y que se corresponden con el juego reducido visto en clase.

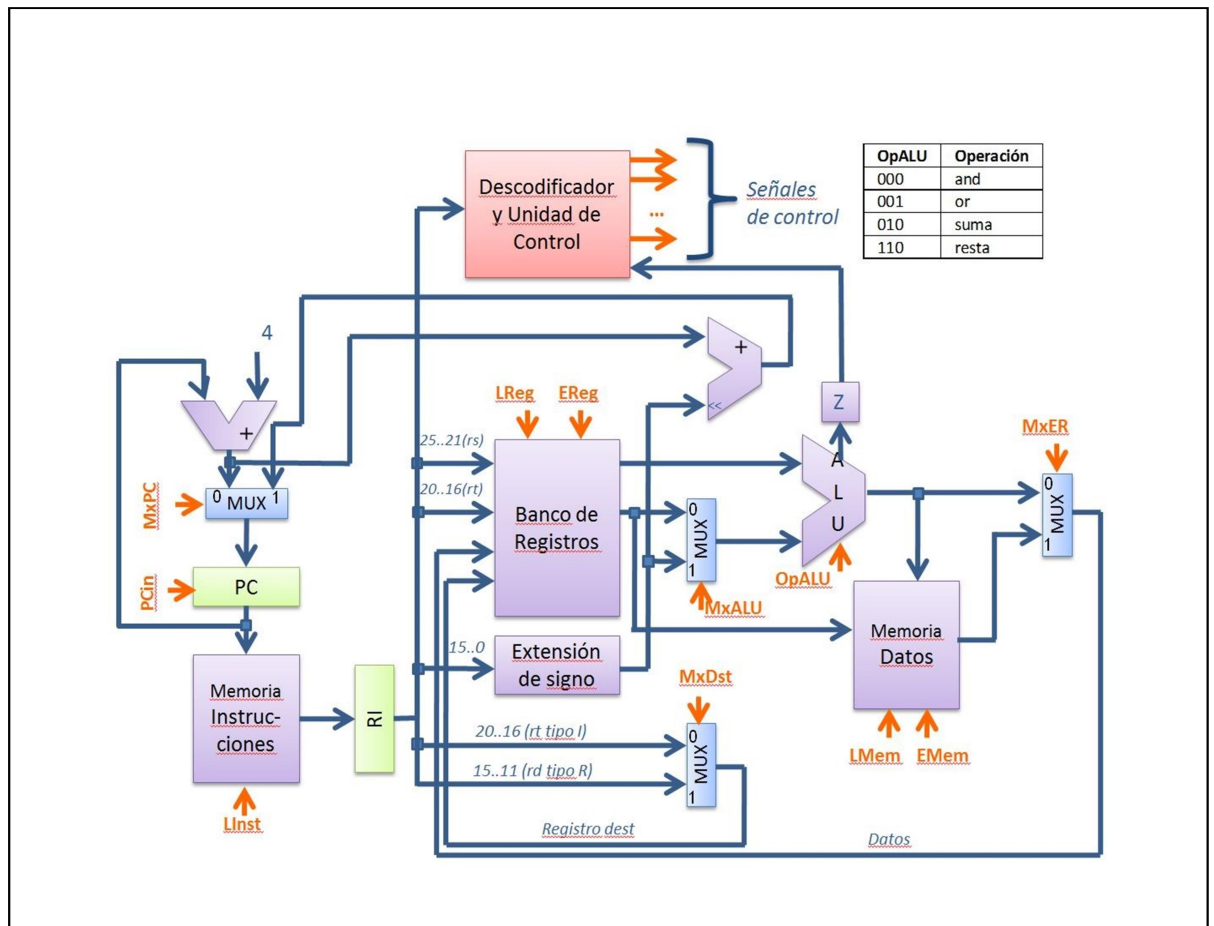


Figura 1. Ruta de datos

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sub rd, rs, rt	R	1	110	0	0	0	0	1	0
and rd, rs, rt	R								
lw rt, desp(rs)	I								
sw rt, desp(rs)	I								
beq rs, rt, etiq	I								

b) **(0,75 puntos)** Se desea incluir la instrucción *sll rd, rt, desp5*, con formato R, como una instrucción más del juego de instrucciones básico del MIPS visto en clase. La instrucción desplaza a la izquierda el contenido del registro *rt*, la cantidad de bits establecido en el campo *desp5* de la instrucción, introduciendo ceros por la derecha, y dejando el resultado en *rd*. Por ejemplo, la instrucción *sll \$2, \$3, 6* se codificaría como se muestra en la figura 2:

COP	RS	RT	RD	desp5	Función
000000	00000	00011	00010	00110	000000

Figura 2 Codificación *sll \$2, \$3,6*, de tipo R

(0,5 puntos) Suponga que se dispone de un componente DESPLAZADOR, basado internamente en un *Barrel Shifter*, que efectúa la operación de la instrucción *sll*. Dicho componente se muestra en la Figura 3. Conecte dicho componente sobre la ruta de datos de la Figura 3 de modo que permita ejecutar la instrucción *sll* descrita. Si se ha de modificar algún/nos elemento/s de los existentes indique cuál/es y en qué consisten las modificaciones.

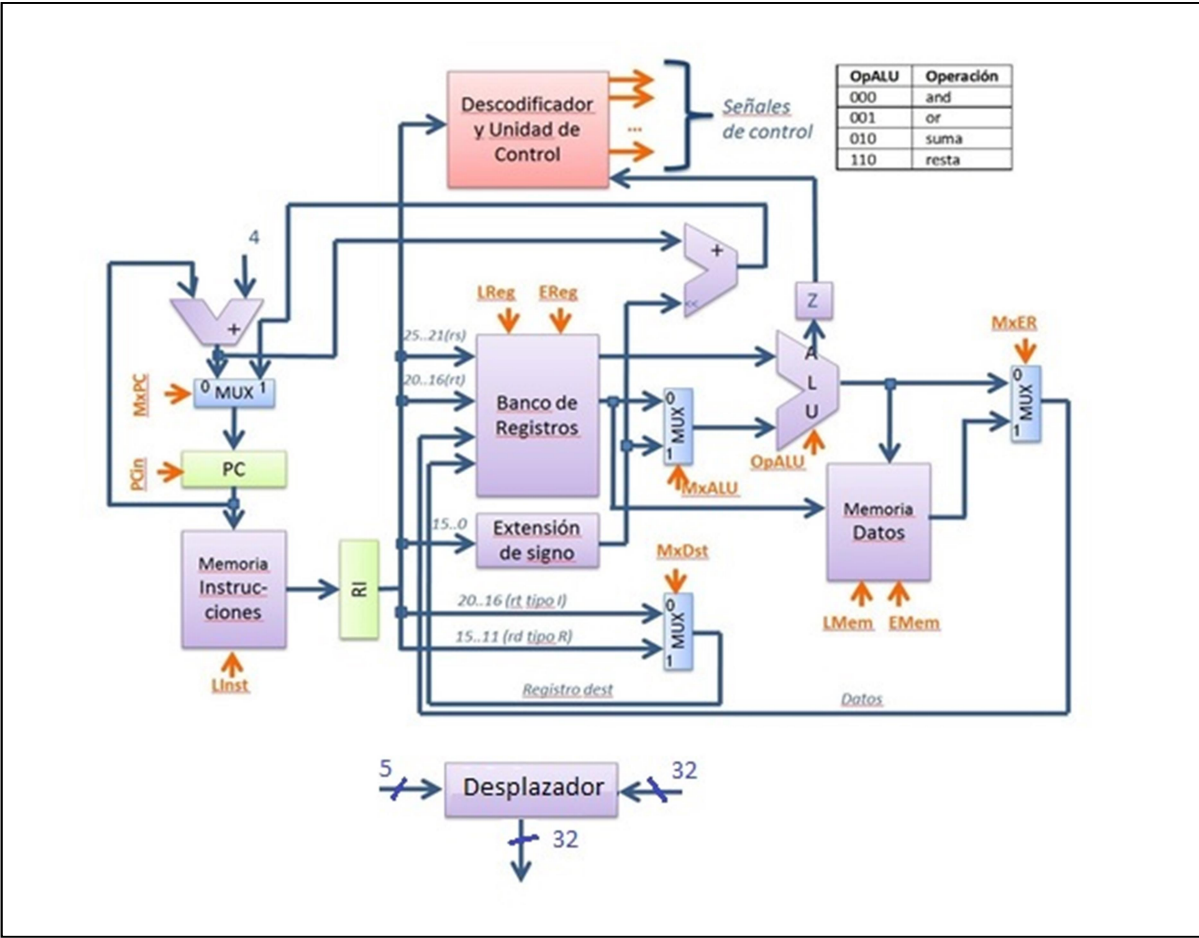


Figura 3. Esquema del componente DESPLAZADOR

Modificaciones:

(0,25 puntos) Rellene la tabla con las señales de control necesarias.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sll rd, rt, desp5	R								

2 (1 punto) Considérese la ruta de datos segmentada de cinco etapas (LI, DI, EX, M, ER) estudiada en clase y supóngase que las etapas tienen los siguientes retardos: 49 ns las memorias, 45 ns el banco de registros para lectura y escritura, y 40 ns la unidad aritmético-lógica. Los registros de segmentación tienen un retardo de 1ns. El resto de unidades funcionales tienen un tiempo despreciable.

- a) **(0,2 puntos)** ¿Cuál es la productividad máxima que se puede alcanzar con esta ruta de datos segmentada? Justifique la respuesta.

- b) **(0,2 puntos)** ¿Cuál es la aceleración máxima conseguida respecto a la versión no segmentada? Justifique la respuesta.

- c) **(0,2 puntos)** Indique para la ruta indicada cuál sería la aceleración ideal, y bajo qué condiciones se llegaría a obtener.

- d) **(0,2 puntos)** Un programa ejecuta 100 instrucciones en este computador y tarda 6200 ns. ¿Cuántos ciclos de parada han tenido lugar? Justifique la respuesta.

- e) **(0,2 puntos)** Si utilizáramos esta ruta como base para hacer un procesador superescalar de 2 vías, ¿cuál sería la productividad máxima? Justifique la respuesta.

3 (1.5 puntos) En el procesador segmentado en cinco etapas del ejercicio anterior se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000. Asuma que los conflictos por dependencias de datos y control se solucionan mediante la inserción de ciclos de parada y la latencia de salto es 1.

```

(1)          lui $t0,0x1000
(2)          ori $t4,$0,100
(3)  bucle:  beqz $t4, fin
(4)          lh  $t5, 0($t0)
(5)          lh  $t6, 0x200($t0)
(6)          sh  $t5, 0x200($t0)
(7)          sh  $t6, 0($t0)
(8)          addi $t4,$t4,-1
(9)          addi $t0,$t0,2
(10)         j  bucle
           fin:

```

	Registro	instrucción en que se escribe	instrucción en que se lee
Riesgo			
Riesgo			
Riesgo			
Riesgo			
Riesgo			

Tabla 1. Riesgos de datos

- a) **(0.5 puntos)** Indique los riesgos por dependencias de datos que existe utilizando la **¡Error! No se encuentra el origen de la referencia.** (el número de riesgos no tiene por qué ser igual al número de filas)
- b) **(0.75 puntos)** Indique para dicho código (justifique las respuestas)

Número de Instrucciones ejecutadas (I)	
Número de ciclos de parada (P)	
Número de ciclos totales de ejecución (T)	
CPI	

- c) **(0.25 puntos)** Rellene el diagrama de ejecución solo para las tres instrucciones que se indican:

ori \$t4,\$0,100										
beqz \$t4,fin										
lh \$t5,0(\$t0)										

- 4 (1 punto)** En la Figura 4 se muestra un sumador/restador para números enteros de 16 bits, con estructura CSA (Carry Select Adder). Cada CPA (Carry Propagation Adder) internamente está diseñado mediante sumadores completos (FA), como los estudiados en clase, de modo que el retardo de la señal de acarreo es de 2 niveles de puertas y la señal de suma de 3 niveles de puertas. Suponga que los multiplexores tienen 3 niveles de puertas.

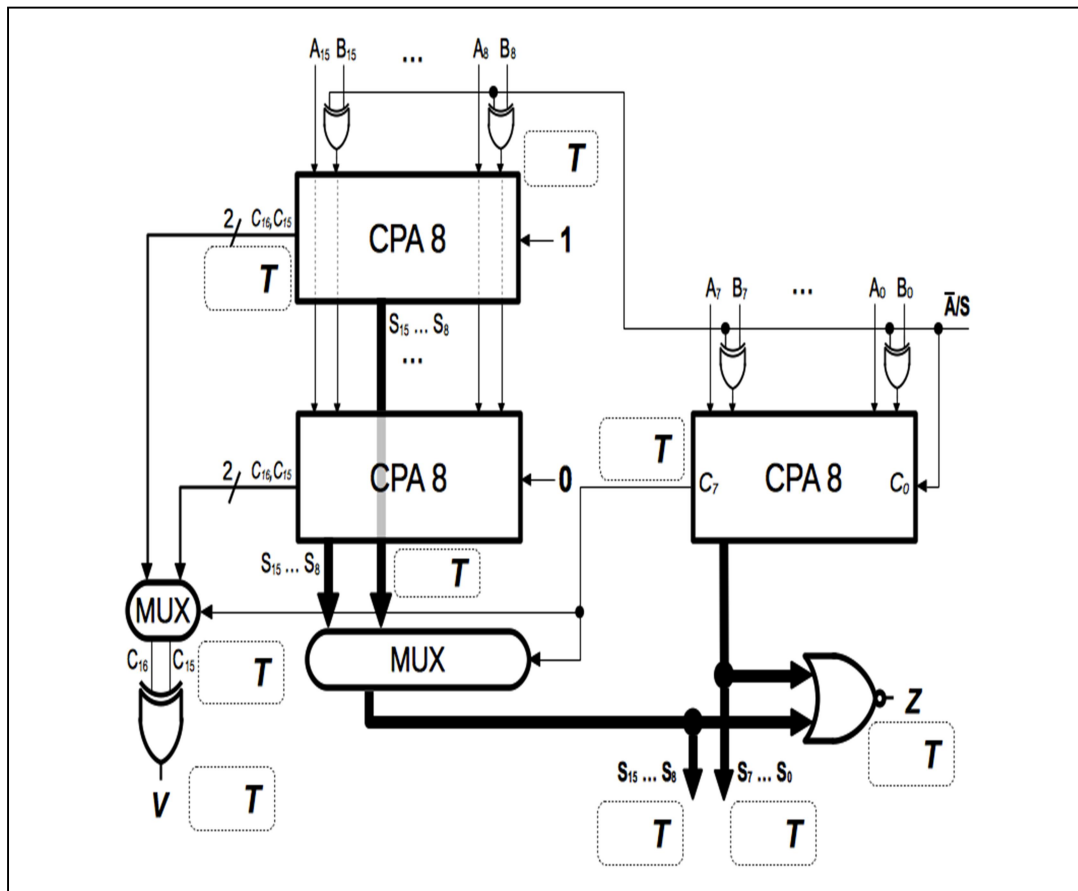
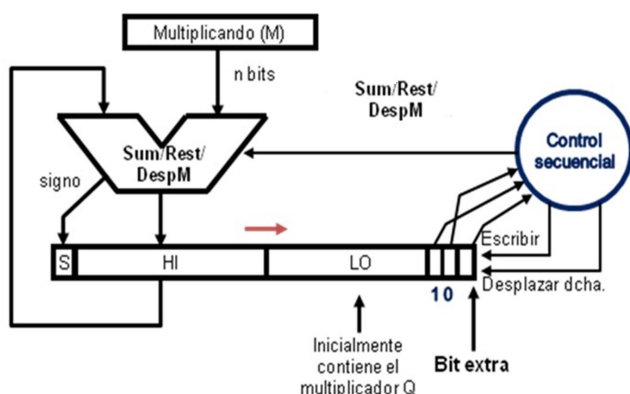


Figura 4. Circuito sumador/restador CSA de 16 bits. (/s/R = 0 suma, y /s/R = 1 resta)

- (0.6 puntos)** Indique sobre el dibujo los retardos en las diferentes señales del circuito, en función del retardo de puerta T.
- (0.4 puntos)** Indique el tiempo total de operación del circuito (en ns) y su productividad (en MOPS). Asuma por simplicidad que todas las puertas lógicas empleadas tardan $T=2\text{ns}$. Justifique las respuestas.

- 5 (1.5 punto)** Se dispone de un circuito multiplicador secuencial con **recodificación por parejas de bits** para números enteros de 16 bits tal y como se muestra en la figura adjunta. Supóngase que el retardo de las diferentes operaciones involucradas en la multiplicación es el que se indica en la tabla adjunta:



Inicializar registros y circuito de control	4 ns
Inspeccionar q_{i+1} q_i y q_{i-1}	2 ns
Sumar	10 ns
Restar	12 ns
Desplazar M 1 bit	2 ns
Desplazar S-HI-LO-X 2 bits	4 ns
Escribir registro HI	3 ns
Evaluar el número de ciclo actual	5 ns

- a) **(0.4 puntos)** Indique cuál sería el periodo mínimo de la señal de reloj del control secuencial y cuántos ciclos son necesarios para realizar una operación de multiplicación. Asuma que la inicialización de los registros se hace en un ciclo independiente. Justifique la respuesta.

- b) **(0.2 puntos)** ¿Cuál sería la productividad que podría alcanzar dicho multiplicador? Justifique la respuesta.

- c) **(0.4 puntos)** Para el siguiente operando multiplicador, indique cuál sería la codificación de Booth y la recodificación por parejas

$Q = 1000111101100101$

Booth:

Recodificación por parejas:

- d) **(0.3 puntos)** Indique las acciones que debe realizar el multiplicador en el ciclo 3 (sin contar el ciclo de inicialización, que sería el ciclo 0)

- e) **(0.2 puntos)** Indique cuál es la principal ventaja de este multiplicador respecto a un multiplicador secuencial para código Booth, en términos del número de ciclos necesarios.

- 6 (1 puntos)** Conteste las siguientes preguntas sobre el operador hardware para números en coma flotante de la Figura 5:

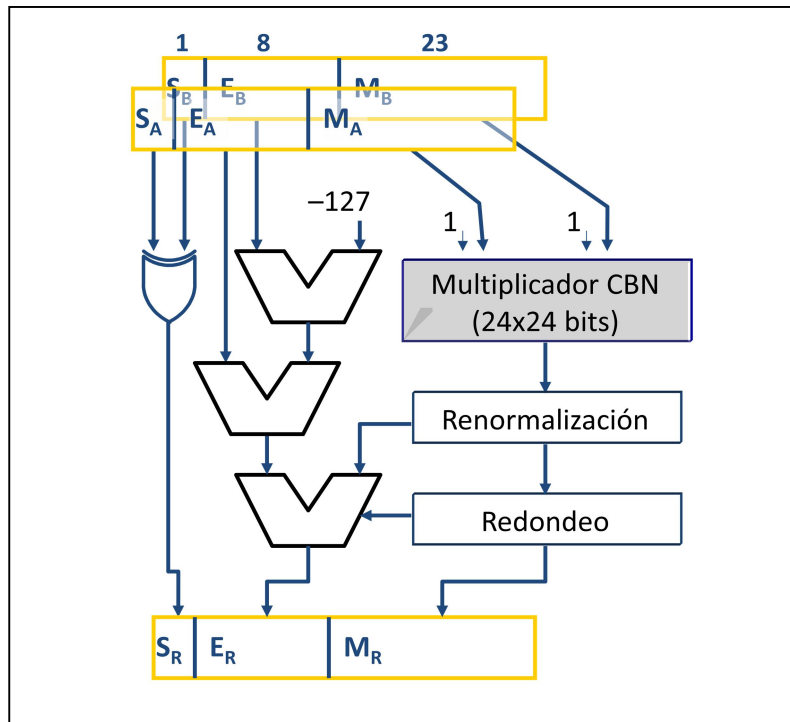


Figura 5. Operador aritmético para números en coma flotante

- a) (0.3 puntos) Indique qué instrucción del MIPS R2000 efectúa, y el formato (SP/DP).

- b) (0.3 puntos) Indique la expresión del signo del resultado S_R en función S_A y S_B . Justifíquelo.

- c) (0.4 puntos) Indique la expresión del exponente del resultado E_R en función de E_A y E_B . Justifíquelo.

7 (1.3 puntos) Un determinado chip comercial de memoria SDRAM tiene un ancho de palabra de 64 bits y trabaja a una frecuencia de reloj de 100 MHz ($t_{\text{ciclo}} = 10\text{ns}$).

a) (0.2 puntos) Complete la siguiente tabla expresando los parámetros temporales en los ciclos de reloj correspondientes:

PARAMETRO	TIEMPO Min. (ns)	Ciclos FRECUENCIA 100MHz
t_{RCD}	18	
t_{RAS}	42	
t_{RC}	60	
t_{RP}	18	
CL	----	2

b) (0.5 puntos) Indique el tiempo de acceso y el ancho de banda (justifique la respuesta):

FRECUENCIA	TIEMPO DE ACCESO (ns) (Latencia de lectura)	ANCHO de BANDA (MBps)
100 MHz		

c) (0.2 puntos) En una versión actualizada el mismo chip se oferta utilizando tecnología DDR3. Indique cómo afectaría esta nueva versión al tiempo de acceso y al ancho de banda. Suponga que se mantienen los mismos parámetros temporales y la misma frecuencia de trabajo.

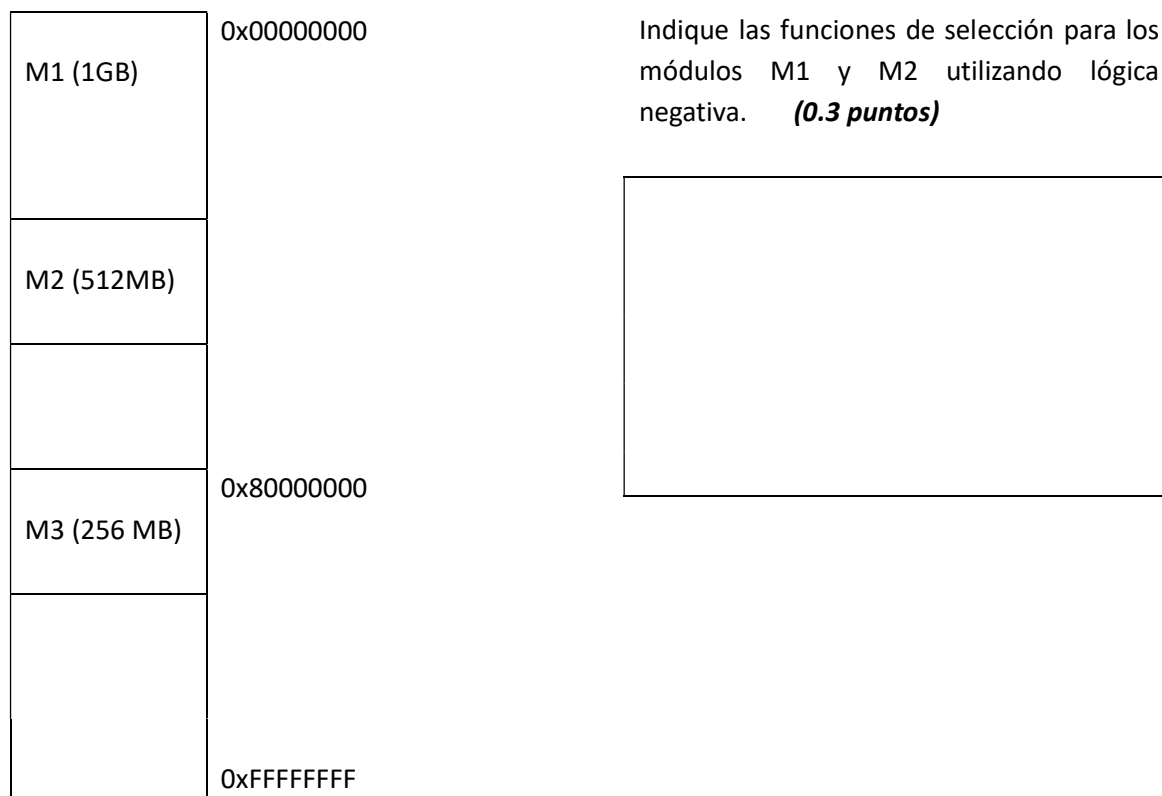
d) (0.4 puntos) Complete el cronograma para el caso de hacer la lectura de dos bloques consecutivos de 4 palabras cada uno de ellos, ambos ubicados en la misma fila del chip SDRAM. Asúmase que la orden de precarga es manual.

T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13 T14 T15 T16 T17 T18

Orden																	
Dirección																	
Datos																	

8 (1.2 puntos) A un computador basado en una CPU MIPS R2000 se le ha dotado de un primer módulo (M1) de 1GB a partir de la dirección 0x00000000. Posteriormente se le ha añadido a continuación de éste un segundo módulo (M2) de 512MB. A partir de la dirección 0x80000000 se ha incluido el módulo M3 de 256 MB de capacidad.

a) (0.3 puntos) (Complétese el mapa de memoria resultante, indicando la dirección inicial y final de cada uno de los módulos, y especificando el tamaño de los espacios libres disponibles.



b) El módulo M2 está constituido por una única fila de chips idénticos. Cada chip tiene una longitud de palabra de 8 bits y se organiza internamente en cuatro bancos con 4096 (2^{12}) filas cada uno.

b1) (0.2 puntos) Calcule la capacidad de cada chip y el número de chips que tiene el módulo. Justifique la respuesta.

--

b2) (0.2 puntos) Indique cuántas patillas de dirección tiene cada chip de memoria. Justifique la respuesta.

--

b3) (0.2 puntos) Indique cuántas líneas de selección de octeto tiene el módulo. Justifique la respuesta.

--