

Apellidos y Nombre

DNI

Grupo

- 1** (1.5 puntos) Dada la ruta de los datos monociclo del procesador MIPS R2000, que se muestra en la Figura 1
- a) (0,75 puntos) Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se detallan y que se corresponden con el juego reducido visto en clase.

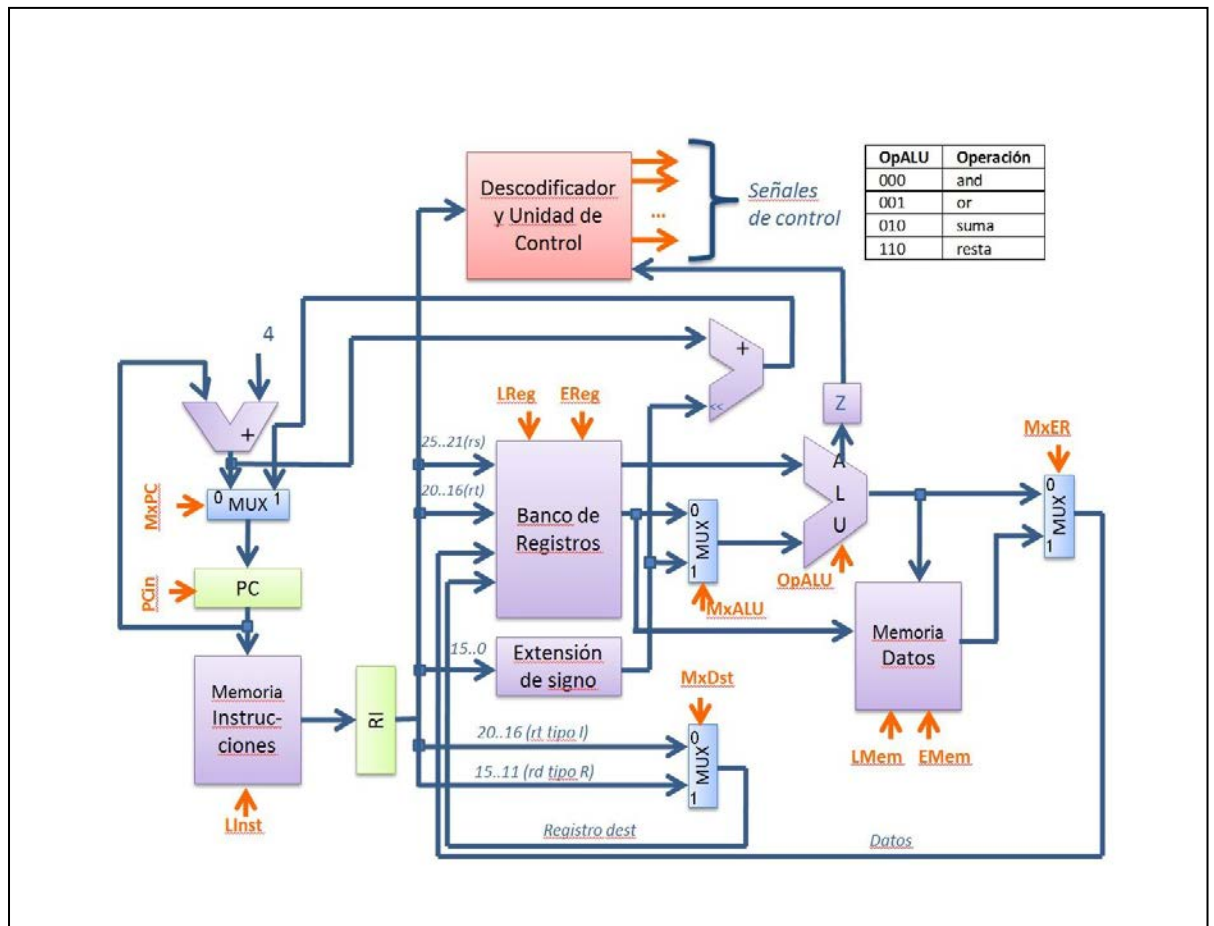


Figura 1. Ruta de datos

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sub rd, rs, rt	R	1	110	0	0	0	0	1	0
and rd, rs, rt	R	1	000	0	0	0	0	1	0
lw rt, desp(rs)	I	1	010	1	0	0	1	0	1
sw rt, desp(rs)	I	0	010	0	1	0	1	x	x
beq rs, rt, etiq	I	0	110	0	0	Z	0	x	x

b) **(0,75 puntos)** Se desea incluir la instrucción *sll rd, rt, desp5*, con formato R, como una instrucción más del juego de instrucciones básico del MIPS visto en clase. La instrucción desplaza a la izquierda el contenido del registro *rt*, la cantidad de bits establecido en el campo *desp5* de la instrucción, introduciendo ceros por la derecha, y dejando el resultado en *rd*. Por ejemplo, la instrucción *sll \$2, \$3, 6* se codificaría como se muestra en la figura 2:

COP	RS	RT	RD	desp5	Función
000000	00000	00011	00010	00110	000000

Figura 2 Codificación *sll \$2, \$3,6*, de tipo R

(0,5 puntos) Indique sobre la ruta de datos de la Figura 3 las modificaciones necesarias para llevar a cabo la instrucción *sll*. Suponga que se dispone de un componente DESPLAZADOR, basado internamente en un *Barrel Shifter* , que efectúa la operación de la instrucción *sll*. Dicho componente se muestra en la Figura 3.

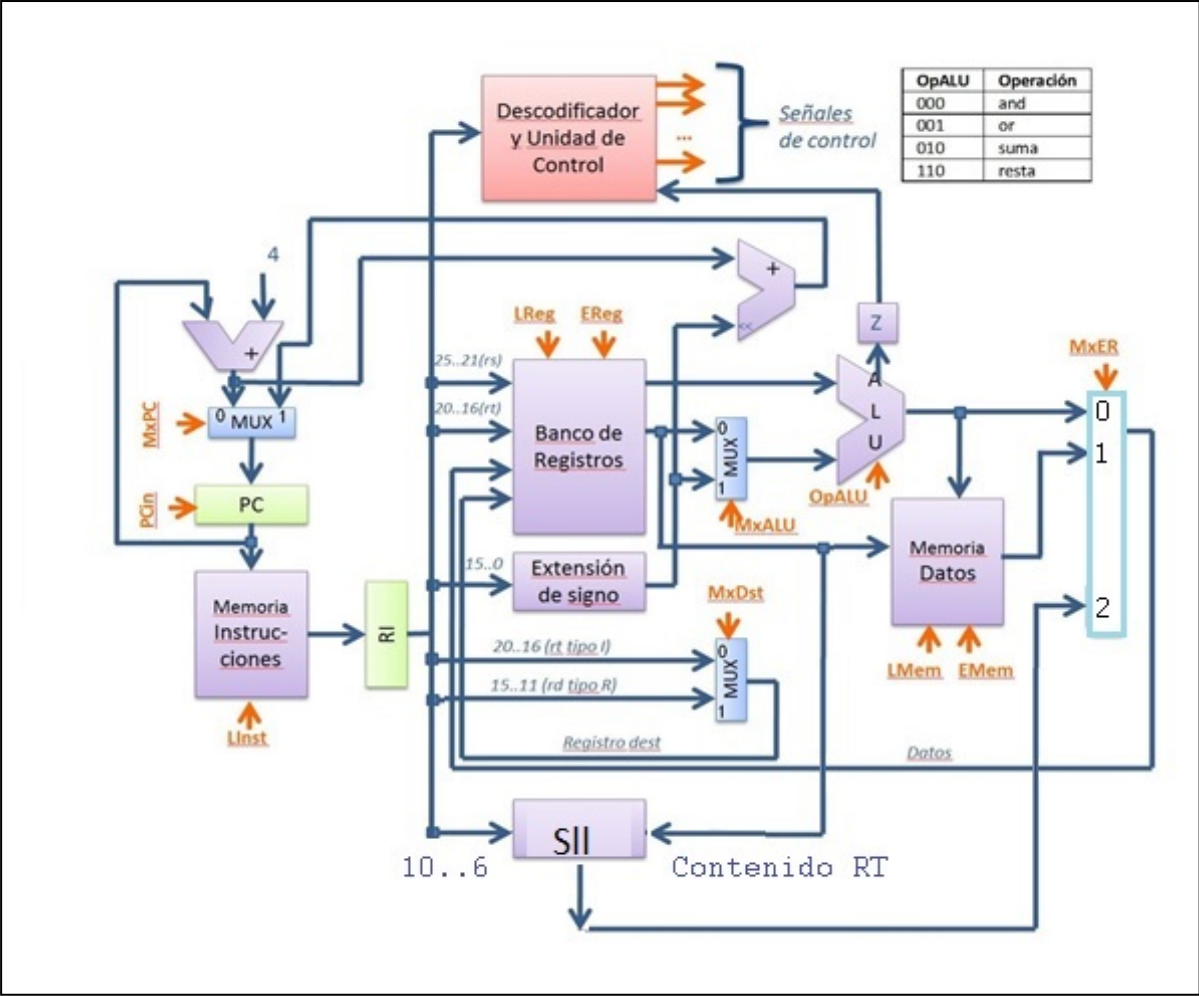


Figura 3. Ruta de los datos, con componente SLL.

Modificaciones:

Se tiene que cambiar el multiplexor MxER por otro de 4 entradas de datos, y dos de selección. Por eso la señal MxER es ahora de 2 bits.

(0,25 puntos) Rellene la tabla con las señales de control necesarias.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sll rd, rt, desp5	R	1	xxx	0	0	0	x	1	10

2 (1 punto) Considérese la ruta de datos segmentada de cinco etapas (LI, DI, EX, M, ER) estudiada en clase y supóngase que las etapas tienen los siguientes retardos: 49 ns las memorias, 45 ns el banco de registros para lectura y escritura, y 40 ns la unidad aritmético-lógica. Los registros de segmentación tienen un retardo de 1ns. Resto de unidades funcionales tienen un tiempo despreciable.

- a) **(0,2 puntos)** ¿Cuál es la productividad máxima que se puede alcanzar con esta ruta de datos segmentada?

$$\chi = 1/T$$

$$T = \max(49, 45, 40, 49, 45) + 1 = 50 \text{ ns}$$

$$\chi = (1000/50) \text{ MIPS} = 20 \text{ MIPS}$$

- b) **(0,2 puntos)** ¿Cuál es la aceleración máxima conseguida respecto a la versión no segmentada?

$$T_{NS} = (49 + 45 + 40 + 49 + 45) = 228$$

$$S = T_{NS} / T = 228/50 = 4.56$$

- c) **(0,2 puntos)** Indique para la ruta indicada cuál sería la aceleración ideal, y bajo qué condiciones se llegaría a obtener.

$$S = 5$$

Etapas mismos retardos y registro de segmentación 0 ns.

- d) **(0,2 puntos)** Un programa ejecuta 100 instrucciones en este computador y tarda 6200 ns. ¿Cuántos ciclos de parada han tenido lugar?

$$(100 + P + 4) * 50 \text{ ns} = 6200 \text{ ns}$$

$$P = 6200/50 - 104 = 20 \text{ paradas}$$

- e) **(0,2 puntos)** Si utilizáramos esta ruta como base para hacer un procesador superescalar de 2 vías, ¿cuál sería la productividad máxima?

Doble, luego 40 MIPS

3 (1.5 puntos) En el procesador segmentado en cinco etapas del ejercicio anterior se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000. Asuma que los conflictos por dependencias de datos y control se solucionan mediante la inserción de ciclos de parada y la latencia de salto es 1.

```

(1)      lui $t0,0x1000
(2)      ori $t4,$0,100
(3)  bucle: beqz $t4, fin
(4)      lh $t5, 0($t0)
(5)      lh $t6, 0x200($t0)
(6)      sh $t5, 0x200($t0)
(7)      sh $t6, 0($t0)
(8)      addi $t4,$t4,-1
(9)      addi $t0,$t0,2
(10)     j bucle
(11)  fin:

```

	Registro	instrucción en que se escribe	instrucción en que se lee
Riesgo	\$t4	2	3
Riesgo	\$t5	4	6
Riesgo	\$t6	5	7
Riesgo			
Riesgo			

Tabla 1. Riesgos de datos

- a) **(0.5 puntos)** Indique los riesgos por dependencias de datos que existe utilizando la Tabla 1 (el número de riesgos no tiene por qué ser igual al número de filas)
- b) **(0.75 puntos)** Indique para dicho código (justifique las respuestas)

Número de Instrucciones ejecutadas (I)	$2 + 8 * 100 + 1 = 803$ instrucciones
Número de ciclos de parada (P)	$2_{ori} + 1_{lh} * 100 \text{ veces} + 1_{beqz} * 101 \text{ veces} + 1_j * 100 \text{ veces}$ 303 paradas
Número de ciclos totales de ejecución (T)	$I + P + 4 = 803 + 303 + 4 = 1110$ ciclos
CPI	$1 + P / I = 1 + 303/803 = 1,38$

- c) **(0.25 puntos)** Rellene el diagrama de ejecución solo para las tres instrucciones que se indican:

	2	3	4	5	6	7	8	9	10	11
ori \$t4,\$0,100	LI	DI	EX	M	ER					
beqz \$t4,fin		LI	-	-	DI	EX	M	ER		
lh \$t5,0(\$t0)					-	LI	DI	EX	M	ER

- 4 (1 punto)** En la Figura 4 se muestra un sumador/restador de 16 bits. Cada CPA internamente está construida mediante sumadores completos (FA), como los estudiados en clase, de modo que el retardo de la señal de acarreo es de nivel 2 y la señal de suma de nivel 3. Los multiplexores son circuitos de nivel 3.

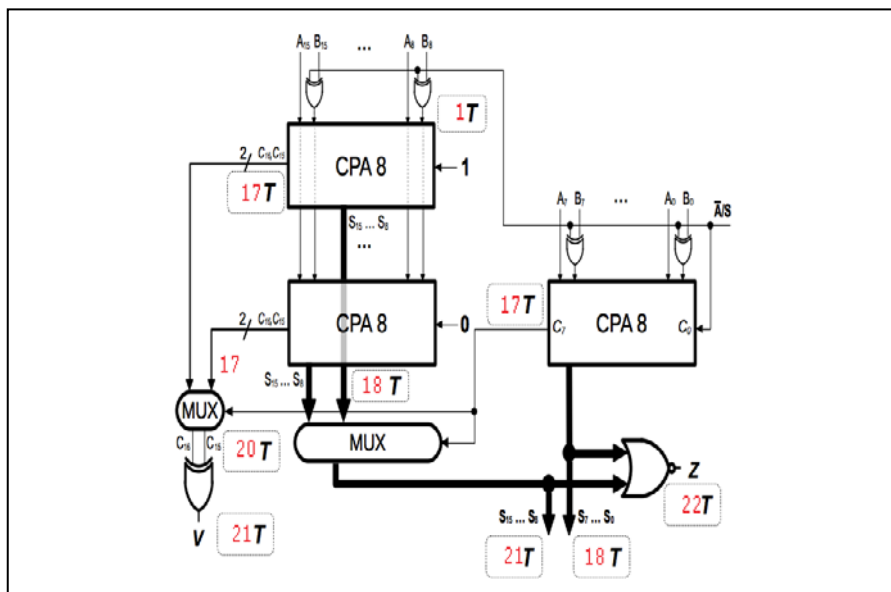


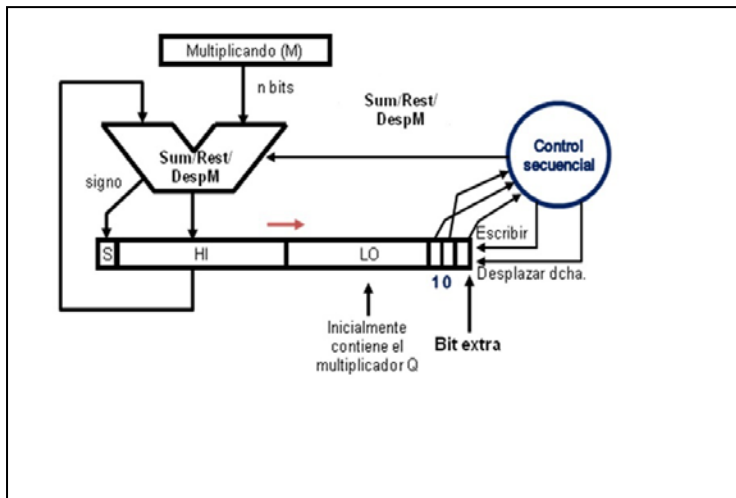
Figura 4. Circuito sumador/restador de 16 bits. ($/s/R = 0$ suma, y $/s/R = 1$ resta)

- (0.6 puntos)** Indique los retardos en las diferentes señales del circuito, en función del retardo de puerta T
- (0.4 puntos)** Indique el tiempo total de operación del circuito (en ns) y su productividad (en MOPS). Asuma por simplicidad que todas las puertas lógicas empleadas tardan $T=2ns$.

$$\text{Top} = \max(V, Z, C_{16}, S_{15}) = 22T = 22 * 2ns = 44ns$$

$$X = 1000/44 \text{ MOPS} = 22.72 \text{ MOPS}$$

5 (1.5 punto) Se dispone de un circuito multiplicador secuencial con **recodificación por parejas de bits** para números enteros de 16 bits tal y como se muestra en la figura adjunta. Supóngase que el retardo de las diferentes operaciones involucradas en la multiplicación es el que se indica en la tabla:



Inicializar registros y circuito de control	4 ns
Inspeccionar q_{i+1} y q_i	2 ns
Sumar	10 ns
Restar	12 ns
Desplazar M 1 bit	2 ns
Desplazar S-HI-LO-X 2 bits	4 ns
Escribir registro HI	3 ns
Evaluar el número de ciclo actual	5 ns

- a) **(0.4 puntos)** Indique cuál sería el periodo mínimo de la señal de reloj del control secuencial y cuántos ciclos son necesarios para realizar una operación de multiplicación. Asuma que la inicialización de los registros se hace en un ciclo independiente.

$$T_{\text{ciclo}} = t_{\text{insp}} + t_{\text{despM}} + t_{\text{resta}} + t_{\text{escribirHI}} + t_{\text{desp-S-HI-LO-X 2 bits}} + t_{\text{evaluar}} = 2 + 2 + 12 + 3 + 4 + 5 = 28\text{ns}$$

$$\text{Nº de ciclos} = 1 + n/2 = 9$$

- b) **(0.2 puntos)** ¿Cuál sería la productividad que podría alcanzar dicho multiplicador?

$$X = 1/\text{retardo}$$

$$\text{Retardo} = 9 \text{ ciclos} \times T_{\text{ciclo}} = 9 \times 28\text{ns} = 252\text{ns} \rightarrow X = 3.97 \text{ MOPs}$$

- c) **(0.4 puntos)** Para el siguiente operando multiplicador, indique cuál sería la codificación de Booth y la recodificación por parejas

$$Q = 1000111101100101$$

$$\text{Booth: } -1001000-110-101-11-1$$

$$\text{Recodificación por parejas: } -2 \quad 1 \quad 0 \quad -1 \quad 2 \quad -2 \quad 1 \quad 1$$

- d) **(0.3 puntos)** Indique las acciones que debe realizar el multiplicador en el ciclo 3 (sin contar el ciclo de inicialización, que sería el ciclo 0)

$$HI \leftarrow HI - 2M$$

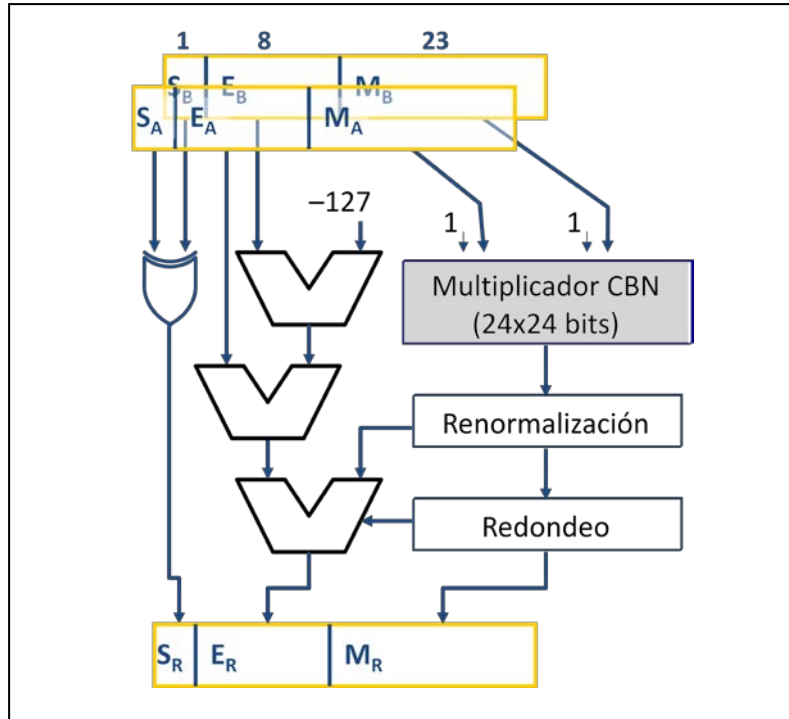
Desplazar S-HI-LO dos bits a la derecha

- e) **(0.2 puntos)** Indique cuál es la principal ventaja de este multiplicador respecto a un multiplicador secuencial para código Booth, en términos del número de ciclos necesarios.

Necesita la mitad de ciclos ($n/2$) que Booth (n) para completar la multiplicación

Por tanto el operador es más rápido y la productividad es mayor

6 (1 puntos) Conteste las siguientes preguntas sobre el operador hardware para números en coma flotante de la Figura 5:



a) (0.3 puntos) indique qué instrucción del MIPS R2000 efectúa, y el formato (SP/DP).

Mul.s \$fd, \$fs, \$ft

Multiplicación en SP (simple precisión)

b) (0.3 puntos) indique la expresión del signo del resultado S_R en función S_A y S_B . Justifíquelo.

$$S_R = S_A \oplus S_B$$

El resultado es positivo cuando los operandos tienen el mismo signo

El resultado es negativo cuando los operandos tienen distinto signo

c) (0.4 puntos) indique la expresión del exponente del resultado E_R en función de E_A y E_B . Justifíquelo.

$$E_R = E_A + (E_B - 127)$$

El exponente del producto es la suma de los exponentes: $(E_A - 127) + (E_B - 127) = (E_A + E_B) - 2 \times 127$

Aplicando el desplazamiento (+127) al exponente del resultado: $E_R = (E_A + E_B) - 127 = E_A + (E_B - 127)$

7 (1.3 puntos) Un determinado chip comercial de memoria SDRAM tiene un ancho de palabra de 64 bits y trabaja a una frecuencia de reloj de 100 MHz ($t_{\text{ciclo}} = 10\text{ns}$).

a) (0.2 puntos) Complete la siguiente tabla expresando los parámetros temporales en los ciclos de reloj correspondientes:

PARAMETRO	TIEMPO Min. (ns)	Ciclos FRECUENCIA 100MHz
t_{RCD}	18	2
t_{RAS}	42	5
t_{RC}	60	6
t_{RP}	18	2
CL	----	2

b) (0.5 puntos) Indique para el tiempo de acceso y el ancho de banda:

FRECUENCIA	TIEMPO DE ACCESO (ns) (Latencia de lectura)	ANCHO de BANDA (MBps)
100 MHz	$t_A = t_{\text{RCD}} + t_{\text{CL}} = 4 T_{\text{ciclo}} = 40\text{ns}$	$B = f \times W = 100\text{MHz} \times 8\text{B} = 800 \text{ MBps}$

c) (0.2 puntos) En una versión actualizada el mismo chip se oferta utilizando tecnología DDR3. Indique cómo afectaría esta nueva versión al tiempo de acceso y al ancho de banda. Suponga que se mantienen los mismos parámetros temporales y la misma frecuencia de trabajo.

t_A sería el mismo

B se duplicaría, pues al ser DDR se acceden a 2 palabras por ciclo

$B = MT/s \times W = 2 \times f \times W = 1600 \text{ MBps}$

d) (0.4 puntos) Complete el cronograma para el caso de hacer la lectura de dos bloques consecutivos de 4 palabras cada uno de ellos, ambos ubicados en la misma fila del chip SDRAM. Asíumase que la orden de precarga es manual.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18
Orden	ACT	Nop	RD	Nop	Nop	Nop	RD	Nop	Nop	Nop	PRE**	Nop	ACT					
Dirección	Fila		Col				Col											
Datos				X0	X1		X2	X3	Y0	Y1	Y2	Y3						

****Orden explícita de Precarga en el instante óptimo: R ciclos (4 ciclos) después de la orden de RD**

La orden de precarga cierra la fila después de la lectura del segundo bloque.

8 (1.2 puntos) A un computador basado en una CPU MIPS R2000 se le ha dotado de un primer módulo (M1) de 1GB a partir de la dirección 0x00000000. Posteriormente se le ha añadido a continuación de éste un segundo módulo (M2) de 512MB. A partir de la dirección 0x80000000 se ha incluido el módulo M3 de 256 MB de capacidad

a) (0.3 puntos) (Complétese el mapa de memoria resultante, indicando la dirección inicial y final de cada uno de los módulos, y especificando el tamaño de los espacios libres disponibles.

M1 (1GB)	0x00000000	<p>Indíquense las funciones de selección para los módulos M1 y M2 utilizando lógica negativa (0.3 puntos)</p> <div> $Cs1^* = A31 + A30$ $Cs2^* = A31 + A30^* + A29$ </div>
	0x3FFFFFFF	
M2 (512MB)	0x40000000	
	0x5FFFFFFF	
512 MB		
M3 (256 MB)	0x80000000	
	0x8FFFFFFF	
1792 MB		
	0xFFFFFFFF	

b) (0.6 puntos) El módulo M2 está constituido por una única fila de chips idénticos. Cada chip tiene una longitud de palabra de 8 bits y se organiza internamente en cuatro bancos con 4096 (2^{12}) filas cada uno.

b1) Calcule la capacidad de cada chip y el número de chips que tiene el módulo. **(0.2 puntos)**

Nº de chips = $W/8 = 32/8 = 4$
 Tamaño de cada chip = $512 \text{ MB}/4 = 128 \text{ MB}$

B2) Indique cuántas patillas de dirección tiene cada chip de memoria **(0.2 puntos)**

Organización del chip: $128 \text{ MB} = 128 \text{ Mpalabras} \times 8 \text{ bits}$
 $128 \text{ Mpalabras} = 2^{27} \text{ palabras} = \text{Bancos} \times \text{Filas} \times \text{Columnas} = 4 \times 2^{12} \times 2^{13}$
 - 13 líneas para filas/columnas multiplexadas (el máximo de f y c)
 - 2 líneas para el banco

B3) Indique cuántas líneas de selección de octeto tiene el módulo **(0.2 puntos)**

4 líneas de selección de octeto, pues el tamaño de la palabra = $W = 32 = 4B$
 $DQM3^*, DQM2^*, DQM1^*, DQM0^*$