

Apellidos y Nombre

DNI

Grupo

SOLUCIÓN

- 1 (1.5 punto)** La ruta de datos monociclo básica del procesador MIPS R2000, se ha modificado ligeramente para dar soporte a las instrucciones de saltos incondicional **j dirección** y **jr \$rs**. La Figura 1 muestra el formato de estas instrucciones, así como las acciones que llevan aparejadas cuando se ejecutan. En la Figura 2 se muestra la ruta de datos, distinguiéndose con línea discontinua el camino de datos para la ejecución de la instrucción **j** y con línea punteada el de la instrucción **jr**.

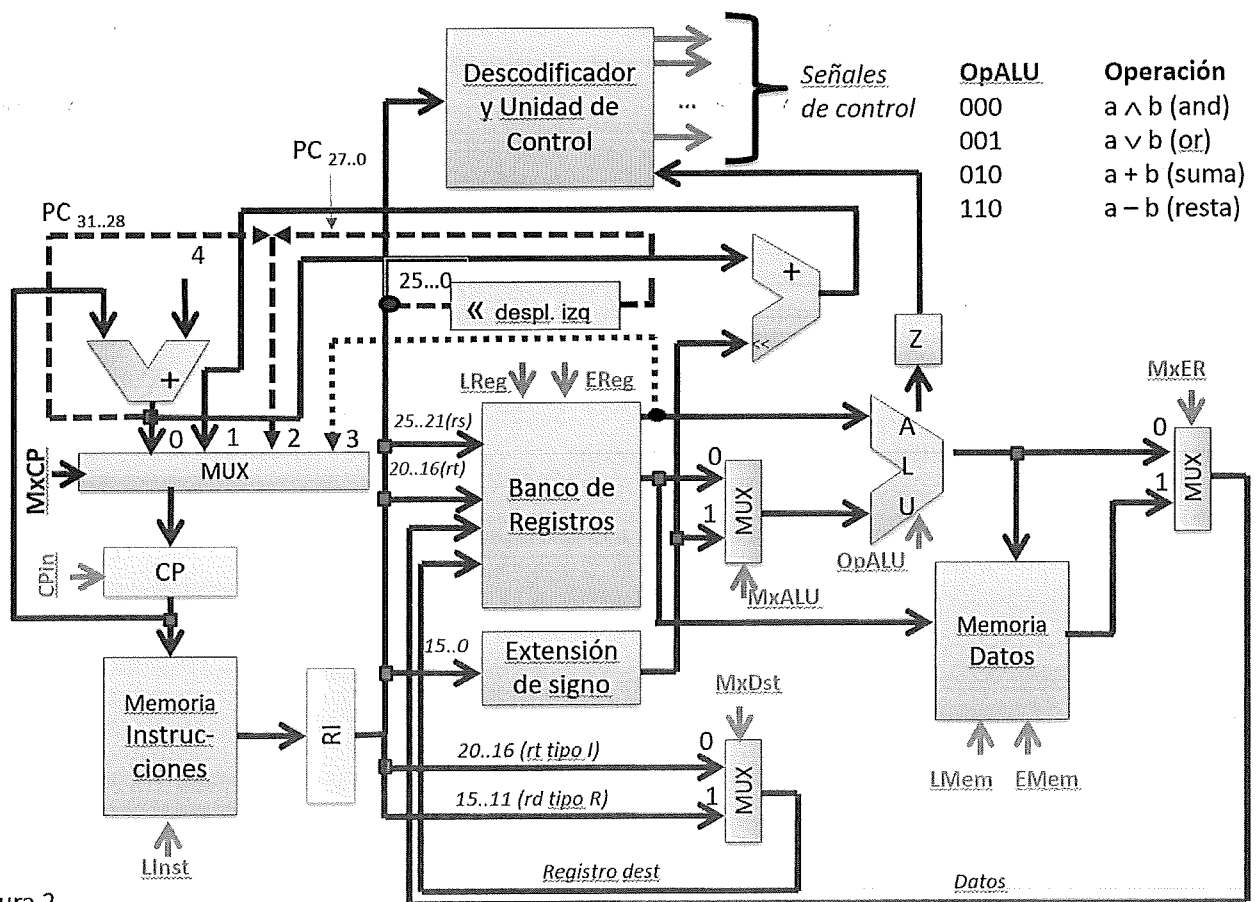
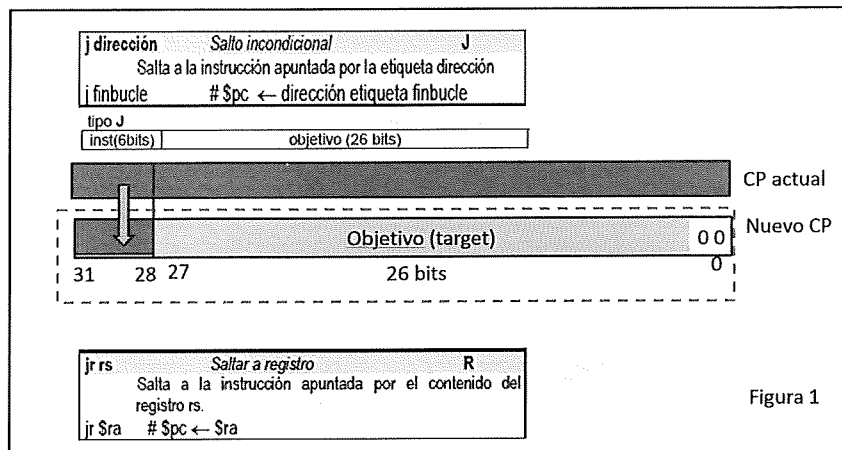


Figura 2

- a) (0.75 puntos) Obsérvese que ahora es necesario un nuevo multiplexor a la entrada del CP para discriminar entre cuatro posibles valores de éste. Diseñe la nueva señal de control de este multiplexor MxCP para que puedan ejecutarse las instrucciones básicas y las nuevas. Rellene para ello la tabla adjunta.

Instrucción/es	Valor señal MxCP (binario)
add, and, or, sub	00
lw	00
sw	00
beq	02
j	10
jr	11

- b) (0.75 puntos) Rellene la siguiente tabla de señales de control, correspondiente a la unidad de control del procesador. Utilice los valores de la señal MxCP definidos en el apartado anterior:

Instrucción	Form	EReg	OpALU	LMem	EMem	MxCP	MxALU	MxDst	MxER
sub rd, rs, rt	R	1	110	0	0	00	0	1	0
lw rt, desp(rs)	I	1	010	1	0	00	1	0	1
sw rt, desp(rs)	I	0	010	0	1	00	1	X	X
beq rs, rt, etiq	I	0	110	0	0	02	0	X	X
j dirección	R	0	xxx	0	0	10	X	X	X
jr \$rs	J	0	xxx	0	0	11	X	X	X

- 2 (1.5 puntos) En la ruta de datos anterior, suponga que las operaciones en memoria conllevan 30 ns, leer y escribir en el banco de registros 10 ns y operar en la ALU 15 ns. Suponga que el resto de elementos tienen un retardo despreciable. Indique, justificando SIEMPRE la respuesta:

- a) (0.3 puntos) La máxima frecuencia de reloj a la que puede trabajar este procesador.

$$T_{\text{monociclo}} = t_M + t_R + t_{\text{ALU}} + t_{\text{MD}} + t_R = 95 \text{ ns}$$

$$F_{\text{req}} = \frac{1}{95} = 10,52 \text{ MHz}$$

Para aumentar la productividad este procesador se segmenta en las 5 etapas vistas en clase (LI, DI, EX, M, ER). Asumiendo que el retardo de los registros de segmentación es de 2ns, se pide:

b) (0.3 puntos) Ciclo de reloj del procesador segmentado.

$$\tau = t_{\max} + t_{\text{reg}} = 30 + 2 = 32 \mu\text{s}$$

c) (0.3 puntos) Productividad máxima del procesador segmentado

$$P_{n \rightarrow \infty} \rightarrow \frac{1}{\tau} = \frac{1}{32} = 31,25 \text{ MIPS}$$

d) (0.2 puntos) Aceleración máxima respecto del procesador original monociclo y aceleración ideal.

$$S_{\max} \rightarrow \frac{T_{\text{monociclo}}}{\tau} = \frac{95}{32} = 2,96$$

$$S_{\text{ideal}} \rightarrow K = 5$$

e) (0.2 puntos) Suponga que se decide supersegmentar el procesador, dividiendo las etapas LI y M en dos subetapas de 15 ns (LI1, LI2, DI, EX, M1, M2, ER) y utilizar registros con un tiempo de retardo de 1 ns. ¿Cuál será la nueva frecuencia de reloj para esta nueva versión del procesador?

$$\tau_{\text{supersegmentado}} = t_{\max} + t_{\text{reg}} = 15 + 1 = 16 \text{ ns}$$

$$F = \frac{1}{16} = 62,5 \text{ MHz}$$

f) (0.2 puntos) Compare el tiempo requerido en el procesador segmentado y en el supersegmentado para ejecutar 10000 instrucciones. Incluya en los cálculos los ciclos de llenado inicial del pipeline. Suponga que no hay conflictos.

$$T_1 = (K + n - 1) \tau = (10000 + 4) \cdot 32 = 320128 \text{ ns} = 320,128 \mu\text{s}$$

$$T_{\text{supers.}} = (K + n - 1) \cdot \tau = (10000 + 6) \cdot 16 = 160096 \text{ ns} = 160,096 \mu\text{s}$$

- 3 (1 punto)** En el procesador segmentado con 5 etapas del ejercicio anterior se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000. Asuma que se utiliza inserción de ciclos de parada tanto para solucionar los conflictos por dependencias de datos como los riesgos de control. La latencia de salto para este procesador es de 2 ciclos.

```

(1)          addi $t1, $zero, 4
(2)   bucle:  lw $t2, 0($t0)
(3)          addi $t0, $t0, -4
(4)          sub $t2, $t2, $t3
(5)          addi $t1, $t1, -1
(6)          sw $t2, 0($t4)
(7)          bne $t1, $zero, bucle
(8)          andi $t3, $t3, 1000

```

- a) (0.25 puntos) Identifique los conflictos por dependencia de datos que se producen en dicho código. Rellene para ello la tabla siguiente utilizando tantas filas como necesite:

	Registro	Número de instrucción en que se escribe	Número de instrucción en que se lee
Riesgo 1	\$t2	2	4
Riesgo 2	\$t2	4	6
Riesgo 3	\$t1	5	7
Riesgo 4			
Riesgo 5			

- b) (0.25 puntos) Complete el diagrama instrucciones tiempo para este fragmento de código reflejando lo que ocurre en la última pasada del bucle

Instrucción/ciclo	x	x+1	x+2	x+3	x+4	x+5	x+6	x+7	x+8	x+9	x+10	x+11	x+12	x+13	x+14	x+15	x+16	x+17	x+18	x+19
lw	LI	DI	EX	M	ER															
addi		LI	DI	EX	M	ER														
sub			LI	DI	DI	EX	M	ER												
addi				LI	LI	DI	EX	M	ER											
sw						LI	DI	DI	EX	M	ER									
bne							LI	LI	DI	EX	M	ER								
andi									•	•	LI	DI	EX	M	ER					

- c) (0.25 puntos) Indique para dicho código, justificando siempre los valores:

Número total de instrucciones ejecutadas (I)	$1 + 6 * 4 + 1 = 26$
Número de ciclos totales de parada (P)	$(2_{\text{datos}} + 2_{\text{control}}) * 4 = 16$
Número de ciclos totales de ejecución (T)	$26 + 16 + 4 = 46$
CPI (indique las operaciones realizadas para el cálculo)	$CPI = \frac{46 - 4}{26} = 1,61$

- d) (0.25 puntos) A la vista de cómo se ejecuta este código ¿se podría utilizar una técnica más eficiente para resolver el conflicto de control existente? Indique brevemente qué técnica y porqué mejoraría.

Se podría utilizar la técnica de medición de salto efectivo (predict taken). Permitiría reducir los ciclos de parada por el riesgo de control de 8 a 2

- 4 (1 punto)** En la Figura 3 se muestra un operador de suma para tres números binarios sin signo de 4 bits (A, B y C). Cada sumador completo, FA (Full Adder), está implementado como los estudiados en clase, de modo que el retardo de la señal de acarreo es de 2 niveles de puertas y la señal de suma de 3 niveles de puertas. El resultado de la operación tendrá 5 bits, y un bit de acarreo.

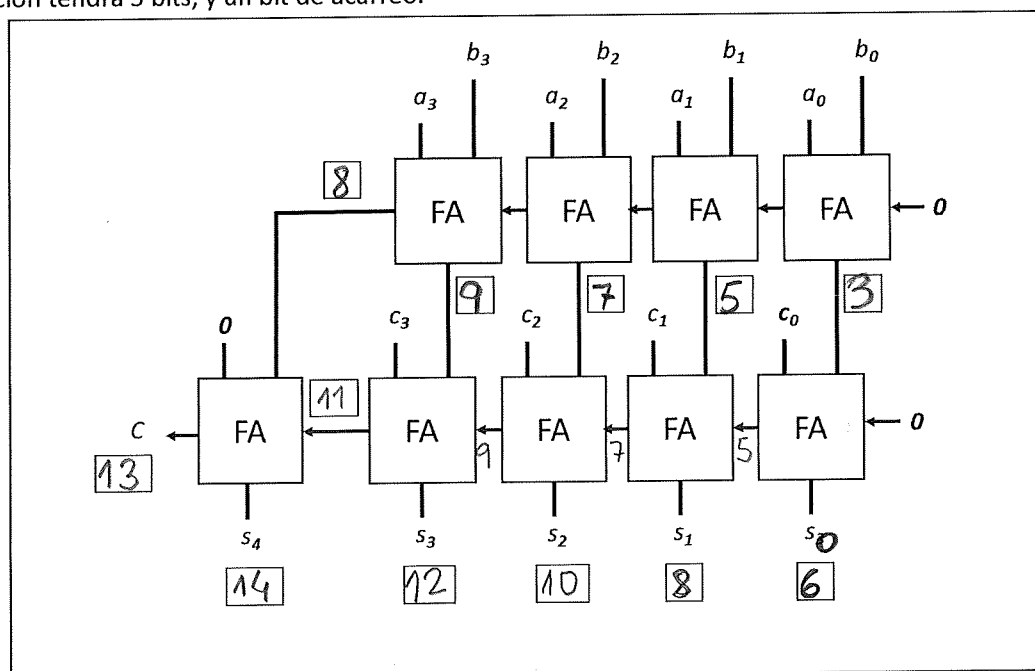


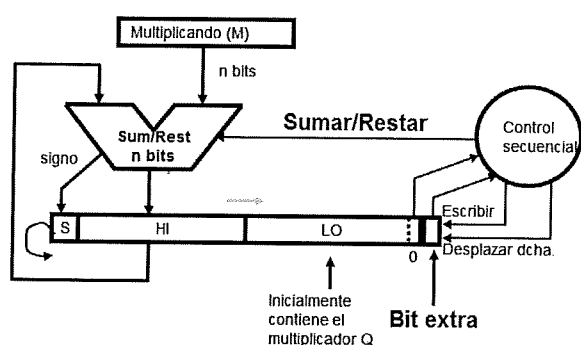
Figura 3. Circuito sumador para tres valores de 4 bits.

- a) **(0.6 puntos)** Indique sobre el dibujo los retardos en las diferentes señales del circuito, en función del retardo de puerta T. Asuma que todas las entradas del circuito (A, B y C) llegan en el mismo instante de tiempo (así como las entradas que están permanentemente a cero).
- b) **(0.4 puntos)** Indique el tiempo total de operación del circuito (en ns) y su productividad (en MOPS). Asuma por simplicidad que todas las puertas lógicas empleadas tardan  $T=2\text{ns}$ . Justifique las respuestas.

$$T = 14 * T = 14 * 2 = 28 \text{ ns}$$

$$P = \frac{1 \text{ operación}}{28 \text{ ns}} \Rightarrow 35,714 \text{ MOPS}$$

- 5 (1 punto) Se dispone de un circuito multiplicador secuencial basado en el **algoritmo de Booth** para números enteros de 8 bits tal y como se muestra en la Figura 4. Supóngase que el retardo de las diferentes operaciones involucradas en la multiplicación es el que se indica en la tabla adjunta:



Inicializar registros y circuito de control	14 ns
Inspeccionar $q_i, q_{i-1}$	2 ns
Sumar y actualizar HI	10 ns
Restar y actualizar HI	12 ns
Desplazar S-HI-LO-X 1 bit	4 ns
Evaluar el número de ciclo actual	1 ns

Figura 4. Multiplicador secuencial para el algoritmo de Booth y tabla de retardos de las operaciones

- a) (0.6 puntos) Indique cuál sería el periodo mínimo de la señal de reloj del control secuencial, cuántos ciclos son necesarios para realizar una operación de multiplicación y tiempo de operación de este circuito. Asuma que la inicialización de los registros se hace en un ciclo independiente. Justifique la respuesta.

Periodo= 19 ns

Número de ciclos = 1 + 8 = 9 ciclos

Tiempo de operación = 9 \* 19 ns = 171 ns

- b) (0.4 puntos) ¿Cuál sería la productividad que podría alcanzar dicho multiplicador, en MOPS? Justifique la respuesta.

$$P = \frac{1 \text{ operación}}{171 \text{ ns}} \Rightarrow 5,85 \text{ MOPS}$$

- 6 (1 punto)** Dada la siguiente secuencia de instrucciones en un lenguaje de alto nivel. Complete el recuadro de la derecha con el código del ensamblador MIPS que permite realizar dicha tarea.

int A = -3	.data 0x10000000
float x = 5.4	A: .word -3
float y = 1.34	x: .float 5.4
	y: .float 1.34
	.text 0x00400000
x = y + (float) A	_start:
	lwc1 \$f4, A
	cvt.s.w \$f4, \$f4
	lwc1 \$f6, Y
	add.s \$f4, \$f4, \$f6
	swc1 \$f4, x

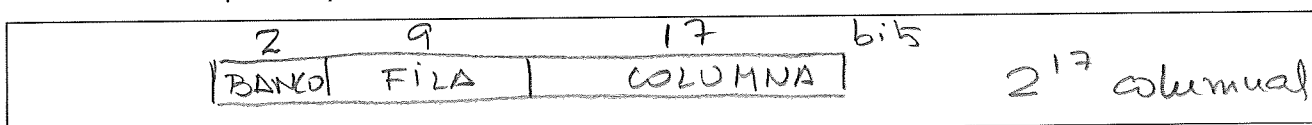
- 7 (1.5 puntos)** Un módulo M1 estándar (64 bits) de memoria utilizado en un procesador de 64 bits está implementado mediante chips comerciales de memoria DDR-SDRAM cuyo ancho de palabra es de 8 bits. La capacidad del módulo es de 2GB.

- a) (0.5 puntos) Se observa externamente que el módulo solo tiene una fila de chips. ¿De qué capacidad será cada uno de ellos? Justifique la respuesta.

$$\frac{2GB}{8} = 2^{28} \text{ palabras} \rightarrow M1 = 256M \times 64 \text{ bits en una fila}$$

$$\text{chip} = 256M \times 8 \text{ bits}$$

- b) (0.25 puntos) Los chips indicados tienen 4 bancos, y se sabe que hay 512 filas. ¿Cuántas columnas tendrá cada banco? Justifique la respuesta.



- c) (0.25 puntos) ¿Cuántas patillas para las direcciones (A<sub>i</sub>) tendrá cada chip? Justifique la respuesta

$$\text{direc.} = \max(\text{filas}, \text{col})$$

$$\rightarrow 17 \text{ patillas}$$

- d) (0.25 puntos) Y el módulo M1 ¿cuántas líneas DMQ<sub>i</sub> tendrá? Justifique la respuesta.

$$8 \text{ una por byte} \rightarrow 64 \text{ bits} = 8 \text{ bytes}$$

$$DMQ_7 \dots DMQ_0$$

- e) (0,25 puntos) Si la frecuencia del bus del sistema es 1.2GHz. ¿Cuál sería el ancho de banda de cada chip? ¿y el del módulo M1? Justifique la respuesta

$$\text{Chip (GBps)} = 2 * f * 1 \text{ byte} = 2 * 1,2 = 2,4 \text{ GBps}$$

$$\text{Módulo M1 (GBps)} = 2 * f * 8 \text{ bytes} = 2 * 1,2 * 8 = 19,2 \text{ GBps}$$

- 8 (1,5 puntos) A un computador de 64 bits, con 34 bits para las direcciones, se le ha dotado de un primer módulo M1 de 2GB a partir de la dirección 0 y otro módulo M2 de igual tamaño al final del mapa de direcciones.

- a) (0.5 puntos) Complete las direcciones inicial y final de cada módulo

Módulo M1		Módulo M2	
Dirección Inicial	Dirección final	Dirección Inicial	Dirección final
0x00000000	0x07FFFFFF	0x38000000	0x3FFFFFFF
Función de selección a nivel bajo:		Función de selección a nivel bajo:	
$\overline{\text{Sel}}_{M1} = a_{33} + a_{32} + a_{31}$		$\overline{\text{Sel}}_{M2} = \overline{a_{33}} + \overline{a_{32}} + \overline{a_{31}}$	

- b) Si el tamaño de un bloque de memoria tiene 8 palabras.

- b1) (0.5 puntos) Indique para este computador qué líneas se emiten por el bus del sistema, para las direcciones y para la selección de los bytes.

Selección de byte  $\rightarrow a_2 a_1 a_0$   
 Direcciones  $\rightarrow a_{33} \dots a_3$

- b2) (0.5 puntos) Suponga que la temporización de los chips DDR-SDRAM es  $C_L - t_{\text{rcd}} - t_{\text{ras}} - t_{\text{rp}} = 3-3-5-3$ . Rellene sobre el casillero siguiente las órdenes a realizar para leer dos bloques enteros consecutivos, almacenados en la misma fila. La precarga no es automática.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27
Orden	A			L1				L2				PRE															
Dirección	F			C				C																			
Datos								$x_0/x_1$	$x_2/x_3$	$x_4/x_5$	$x_6/x_7$	$y_0/y_1$	$y_2/y_3$	$y_4/y_5$	$y_6/y_7$												
								$B_x$				$B_{x+1}$															