

Apellidos y Nombre

DNI

Grupo

**SOLUCIÓN**

**NOTA IMPORTANTE:** puesto que el uso de la calculadora está permitido durante este examen, todos los cálculos deberán llegar hasta su valor final y deberán incluir las unidades en que se expresan

**1 (2 puntos)** La figura 1 muestra la ruta de los datos monociclo básica del procesador MIPS R2000, vista en clase.

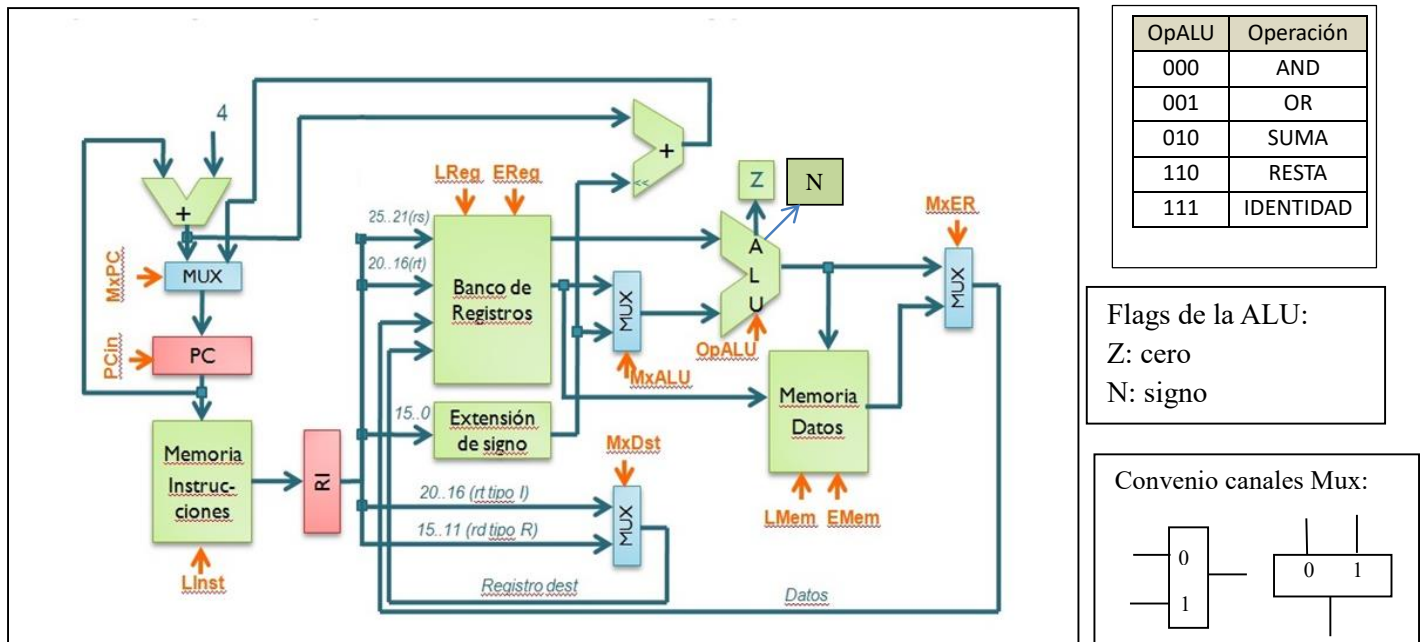


Figura 1. Ruta de los datos monociclo vista en el tema 1

a) **(1 punto)** Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se detallan. Si hay alguna instrucción que no se puede ejecutar, indíquelo.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxALU	MxDst	MxER	MxPC
sub rd,rs,rt	R	1	110	0	0	0	1	0	0
lw rt, desp(rs)	I	1	010	1	0	1	0	1	0
beq rs, rt, etiq	I	0	110	0	0	0	X	X	Z
sw rt, desp(rs)	I	0	010	0	1	1	X	X	0
j dirección	J	-	-	-	-	-	-	-	-

La instrucción j no se puede ejecutar en la ruta de datos de la figura 1. No tiene el circuito que calcula la dirección de salto.

b) **(0,5 puntos)** Se quiere ejecutar la instrucción de salto condicional:

**bltz rs, etiqueta # salto si rs es menor que 0**

000111	RS	00000	Despl (16)
--------	----	-------	------------

Rellene la tabla con las señales de control necesarias.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxALU	MxDst	MxER	MxPC
<b>bltz rs, etiqueta</b>	<b>I</b>	<b>0</b>	<b>111</b>	<b>0</b>	<b>0</b>	<b>X</b>	<b>X</b>	<b>X</b>	<b>N</b>

- c) **(0.5 puntos)** Sabiendo que los retardos de los principales componentes son: memoria (25ns), banco de registros (15ns), ALU (30ns), y el resto de los retardos es despreciable, indique la frecuencia y la productividad máxima del procesador monociclo.

$$\begin{aligned} T_{\text{ciclo}} &= \text{duración de la instrucción más larga} = lw \\ T_{\text{ciclo}} &= \sum \tau_i = 25+15+30+25+15 = 110\text{ns} \\ f &= 1/T_{\text{ciclo}} = 1000/110 \text{ MHz} = 9.09 \text{ Mhz} \\ X_{\text{max}} &= 1 \text{ instrucción/ciclo} = 9.09 \text{ MIPS} \end{aligned}$$

- 2 (1 punto)** Suponga que se SEGMENTA el procesador anterior, con el objetivo de aumentar su rendimiento. Si el retardo de los registros de segmentación es de 2ns, se pide:

- a) **(0,25 puntos)** Frecuencia de reloj a la que puede trabajar el procesador segmentado y productividad máxima que podrá alcanzar (en MIPS).

$$\begin{aligned} T_{\text{ciclo}} &= \max(\tau_i) + t_R = 30 + 2 = 32\text{ns} \\ f &= 1/T_{\text{ciclo}} = 1000/32 \text{ Mhz} = 31.25 \text{ Mhz} \\ X_{\text{max}} &= 1 \text{ instrucción/ciclo} = 31.25 \text{ MIPS} \end{aligned}$$

- b) **(0,25 puntos)** Tiempo que tardará el procesador segmentado en ejecutar 10 instrucciones (en ns).

$$T = (I+K-1) T_{\text{ciclo}} = (10+5-1) 32 = 448 \text{ ns}$$

- c) **(0,25 puntos)** Aceleración máxima que podrá alcanzar el circuito segmentado respecto al NO-segmentado.

$$S_{\text{max}} = T_{\text{ciclo\_NS}}/T_{\text{ciclo\_S}} = 110\text{ns}/32\text{ns} = 3.4 \text{ (sin unidades)}$$

- d) **(0,25 puntos)** Suponga que se recurre a la técnica de **supersegmentación** para aumentar todavía más el rendimiento del procesador. Para ello se subdivide la etapa EX en 2 sub-etapas de 15ns cada una. Calcule la productividad máxima que podrá alcanzar (en MIPS).

$$\begin{aligned} T_{\text{ciclo}} &= \max(\tau_i) + t_R = 25 + 2 = 27\text{ns} \\ X_{\text{max}} &= 1 \text{ instrucción/ciclo} = 1/27\text{ns} = 37 \text{ MIPS} \end{aligned}$$

**3 (1.25 punto)** En el procesador segmentado en cinco etapas, semejante al estudiado en la asignatura, se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000.

```
(1)      lw $2,0($4)
(2)      beq $2,$3, etiqueta
(3)      add $1,$2,$3
(4)      sub $4,$1,$3
(5)      lw $5,100($4)
(6)      sw $5,50($4)
(7)      ...
(8)  etiqueta: ...
```

	Registro	instrucción en que se escribe	instrucción en que se lee
Conflicto	\$2	1	2
Conflicto	\$4	4	5
Conflicto	\$1	3	4
Conflicto	\$5	5	6
Conflicto			
Conflicto			

Tabla 1. Conflictos de datos

- a) **(0,25 puntos)** Indique los conflictos por dependencias de datos que existen en este código utilizando la Tabla 1 (el número de conflictos no tiene por qué ser igual al número de filas)
- b) **(0,5 puntos)** Rellene el diagrama de instrucciones/tiempo suponiendo que el salto NO tiene lugar. Considere que los conflictos de datos se resuelven mediante paradas y los de control se resuelven mediante inserción de instrucciones NOP. La **latencia de salto es 2**.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
lw \$2,0(\$4)	LI	DI	EX	M	ER															
beq \$2,\$3, etiqueta		LI	.	.	DI	EX	M	ER												
NOP					LI	DI	EX	M	ER											
NOP						LI	DI	EX	M	ER										
add \$1,\$2,\$3							LI	DI	EX	M	ER									
sub \$4,\$1,\$3								LI	.	.	DI	EX	M	ER						
lw \$5,100(\$4)											LI	.	.	DI	EX	M	ER			
sw \$5,50(\$4)														LI	.	.	DI	EX	M	ER
...																				

- c) **(0,5 puntos)** Rellene el diagrama de instrucciones/tiempo suponiendo que el salto NO tiene lugar y considerando que los conflictos de control se resuelven mediante **predicción de salto NO efectivo**. Los conflictos de datos se siguen resolviendo mediante paradas.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
lw \$2,0(\$4)	LI	DI	EX	M	ER															
beq \$2,\$3, etiqueta		LI	.	.	DI	EX	M	ER												
add \$1,\$2,\$3					LI	DI	EX	M	ER											
sub \$4,\$1,\$3						LI	.	.	DI	EX	M	ER								
lw \$5,100(\$4)									LI	.	.	DI	EX	M	ER					
sw \$5,50(\$4)												LI	.	.	DI	EX	M	ER		
...																				

- 4 (1.25 puntos)** Se pretende diseñar un sumador rápido de 16 bits. Considere el circuito de la figura 2, correspondiente a un sumador CSA (Carry-Select Adder) con tamaño de bloque variable: 2-2-3-4-5. Asuma que los FA (Full Adder) se diseñan con puertas lógicas y los retardos son: 3ns (suma) y 2ns (acarreo). Suponga que los multiplexores tienen un retardo de 2 ns.

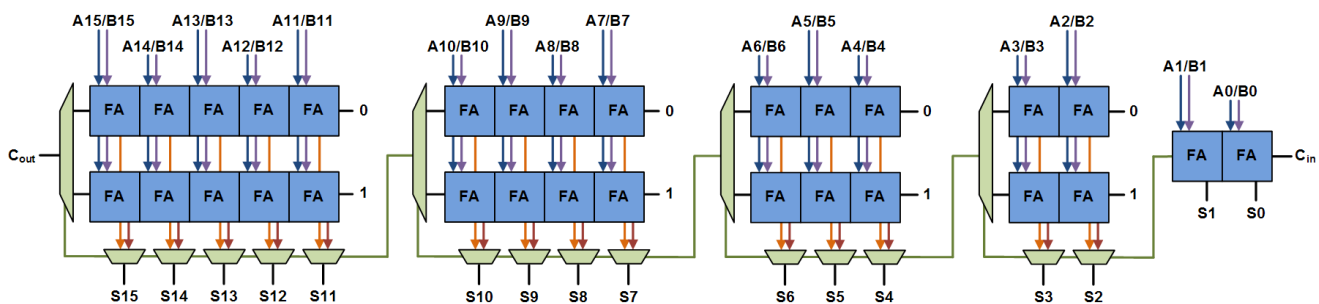


Figura 2. CSA de 16 bits con tamaño de bloque variable 2-2-3-4-5

- a) **(0,5 puntos)** Indique el retardo (en ns) de las siguientes señales: S1, S3, S6, S10, S15, Cout.

S1: 5ns  
 S3: 7ns  
 S6: 9ns  
 S10: 11ns  
 S15: 13ns  
 Cout: 12ns

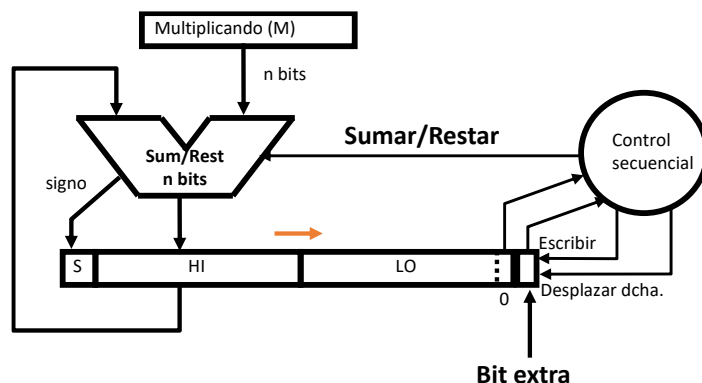
- b) **(0,25 puntos)** Calcule la productividad máxima del sumador en MOPS.

$$X = 10^9 / 13 \text{ ns} = (1000 / 13) \text{ MOPS} = 76.9 \text{ MOPS}$$

- c) **(0,5 puntos)** Compare el retardo con el de un CPA (Carry-Propagate Adder) de 16 bits. Justifique brevemente la respuesta.

**Retardo CPA 16 bits:**  
 $(2n+1) T_p = 33 T_p = 33ns$

- 5 (1 punto)** Considere el operador de multiplicación secuencial para números enteros con signo que se muestra en la figura 3. Supóngase que el retardo de las diferentes operaciones involucradas en la multiplicación es el que se indica en la tabla adjunta. Asuma que la inicialización de los registros se hace en un ciclo independiente.



Inicializar registros y circuito de control	3 ns
Inspeccionar $q_i$ y $q_{i-1}$	1 ns
Sumar	9 ns
Restar	10 ns
Desplazar S-HI-LO-X 1 bit	3 ns
Escribir registro HI-S	2 ns
Evaluar el número de ciclo actual	1 ns

**Figura 3** Multiplicador secuencial para números enteros

- a) **(0,25 puntos)** Suponiendo que el multiplicador es el número de 8 bits 0111 0011, obtenga el código de Booth correspondiente.

**0 1 1 1 0 0 1 1 | 0  $\rightarrow$  +1 0 0 -1 0 +1 0 -1**

- b) **(0,25 puntos)** ¿Cuál sería el mínimo periodo aplicable a la señal de reloj? Considere que la inicialización se hace un ciclo independiente.

**Tciclo = Inspección + Restar + Escribir HI + Desplazar + Evaluar fin = 1 + 10 + 2 + 3 + 1 = 17 ns**

- c) **(0,25 puntos)** ¿Cuál sería la productividad que podría alcanzar dicho multiplicador expresado en MOPS?

**Top = (8 + 1) \* Tciclo = 9 \* 17 ns = 153 ns**

**$\chi = 1 / Top = 1000 / 153 \text{ MOPS} = 6,5 \text{ MOPS}$**

- d) **(0,25 puntos)** Rellene la tabla siguiente con las acciones requeridas en los primeros 4 ciclos (sin considerar el ciclo de inicialización) para realizar la multiplicación de M y Q siendo estos valores M= -115 (10001101<sub>2</sub>) y Q = 115 (0111 0011<sub>2</sub>). Nótese que no se pide el valor de los registros.

**-115 = 10001101 y Q= 115 = 0111 0011 luego**

**Q<sub>Booth</sub> = +1 0 0 -1 0 +1 0 -1**

Ciclo	Acción
1	HI = HI - M
	Desplazar S-HI-LO 1 bit
2	No hacer nada
	Desplazar S-HI-LO 1 bit

3	HI = HI + M
	Desplazar S-HI-LO 1 bit
4	No hacer nada
	Desplazar S-HI-LO 1 bit

**6 (1 punto)** Se pretende emular por software **utilizando exclusivamente instrucciones de enteros** el cambio de signo de un real de 64 bits, correspondiente a la instrucción del MIPS *neg.d destino, origen*

Suponga el siguiente caso, en el que el número real se encuentra en memoria:

```
double x = 1.0;
x = -x;
```

Escriba el código correspondiente:

```
.data 0x10000000
X:.double 1.0
.text 0x00400000
__start:
la $4, X
lw $5, 4($4)
lui $6, 0x8000
xor $5, $5, $6
sw $5, 4($4)
.end
```

**7 (2.5 puntos)** Un computador dispone de un procesador de 64 bits que es capaz de direccionar hasta 64 GB. Se le conectan los módulos de memoria siguientes: M1 de 2GB a partir de la dirección 0x200000000, M2 ubicado de la dirección 0x800000000 - 0x9FFFFFFF y finalmente M3 de 512MB ubicado en las direcciones superiores del mapa de memoria.

a) **(0.25 puntos)** ¿Cuál será la dirección final del módulo M1 expresadas en hexadecimal?

Tamaño de M1 2GB =  $2^{31}$  B → Se precisan 31 bits para direccionarlo

Dirección Inicial: 0x200000000 Dirección final: 0x27FFFFFFF

b) **(0.25 puntos)** ¿Cuál será el tamaño de M2? ¿Cuál será la función para seleccionar M2 suponiendo que se activa por nivel alto?

El tamaño de M2 es de 8 GB

Si CS es activo por nivel alto:  $CS\_M2 = A35.A34*.A33*$

El módulo M3 de 512MB está compuesto por una única fila de chips de memoria del tipo SDRAM-DDR3-2000 con ancho de palabra 4 bits y conectados a un reloj de 1000MHz.

- c) **(0.25 puntos)** Indique el número de chips de M3 y la capacidad de cada chip.

64 bis ancho palabra procesador/4 bits ancho palabra chip = 16 chips

M2 tiene una capacidad de 512MB y está compuesto por 16 chips

512MB / 16 chips = 32 MB es la capacidad de cada chip → 32MB = 256Mbits = 64 M palabras x 4 bits

- d) **(0.25 puntos)** Indique el ancho de banda de M3 y el de cada uno de sus chips

Ancho\_Banda\_M3 = 1000 MHz x 8 B x 2 = 16000 MBps = 16 GBps

Ancho\_Banda\_Chip = 1000 MHz x 0,5 B x 2 = 1000 MBps = 1 GBps

- e) **(0.25 puntos)** ¿Cuántas líneas DQM<sub>i</sub> (selección de octeto) tendrá M3? ¿A cuántos chips se conectará cada una de estas líneas en M3? Justificar la respuesta

8 líneas, una por cada byte: DQM0\*, DQM1\*, DQM2\*, DQM3\*, DQM4\*, DQM5\*, DQM6\*, DQM7\*

Cada línea se conecta a 2 chips para seleccionar 8bits (cada chip solo proporciona 4 bits).

Cada uno de los chips de M3 tiene las especificaciones temporales siguientes: CL - t<sub>RCD</sub> - t<sub>RP</sub> - t<sub>RAS</sub> - t<sub>RC</sub>: 3-4-2-5-8. Además, está organizado internamente en 4 bancos de 8 K filas, siendo el tamaño de bloque de 4 palabras.

- f) **(0.25 puntos)** ¿Cuál será el tiempo de acceso del chip expresado en nanosegundos?. Justifique la respuesta

tciclo = 1 / 1000 MHz = 1 ns

tacceso = (t<sub>RCD</sub> + CL) x tciclo = (4 + 3) x 1 ns = 7 ns

- g) **(0.50 puntos)** Complete la siguiente tabla con la información del chip. Utilice, donde sea apropiado, los prefijos habituales, como por ejemplo “18 K palabras” o “2 MB”.

Número de palabras que contiene el chip	64 M palabras = $2^{26}$ palabras
Número de bits para seleccionar banco	$\log_2 \text{Num\_Bancos} = \log_2 4 = 2$ bits
Número de bits para seleccionar una fila	8 K = $2^{13} \rightarrow 13$ bits
Número de bits para seleccionar un bloque	Num_bloques = 64 M / 4 = 16 M bloques $\log_2 2^{24} = 24$ bits
Capacidad en bytes de cada banco	64 M * 4 bits / 4 bancos = 64 Mbits = 8 MB
Capacidad en bytes de cada fila de un banco	8 MB cada banco / 8 K filas = 1 KB

Número de columnas que contiene una fila	1 KB * 8 bits/ (4 bits) = 2K columnas
--	---------------------------------------

- h) **(0.5 puntos)** ¿Cuántos ciclos se necesitan para leer dos bloques de distintas filas?. Suponga precarga automática en el momento óptimo (indique cuando se produciría). Justifíquelo en el cronograma asociado indicando las órdenes, direcciones y datos.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27
Orden	ACT				RD		PRE		ACT				RD		PRE												
Dirección	Fila1				Col1				Fila2				Col2														
Datos								W0W1 W2W3								W0W1 W2W3											