

2 (1 punto) En la ruta de datos anterior, asúmase que las operaciones en memoria conllevan 10 ns, leer y escribir en el banco de registros 6 ns y operar en la ALU 8 ns. Indíquese, justificando SIEMPRE la respuesta:

a) (0.2 puntos) La máxima frecuencia de reloj a la que puede trabajar este procesador.

$$\text{lw} \rightarrow \text{instrucción mas lenta} \quad t = t_M + t_R + t_{ALU} + t_M + t_R = 40 \text{ ns}$$

$$f = 1/40 = 25 \text{ MHz}$$

Para aumentar la productividad este procesador se segmenta en las 5 etapas vistas en clase (LI, DI, EX, M, ER). La duración de las etapas con acceso a memoria es de 10 ns, las de decodificación y escritura en registros 6 ns y la de ejecución 8 ns. Asuma que los registros de segmentación introducen un retardo de 6 ns. Indique:

b) (0.2 puntos) Frecuencia de reloj del procesador segmentado.

$$\text{Etapa más lenta } M = 10 \text{ ns} \rightarrow \tau = 10 + t_r = 16 \text{ ns}$$

$$f = 1/16 = 62.5 \text{ MHz}$$

c) (0.2 puntos) Productividad máxima que puede llegar a ofrecer

$$P_{\max} \quad n \rightarrow \infty \quad P_{\max} = 1 \text{ inst/ciclo} = 62.5 \text{ Mips}$$

d) (0.2 puntos) Aceleración máxima respecto del procesador original monociclo

$$S_{n \rightarrow \infty} = \frac{T_{\text{monociclo}}}{T_{\text{seg}}} = \frac{40}{16} = 2.5$$

e) (0.2 puntos) Suponiendo que se rediseña como un procesador superescalar de grado 4 (4 vías), cuyos cauces segmentados son similares al especificado en el enunciado ¿qué tiempo se requeriría para ejecutar 80000 instrucciones libres de conflictos y riesgos en dicho procesador?

$$4 \text{ vías} \rightarrow 4 \text{ inst. simultáneas} \quad \text{CPI} = 0.25$$

$$T_{\text{ej}} = I * \text{CPI} * \tau = 80.000 * 0.25 * 16 = 320 \mu\text{s}$$

3 (1.5 puntos) En el procesador segmentado según el ejercicio anterior se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000.

```
(1)   bucle:   lw $t2, 0($t1)
(2)               add $t2, $t2, $t3
(3)               addi $t3, $t3, -2
(4)               sw $t2, 0($t1)
(5)               addi $t1, $t1, 4
(6)               addi $t0, $t0, -1
(7)               bne $t0, $zero, bucle
(8)               sub $t4, $t4, $t5
```

a. (0.25 puntos) Indique los riesgos por dependencias de datos que existe utilizando la tabla siguiente:

- a. (0.25 puntos) Indique los riesgos por dependencias de datos que existe utilizando la tabla siguiente:

	Registro	instrucción en que se escribe	instrucción en que se lee
Riesgo 1	\$t2	(1)	(2)
Riesgo 2	\$t2	(2)	(4)
Riesgo 3	\$t0	(6)	(7)
Riesgo 4			

- b. (0.75 puntos) Asuma que los conflictos por dependencias de datos se solucionan mediante la inserción de ciclos de parada, así como los riesgos de control. Teniendo en cuenta que para este procesador la latencia de salto es 2 y que el salto NO se produce, complete el diagrama instrucciones/ciclo

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
lw	LI	DI	EX	M	ER																		
add		LI	.	.	DI	EX	M	ER															
addi					LI	DI	EX	M	ER														
sw						LI	.	DI	EX	M	ER												
addi								LI	DI	EX	M	ER											
addi									LI	DI	EX	M	ER										
bne										LI	.	.	DI	EX	M	ER							
sub													.	.	LI	DI	EX	M	ER				

- c. (0.5 puntos) Indique para dicho código:

Número de Instrucciones ejecutadas (I)	8
Número de ciclos de parada (P)	5 + 2 salto = 7
Número de ciclos totales de ejecución (T)	19
CPI	$19 - 4 / 8 = 1.875$

- 4 (2 puntos) Se dispone de circuitos sumadores con propagación de acarreo (CPA) para números de 4 bits, basados en sumadores completos (FA) como los estudiados en clase, y cuyo detalle se muestra en la figura 3.

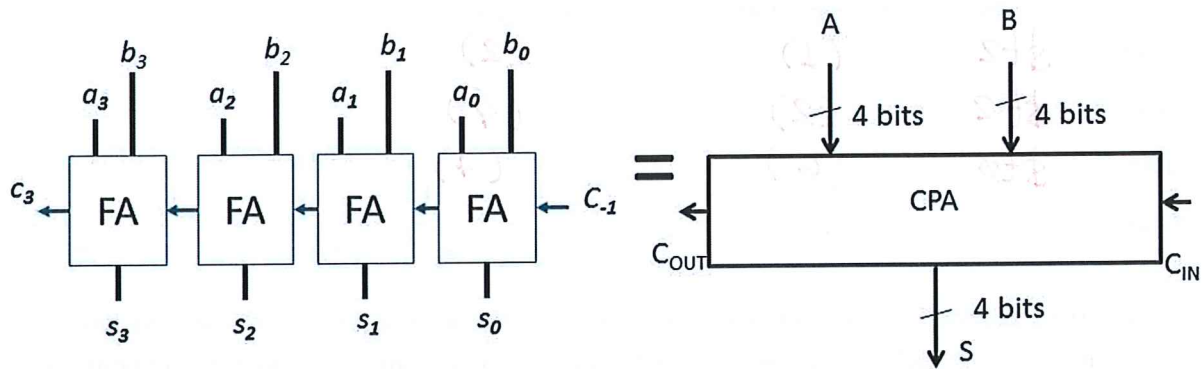
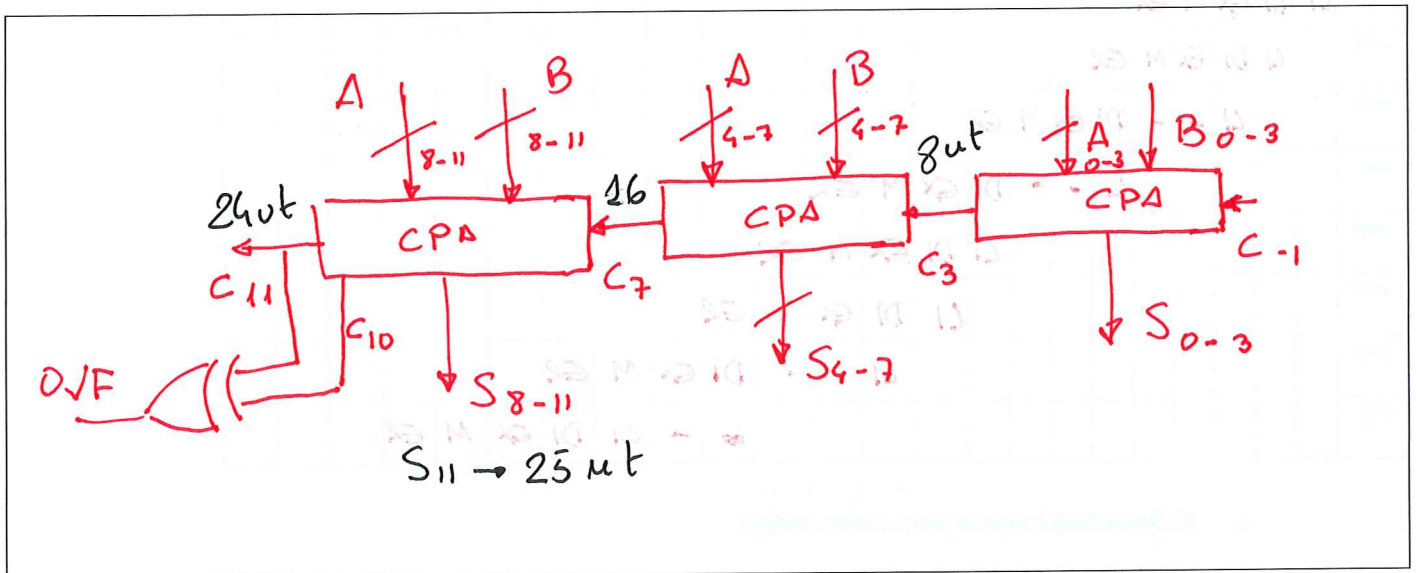
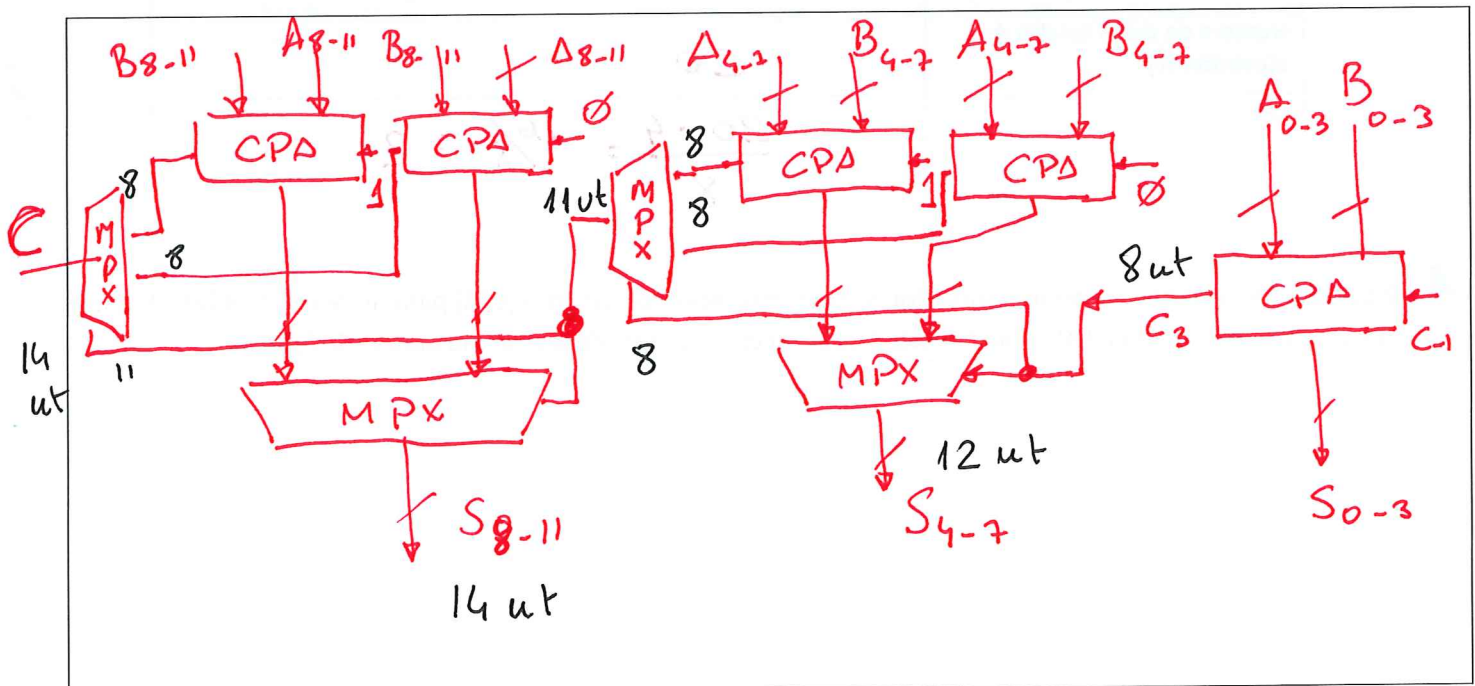


Figura 3

- a. (0.75 puntos) Construya un sumador con propagación de acarreo para números de 12 bits en complemento a dos. Utilice los elementos como el de la figura que necesite. Añada el hardware necesario para la detección del desbordamiento.



- b. (0.75 puntos) Construya ahora el sumador para 12 bits mediante la técnica de selección de acarreo (CSA). Incluya tantos elementos básicos como necesite y disponga de los multiplexores que requiera para completar el circuito.



- c. (0.5 puntos) Considerando que cada sumador FA tarda 3 ut (unidades de tiempo) para obtener la suma y 2 ut para el acarreo y que los multiplexores necesitan 3 ut para hacer la selección, calcule los tiempos requeridos para la suma de 12 bits con ambas opciones (no tenga en cuenta la detección del desbordamiento). Justifique la respuesta indicando los tiempos sobre cada uno de los circuitos.

$$T_{CPA} = 25 \text{ ut.}$$

$$T_{CSA} = 14 \text{ ut.}$$

- 5 (1 punto) Escriba el código de una subrutina **volumen_cono** que calcule el volumen de un cono mediante la fórmula $V = \frac{1}{3} \pi \cdot R^2 \cdot h$. La subrutina recibe como parámetros el radio (R) y la altura (h) en los registros \$f10 y \$f12 respectivamente, siendo ambos dos números en coma flotante y devuelve el volumen en \$f0. Utilice los valores constantes que se han definido según se indica.

```
.data 0x10004000
PI:      .float 3.14159265
.data 0x10008000
TRES:    .float 3.0
```

volumen_cono: la \$t0, PI
lwcs \$f0, 0(\$t0)
la \$t0, TRES
lwcs \$f2, 0(\$t0)
div.s \$f0, \$f0, \$f2
mul.s \$t0, \$f0, \$f10
mul.s \$f0, \$f0, \$f10
mul.s \$f0, \$f0, \$f12
jr \$ra

- 6 (1 punto) Una CPU de 64 bits de longitud de palabra y 38 bits de direcciones dispone de una memoria física de 4 GBytes. Responda a las siguientes cuestiones **SIEMPRE razonando la respuesta**

- a. (0.25 puntos) Exprese el tamaño de la memoria disponible en palabras

$$4 \text{ GB} \quad w = 64 \text{ bits} = 8 \text{ bytes} \rightarrow 4 \text{ GB} / 8 = 512 \text{ M palabras}$$

- b. (0.5 puntos) ¿Qué líneas de direcciones A_i se necesitan para direccionar esta memoria (indique cuáles son) y cuántas líneas de selección de octeto BE^* intervienen?

$$4 \text{ GB} = 2^{32} \text{ bytes} \rightarrow 32 \text{ líneas} < 28 \rightarrow A_{31} - A_3$$

$$8 \text{ líneas } \overline{BE}$$

- c. (0.25 puntos) ¿Cuánta memoria puede llegar a tener esta CPU?

$$2^{38} \text{ bytes} = 256 \text{ GBytes}$$

7 (1 punto) Se dispone de un chip de memoria SDRAM con un ancho de palabra de 32 bits. En la tabla siguiente pueden verse los valores de los principales parámetros temporales de esta memoria expresados en ns. Dicha memoria va a conectarse a una CPU mediante un bus de frecuencia 166 MHz ($t_{\text{ciclo}}=6\text{ns}$).

- a. (0.2 puntos) ¿Complete la tabla de los parámetros de la memoria expresando su valor en ciclos para que puedan cumplirse las restricciones temporales.

Parámetro	ns	ciclos
t_{rcd}	10	2
t_{ras}	35	6
t_{rc}	50	9
t_{rp}	10	2
CL		2

- b. (0.2 puntos) Rellene el cronograma para realizar la lectura de dos bloques de 4 palabras cada uno situados en la misma fila. Considere que la orden de precarga es automática.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27
Orden	A	-	READ				READ																				
Dirección	F		C				C																				
Datos						w1	w2	w3	w4	x1	x2	x3	x4														

- c. (0.2 puntos) ¿Cuál es el ancho de banda de esta memoria? Inclúyanse los cálculos realizados.

$$B = 4 \text{ bytes} * 166 \text{ MHz} = 664 \text{ MB/s}$$

leemos 4 bytes por ciclo

- d. (0.2 puntos) ¿Cuál es su tiempo de acceso? Inclúyanse los cálculos realizados.

$$t_{\text{acceso}} \Rightarrow t_{\text{rcd}} + \text{CL} \Rightarrow 2 + 2 \text{ ciclos} = 4 * t_{\text{ciclo}} = 24 \text{ ns}$$

- e. (0.2 puntos) ¿Cómo se verían afectados el ancho de banda y el tiempo de acceso si la memoria fuera de tipo DDR y se mantuvieran los mismos valores de los parámetros temporales? Inclúyanse los cálculos realizados.

El tiempo de acceso no cambia y el ancho de banda se duplica porque la transmisión se hace a doble frecuencia

8 (1 punto) Se está diseñando un mapa de memoria para un procesador MIPS de 32 bits de acuerdo con los siguientes requisitos:

- A partir de la dirección 0x00000000 se va a ubicar un módulo de memoria M1 de 1 GB. Indique para este caso:

a. (0.2 puntos) ¿Cuál será la dirección más alta contenida en este módulo? Exprésela en hexadecimal.

0x3 F F F F F F F F

b. (0.2 puntos) ¿Cuál será la función de selección para este módulo utilizando lógica negativa?

$$\overline{M1} = A_{31} + A_{30}$$

- La BIOS se ubica a partir de la dirección 0x80000000 y contiene hasta la dirección 0x8FFFFFFF.

c. (0.2 puntos) ¿Cuál es el tamaño de esta memoria?

disponemos de 28 bits $\rightarrow 2^{28} = 256 \text{ MB}$

- A partir de la dirección 0xC0000000 se ubicará un módulo M2 de 512MB

d. (0.2 puntos) ¿Cuál será la dirección más alta contenida en este módulo? Exprésela en hexadecimal.

0xD F F F F F F F

empleamos 29 bits

e. (0.2 puntos) ¿Podría ubicarse un módulo adicional a partir de M2? En caso afirmativo, ¿Cuál sería el tamaño máximo para este nuevo módulo?

dispones de 29 bits
512 MB