

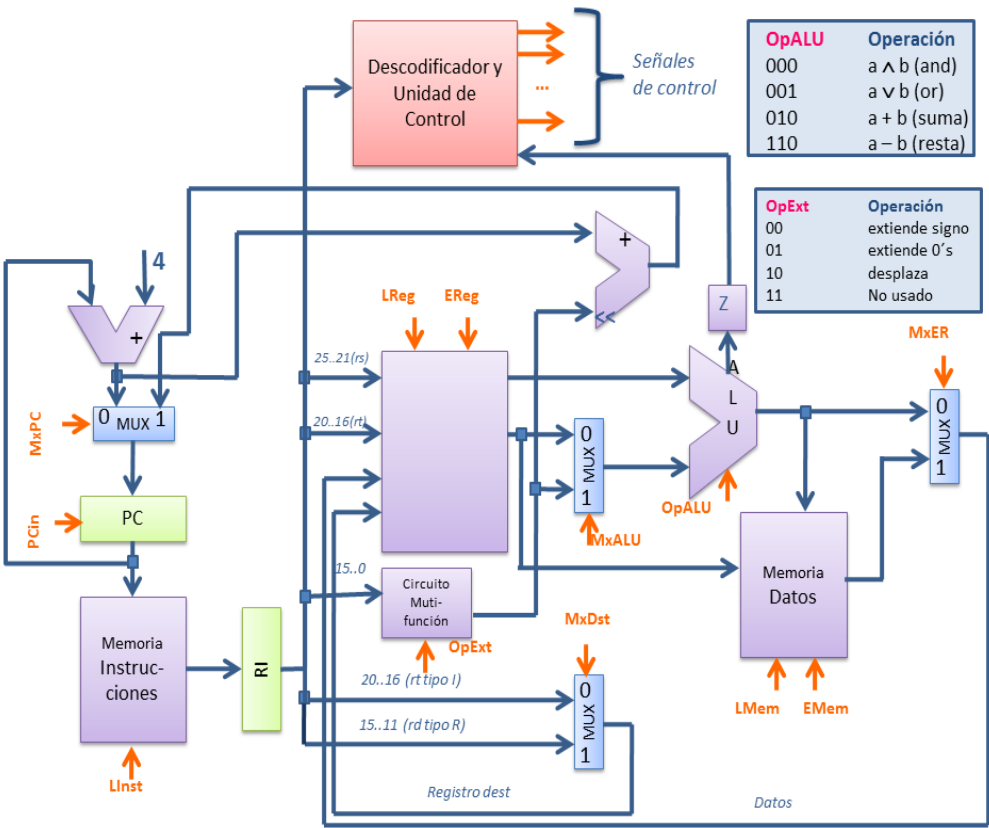
Apellidos y Nombre

DNI

Grupo

--	--	--

1 (2 puntos) Considérese la ruta de los datos monociclo del procesador MIPS R2000, que se muestra en la Figura 1



1¡Error! No se encuentra el origen de la referencia.. Obsérvese que, a diferencia de la ruta básica, en esta se dispone de un circuito multifunción para el tratamiento del operando inmediato en instrucciones de tipo I según la señal OpExt. Las distintas opciones de este circuito aparecen también en la Figura 1.

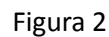
a) (0.75 puntos) Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se indican. Si alguna de las instrucciones propuesta no pudiera ejecutarse en dicha ruta de datos indíquelo sobre la tabla. A modo de ejemplo se muestran las señales necesarias para ejecutar la instrucción *add*.

Figura 1

Instrucción	Form	Ereg	OpALU	LMem	EMem	OpExt	MxPC	MxALU	MxER	MxDst
add	R	1	010	0	0	X	0	0	0	1
and	R	1	000	0	0	x	0	0	0	1
lw	I	1	010	1	0	00	0	1	1	0
sw	I	0	010	0	1	00	0	1	X	X
beq	I	0	110	0	0	00	Z	0	X	X
bne	I	0	110	0	0	00	Z*	0	X	X
ori	I	1	001	0	0	01	0	1	0	0
jump	J	No se	puede							

```
li $13, 7
li $10, -4
add $8, $10, $13
```

Punto	1	2	3	4	5	6	7	8
Valor	10	13	3	8	-4	7	3	0



c) **(0,25 puntos)** ¿Cuál sería la frecuencia de reloj máxima a la que puede trabajar este procesador? Justifique la respuesta.

2

d) **(0,25 puntos)** ¿Cuál es para este caso la productividad máxima que puede conseguir el procesador y cómo se podría aumentar (sin recurrir a la segmentación)? Justifique la respuesta.

La productividad es una instrucción por ciclo. Solo puede aumentarse disminuyendo el ciclo de reloj.

Productividad = 25 MIPS

e) **(0,25 puntos)** ¿Cómo afectaría a la ejecución de las instrucciones si la ruta de datos en lugar de disponer de una memoria de datos y una de instrucciones tuviese una única memoria en la que se almacenasen conjuntamente datos e instrucciones?

No sería posible ejecutar una instrucción en un ciclo de reloj

2 (2 puntos) Para aumentar la productividad del procesador del ejercicio anterior se segmenta en las 5 etapas vistas en clase (LI, DI, EX, M, ER). Asumiendo que el retardo de los registros de segmentación es de 2ns, se pide:

a) **(0,3 puntos)** Frecuencia de reloj del procesador segmentado.

$T = \max(10, 5, 10, 10, 5) + 2 = 12\text{ns}$

$F = 1/12\text{ns} = 83,33\text{MHz}$

b) **(0,3 puntos)** Productividad máxima del procesador segmentado y aceleración máxima respecto del procesador original monociclo

con $\text{cpi}=1$, $F = 83,33\text{MHz} \rightarrow \chi = 83,33 \text{ MIPS}$

$S = T_{\text{NS}} / T = 40/12 = 3,33$

Se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000.

```
(1)          addi $t2, $0, 50
(2)   bucle:  lw  $t0, 0($a0)
(3)          add  $t1, $t1, $t0
(4)          addi $t2, $t2, -1
(5)          addi $a0, $a0, 4
(6)          beqz $t2, bucle
(7)          sw  $t0, 0($a1)
```

Asuma que los conflictos por dependencias de datos se solucionan mediante la inserción de ciclos de parada. Los riesgos de control debidos a las instrucciones de salto condicional e incondicional se resuelven también con ciclos de parada.

Para este procesador la latencia de salto es 2 y los registros \$a0 y \$a1 han sido previamente inicializados.

c) **(0,6 puntos)** complete el diagrama instrucciones/ciclo para las instrucciones indicadas que se ejecutan en la última vuelta de bucle.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
addi \$t2, \$t2, -1	LI	DI	EX	M	ER										
addi \$a0, \$a0, 4		LI	DI	EX	M	ER									
beqz \$t2, bucle			LI	-	DI	EX	M	ER							
sw \$t0, 0(\$a1)					-	-	LI	DI	EX	M	ER				

d) **(0,8 puntos)** Indique para la ejecución completa del código:

Número de Instrucciones ejecutadas (I)	$1 + 5 \cdot 50 + 1 = 252$
Número de ciclos de parada (P)	Hay 2 ciclos por la dependencia (2)-(3), 1 por la (4)-(6) y 2 por el salto, que se repiten 50 veces $\rightarrow 5 \cdot 50 = 250$
Número de ciclos totales de ejecución (T)	$I + P + 4 = 252 + 250 + 4 = 506$
CPI	$1 + P/I = 1,99$

3 (1 punto) El esquema de la figura 3 corresponde a un sumador de 4 números de 4 bits para dar un resultado de 6 bits. Está formado por dos CPA's de 4 bits (CPA_4) conectados a un CPA de 5bits (CPA_5).

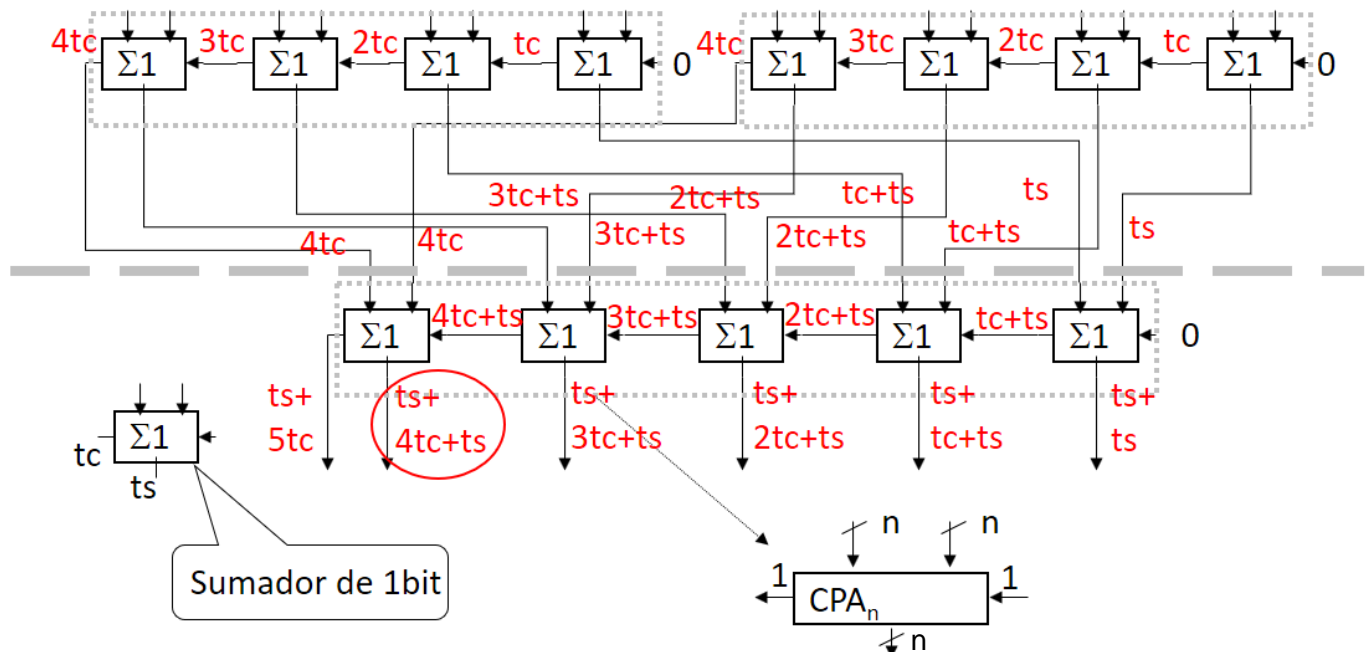


Figura 3

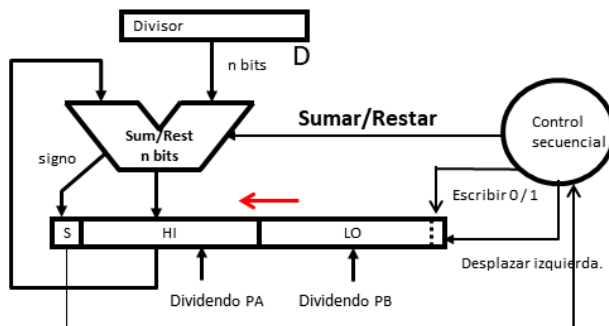
a) **(0,7 ptos)** Calculad el tiempo total del circuito en función de t_c y t_s ($t_s > t_c$), escribiendo los cálculos en la figura 3.

$$T = t_s + (4 \cdot t_c + t_s)$$

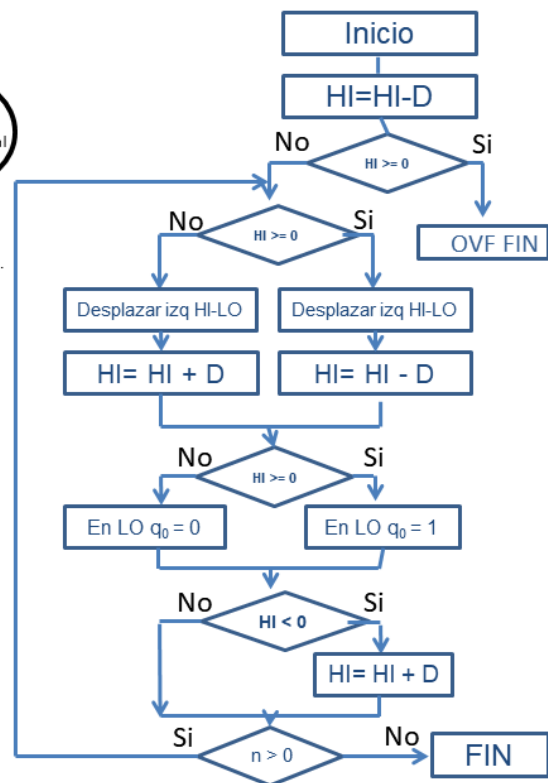
b) **(0,3 ptos)** Generalizad el cálculo para 4 números de n bits.

$$T = t_s + (n \cdot t_c + t_s) = t_s + T_{CPA_{n+1}}$$

- 4 (1 punto)** El siguiente circuito se corresponde con un divisor secuencial para números enteros. Obsérvese que el circuito es similar al visto en clase para la multiplicación, lo que cambia fundamentalmente es el algoritmo de control aplicado y cuyo diagrama de flujo se muestra a su derecha. En la inicialización se carga el divisor de n bits en el registro D y el dividendo de $2n$ bits en HI y LO, parte alta y baja respectivamente. Al finalizar la operación el cociente Q de la división se encontrará en LO y el resto en HI. Asíumase el coste de las diferentes operaciones que se indica en la tabla. Conteste las siguientes cuestiones razonando siempre la respuesta.



Inicializar registros y circuito de control	2 ns
Evaluar signo de HI	1 ns
Sumar	9 ns
Restar	10 ns
Fijar bit q_0 en el cociente (LO)	1 ns
Desplazar izquierda	2 ns
Escribir registro HI	2 ns
Evaluar el número de ciclo actual	1 ns



- a) **(0,5 puntos)** Indique cuál sería el periodo mínimo de la señal de reloj y cuántos ciclos son necesarios para realizar una operación de división. Asuma que la inicialización de los registros y comprobación del *overflow* se hace en una misma fase.

El tiempo de ciclo se calcula teniendo en cuenta la opción más costosa desde la segunda comprobación de signo.

$T = 30 \text{ ns}$ Se necesitan $n+1$ ciclo

- b) **(0,25 puntos)** ¿Cuál sería la productividad que podría alcanzar dicho divisor en función del número de bits del divisor (n)?

$P=1/T_{\text{servicio}}$ $P= 1/ (n+1).30\text{ns}$

- a) **(0,25 puntos)** Si se considera un divisor de 32 bits, ¿cuál es el número de MOPS que puede proporcionar el divisor secuencial?

$P = 1/ (32+1)*30 = 1,01 \text{ MOPS}$

- 5 (1 punto)** Implemente un programa que cambie el signo a una variable real expresada en doble precisión que se encuentra originalmente almacenada a partir de la dirección de memoria A (little endian) y deje el resultado en la dirección B de acuerdo con la declaración que se proporciona:

```

.data 0x10000000
A:    .double  -26,679
      .data 0x10001000
B:    .space 8

      .text
      la $t0, A
      la $t1, B
      lw $t2, 4($t0)
      lui $t3, 8000
      xor $t2, $t2, $t3
      sw $t2, 4($t1)
      lw $t2, 0($t0)
      sw $t2, 0($t1)
      .end

```

- 6 (1,5 puntos)** Un determinado chip comercial de memoria SDRAM DDR tiene un ancho de palabra de 64 bits y puede trabajar a una frecuencia de reloj de 200 MHz ($t_{\text{ciclo}} = 5\text{ns}$) y 100 MHz ($t_{\text{ciclo}} = 10\text{ns}$).

Los parámetros de la memoria son: $t_{\text{RCD}} = 15\text{ns}$, $t_{\text{RAS}} = 32\text{ns}$, $t_{\text{RC}} = 55\text{ns}$, $t_{\text{RP}} = 18\text{ns}$. Siendo CL=3 ciclos a 200MHz y CL=2 ciclos a 100 MHz

- a) (0,5 puntos)** Indique el tiempo de acceso y el ancho de banda funcionando a 200 MHz (justifique la respuesta):

FRECUENCIA	TIEMPO DE ACCESO (ns) (Latencia de lectura)	ANCHO de BANDA (MBps)
200 MHz	$t_{\text{rcd}}=3\text{ ciclos}$ $(t_{\text{rcd}}+\text{cl}) 5\text{ns} = (3+3)*5\text{ns} = 30\text{ ns}$	$B = 200\text{MHz} * 2 * 8\text{bytes} = 3200\text{ MBps}$

- b) (0,5 puntos)** Complete el cronograma para el caso de hacer la lectura de un bloque de 8 palabras. Asíumase que la orden de precarga es manual.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14
Orden	ACT	NOP	NOP	READ				PRE						
Dirección	FILA			COL										
Datos							X0X1	X2X3	X4X5	X6X7				

- c) (0,5 puntos)** Instalamos esta misma memoria en un computador cuyo reloj de memoria es de 100MHz. Calcule para este computador el tiempo de acceso y el ancho de banda (justifique la respuesta):

FRECUENCIA	TIEMPO DE ACCESO (ns) (Latencia de lectura)	ANCHO de BANDA (MBps)
100 MHz	$t_{\text{rcd}}=2\text{ ciclos}$ $(t_{\text{rcd}}+\text{cl}) 10\text{ns} = (2+2)*10\text{ns} = 40\text{ ns}$	$B = 100\text{MHz} * 2 * 8\text{bytes} = 1600\text{ MBps}$

7 (1,5 puntos) Se dispone de 3 módulos de 256 Mbytes cada uno para instalar como memoria de usuario en un procesador MIPS R2000 a partir de la dirección de memoria 0x80000000 en direcciones consecutivas. Además, se quiere ubicar un módulo de 1Gbytes en las direcciones más altas del espacio de direcciones.

a) (0,5 puntos) Complete el mapa de memoria asociado, indicando las direcciones de inicio y final de cada uno de los módulos añadidos, así como el espacio libre disponible en el caso de que hubiera

Kernel (2GB)	0x00000000
M1 (256MB)	0x80000000
	0x8FFFFFFF
M2 (256MB)	0x90000000
	0x9FFFFFFF
M3 (256MB)	0xA0000000
	0xAFFFFFFF
Libre 256MB	0xB0000000
	0xBFFFFFFF
M4 1GB	0xC0000000
	0xFFFFFFFF

b) (0,4 puntos) Indique las funciones de selección para cada uno de los módulos utilizando lógica negativa.

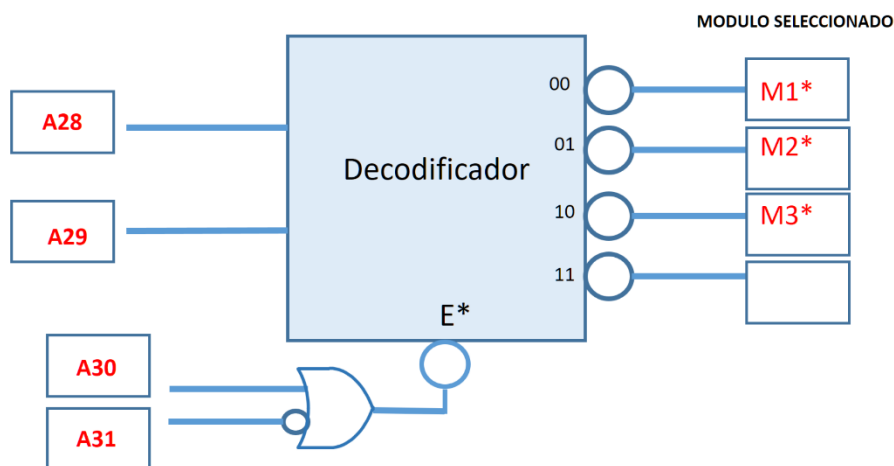
$$\text{Sel M1}^* = A31^* + A30 + A29 + A28$$

$$\text{Sel M2}^* = A31^* + A30 + A29 + A28^*$$

$$\text{Sel M3}^* = A31^* + A30 + A29^* + A28$$

$$\text{Sel M4}^* = A31^* + A30^*$$

c) (0,3 puntos) Se desea utilizar el decodificador de la figura para la selección de los distintos módulos de 256Mbytes. Complete la figura indicando en los cuadros el nombre de las líneas de direcciones que permiten realizar la correcta selección.



d) (0,3 puntos) El módulo M4 está constituido por una única fila de chips idénticos. Cada chip tiene una longitud de palabra de 8 bits. Calcule la capacidad de cada chip y el número de chips que tiene el módulo e indique cuántas líneas de selección de octeto tiene el módulo. Justifique la respuesta.

4 chips de 256 MBytes cada uno

4 líneas de selección de octeto ya que la palabra es de 32 bits: BE0*, BE1*, BE2*, BE3*