

Apellidos y Nombre

DNI

Grupo

--	--	--

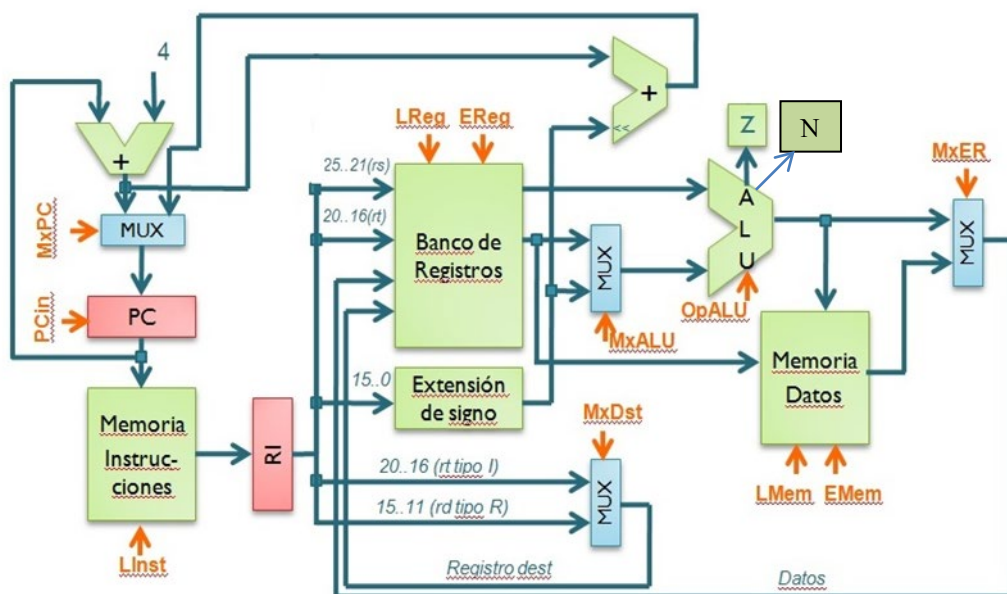
- 1 (1.75 puntos)** La figura 1 muestra la ruta de los datos monociclo básica del procesador MIPS R2000, vista en clase. Suponga que se desea añadir la instrucción **slt rd, rs, rt (set on less than)** como una instrucción más del juego de instrucciones. El cometido de la instrucción es el siguiente:

if ($rs < rt$), $rd \leftarrow 1$
 else $rd \leftarrow 0$

Nota: se sugiere verificar la desigualdad $rs < rt$ a partir de una resta, ($rs - rt < 0$), y comprobando los flags adecuados

El formato de la instrucción es de tipo R, con los siguientes campos:

000000	RS	RT	RD	00000	011010
--------	----	----	----	-------	--------



OpALU	Operación
000	AND
001	OR
010	SUMA
110	RESTA
111	IDENTIDAD

Flags de la ALU:
 Z: cero
 N: signo

Convenio canales Mux:

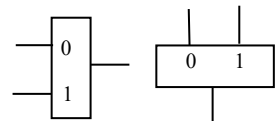


Figura 1

- a) **(0.5 puntos)** Indique los cambios que habría que introducir en la ruta de datos (elementos nuevos, o modificación/extensión de elementos ya existentes)

- b) **(1 punto)** Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se detallan. En binario.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxALU	MxDst	MxER	MxPC
add rd,rs,rt	R								
lw rt, desp(rs)	I								
beq rs, rt, etiq	I								
slt rd,rs,rt	R								

- c) **(0.25 puntos)** Se pretende incluir también la versión inmediata de slt, **slti rt, rs, inm**

if (rs < inm), rt \leftarrow 1
else rt \leftarrow 0

001010	RS	RT	Inm
--------	----	----	-----

Rellene la tabla con las señales de control necesarias. En binario.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxALU	MxDst	MxER	MxPC
slti rt,rs,inm	I								

- 2 (0.75 puntos)** Un cierto procesador se ha segmentado en 5 etapas (LI, DI, EX, M, ER), cuyos retardos son los siguientes: 25ns, 15ns, 30ns, 25ns y 15ns. Suponiendo que el retardo de los registros de segmentación es de 10ns, se pide:

- a) **(0,25 puntos)** Frecuencia de reloj a la que trabajará el procesador segmentado y productividad máxima que podrá alcanzar.

- b) **(0,25 puntos)** Frecuencia de reloj a la que trabajará el procesador NO-segmentado y productividad máxima que podrá alcanzar.

c) **(0,25 puntos)** Suponiendo que el procesador segmentado se rediseña como un procesador SUPERSEGMENTADO subdividiendo la etapa EX en dos etapas de 15ns, ¿qué productividad máxima se podría alcanzar?

3 (1.5 puntos) Considere la siguiente secuencia de programa en ensamblador de MIPS R2000, el cual se ejecuta en cierta ruta de datos que se halla segmentada en cinco etapas (LI, DI, EX, M, ER):

```
(1)          lw $2,0($4)
(2)          beq $2,$3, etiqueta
(3)          add $1,$2,$3
(4)          sub $4,$1,$3
(5)          lw $5,100($4)
(6)          sw $5,50($4)

            ...
etiqueta : ...
```

- a) **(0.5 puntos)** Rellene el diagrama instrucciones/tiempo desde **la instrucción 1 a la 4** suponiendo que el salto NO tiene lugar. Asuma que los conflictos por dependencias de datos y control se solucionan mediante la inserción de instrucciones NOP y que la latencia de salto es 2.

[illegible]

- la inserción de instrucciones NOP y ahora los conflictos de control se resuelven mediante predicción de salto NO efectivo.

A blank sheet of graph paper featuring a uniform grid of squares. The grid consists of 20 columns and 15 rows. A solid vertical line runs down the left side of the page, separating the margin from the grid area. On the far left, there are ten horizontal dashed lines, each aligned with one of the first ten rows of the grid, providing space for labels or notes.

- control desde el punto de vista de las prestaciones. Incluya en la comparación los casos en el que el salto SI es efectivo.

--

4. (1 punto) La figura 2 muestra un sumador para números enteros de 64 bits, basado en la técnica CSA (Carry Select Adder). Para ello, utiliza sumadores CPA (Carry Propagated Adder) como los vistos en clase de 8 y 16 bits. Asumiendo que cada CPA está compuesto por celdas sumadoras tipo FA (Full Adder) que implementan la Suma y el Acarreo a partir de sus funciones lógicas y el retardo de puerta es de 1ns (para todo tipo de puerta) y que cada uno de los multiplexores tiene un retardo correspondiente a 3 puertas lógicas, responda:

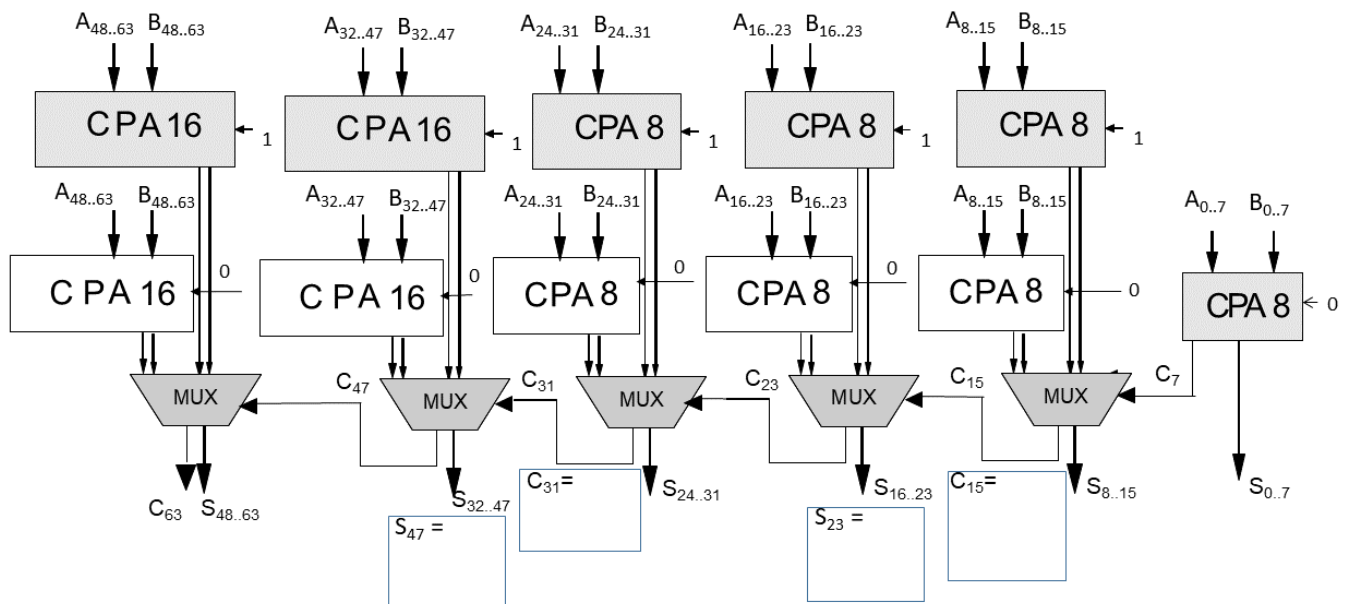


Figura 2

- a) **(0.6 puntos)** Tiempo necesario para realizar la suma completa. Justifíquelo completando en la figura los tiempos intermedios en el recuadro a propósito.

- b) **(0.4 puntos)** ¿Cuál es la aceleración de este sumador CSA respecto de un único sumador CPA de 64 bits?

5. (1 punto) La Figura 3 muestra tres operadores de multiplicación para enteros con signo de 32 bits. El operador 1 es un multiplicador combinacional cuyo retardo es de 100 ns. El operador 2 es secuencial como el visto en clase e implementa el algoritmo de Booth, utilizando una señal de reloj cuyo periodo es 6 ns; el operador 3 también es secuencial y, en este caso implementa el algoritmo de recodificación por parejas, trabajando con un reloj de 125 MHz de frecuencia. Especifique para cada uno de los circuitos cuál es su productividad máxima. Asuma que los circuitos 2 y 3 requieren un ciclo específico para la inicialización.

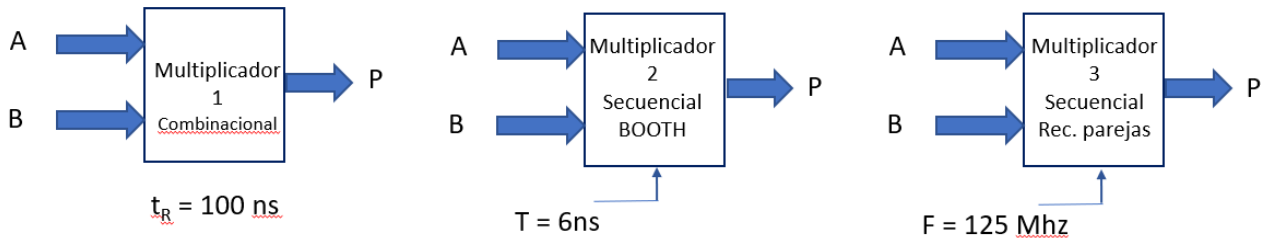


Figura 3

Operador 1	Productividad =
Operador 2	Productividad =
Operador 3	Productividad =

6. (1 punto) La Figura 4 se corresponde con el esquema de bloques de un circuito para soporte de la instrucción de coma flotante cvt.d.s fd, fs. Inserta en los huecos A, B, C, D y E los valores que faltan y justifícalos.

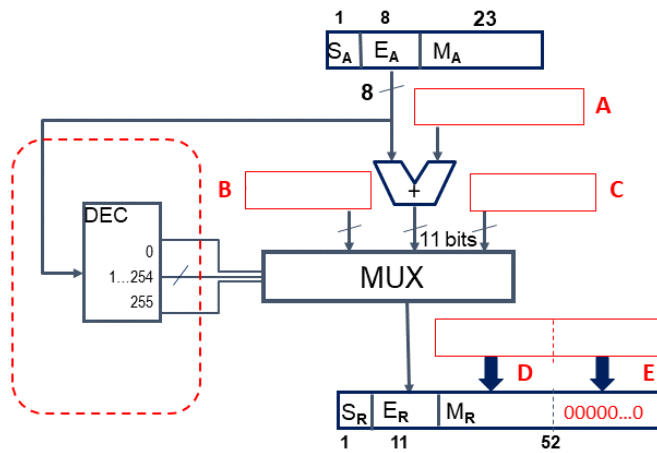


Figura 4

c) Justificación **(0.8 puntos)**:

A	
B	
C	
D	
E	

d) **(0.2 puntos)** Explica el cometido del decodificador de 8 a 256 remarcado con las líneas punteadas

7. (1.5 puntos) Se desea lanzar al mercado un nuevo modelo de placa “Blueberry Phi” basada en un procesador ARM de 64 bits, capaz de direccionar hasta 4Gbytes, aunque la primera versión comercial incluirá solo 2 Gbytes de SDRAM de tipo DDR. El diseño del mapa de memoria de esta primera versión se va a hacer mediante la inclusión de dos módulos idénticos de 1 Gbyte cada uno, respondiendo a las siguientes especificaciones:

- a) **(0.8 puntos)** El primer módulo (M1) será DIMM de 184c formado internamente por chips de 128 Mbytes y se emplazará en la dirección más baja (0x00000000). Responda a las siguientes cuestiones en relación a este módulo M1:

Número de chips de memoria que contiene el módulo	
Número y nombre (denomínelas Ai) de líneas de dirección que toma el controlador de memoria para las direcciones del módulo	
Número de líneas de habilitación de byte necesarias. ¿A qué pines del módulo deberán conectarse?	
¿Cuál es la función de selección del módulo <i>utilizando lógica negativa</i> ? ¿Cuál es el nombre que normalmente recibe el pin donde se ha de conectar?	

- b) **(0.4 puntos)** El segundo módulo (M2) es idéntico al primero, pero se situará en las direcciones más altas del mapa de memoria. Indíquese para este módulo:

Dirección inicial y final (exprésela en hexadecimal)	
Función de selección para este módulo <i>utilizando lógica negativa</i> .	

- c) **(0.3 puntos)** Este mapa de memoria dispone de una zona libre para futuras versiones en las que se incluirá más memoria. Indíquese:

Dirección inicial y final del espacio libre	
---	--

8. (1.5 puntos) Los chips utilizados en los módulos M1 y M2 del ejercicio anterior son de tipo DDR con los siguientes parámetros temporales t_{CL} - t_{RCD} - t_{RP} - t_{RAS} 2-2-2-6 y funcionan a una frecuencia de 200MHz. Se organizan internamente en un único banco de 1024 filas, siendo el tamaño de bloque de 8 palabras. Responda a las siguientes cuestiones justificando la respuesta:

a) **(0.4 puntos)** ¿Cómo se interpretan de manera física y lógica los bits de direcciones?

b) **(0.3 puntos)** ¿Cuál es el tiempo de acceso?

a) **(0.4 puntos)** ¿Cuántos ciclos se necesitan para leer un bloque de datos? Justifíquelo en el cronograma asociado.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27
Orden																											
Dirección																											
Datos																											

b) **(0.4 puntos)** ¿Cuál es el ancho de banda de los módulos M1 y M2?