

ESTRUCTURA DE COMPUTADORES

Examen Segundo Parcial

4-Febrero-2013

Apellidos y Nombre

DNI

Grupo

--	--	--

1. (2,75 puntos) Se desea realizar la suma de dos números enteros de 16 bits en complemento a 2 ($A + B$) mediante la utilización de sumadores con propagación de acarreo (CPA) basados en celdas sumadoras completas (FA) cuya organización interna es la especificada en la figura 1. Supóngase que todas las puertas lógicas tienen el mismo retardo $T = 30 \text{ ps}$ ($\text{ps} = 10^{-12} \text{ s}$)

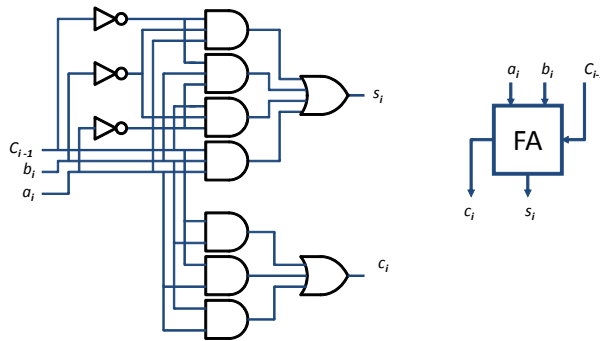
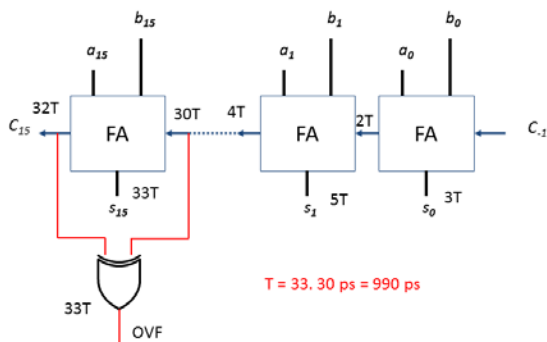


Figura 1

- a) Dibuje un esquema de conexión de los sumadores completos para la implementación del sumador en complemento a 2 para 16 bits



- b) Especifique el retardo para la obtención de la suma, justificándolo sobre el esquema anterior.
- c) ¿Cuál es la productividad del circuito expresada en MOPS?

$$P = 1 / T = 1 / 990 \cdot 10^{-12} = 1010 \text{ MOPS}$$

- d) Añada en el **esquema del punto a)** los elementos necesarios y su conexión para que el sumador sea capaz de detectar el desbordamiento e incluya sobre el dibujo el tiempo adicional que esto supondría
- e) ¿Cuál sería el tiempo necesario para realizar la suma de $A + B$ (enteros en complemento a dos) si son de 32 bits, utilizando las mismas celdas básicas y detectando el desbordamiento? Justifique la respuesta.

$T_{CPA} = (2n+1) * t$ donde n es el número de bits a sumar y t el retardo de puerta

Si $n = 32$ $T = 65 t = 1950$ ps (incluyendo la detección del OVF)

- f) Con el objetivo de mejorar la productividad del circuito se ha optado por un diseño como el que muestra la figura 2. Indique brevemente cómo se procede en este caso para realizar la suma de $A + B$

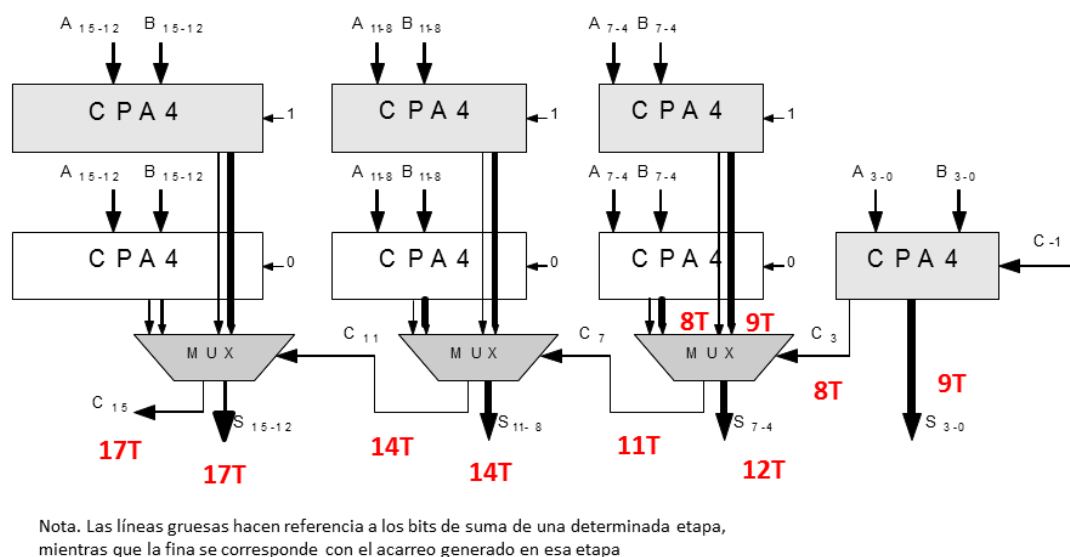


Figura 2

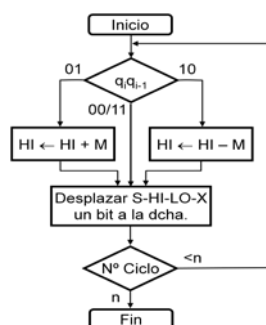
Suma, en paralelo, grupos de 4 bits mediante CPAs, tanto si el acarreo de entrada es 1 como 0. Posteriormente, cuando se conoce el valor del acarreo, elige la opción correcta mediante un multiplexor.

- g) Para el caso de la figura 2 indique el tiempo necesario para realizar la suma y la productividad del circuito expresada en MOPS. Considere que los multiplexores están implementados con 3 niveles de puerta. Justifíquelo sobre el dibujo de la figura 2.

$$T = 17 t = 17 * 30 = 510 \text{ ps}$$

$$P = 1 / T = 1 / 510 * 10^{-12} \approx 1960 \text{ MOPS}$$

2. (2 puntos) Se dispone de un multiplicador secuencial para números con signo de 8 bits cuyo control, mostrado a continuación, implementa el algoritmo de Booth:



- a) Se desea realizar la multiplicación mediante el correspondiente operador hardware de los números $M=-27$ y $Q=-5$, donde M representa el multiplicando y Q el multiplicador ¿Cuál sería la inicialización de los registros HI y LO en el circuito de multiplicación? $27 = 00011011$; $5 = 00000101$

HI	LO
00000000	11111011

- b) Rellene la tabla adjunta con los ciclos y acciones requeridas para realizar la anterior multiplicación de M y Q

Ciclo	Acción	Ciclo	Acción
1	HI = HI - M Desplazar S-HI-LO	5	No hacer nada Desplazar S-HI-LO
2	No hacer nada Desplazar S-HI-LO	6	No hacer nada Desplazar S-HI-LO
3	HI = HI + M Desplazar S-HI-LO	7	No hacer nada Desplazar S-HI-LO
4	HI = HI - M Desplazar S-HI-LO	8	No hacer nada Desplazar S-HI-LO

- c) Calcule la productividad del operador teniendo en cuenta los retardos de las operaciones. Se asume que en un ciclo de reloj se completa una iteración

Inicio	Insp. q_i, q_{i-1}	suma	resta	escritura HI	desplazamiento	Eval. Nº ciclo
1 ns	5 ns	18ns	20ns	2 ns	3 ns	5 ns

El tiempo de ciclo corresponde al tiempo en realizar una iteración:

$$t_{\text{ciclo}} = t_{\text{insp}} + \max(t_{\text{suma}}, t_{\text{resta}}) + t_{\text{escrit}} + t_{\text{desp}} + t_{\text{eval}} = 5 \text{ ns} + 20 \text{ ns} + 2 \text{ ns} + 3 \text{ ns} + 5 \text{ ns} = 35 \text{ ns}$$

Para $n=8$ bits necesitamos 9 ciclos (1 + 8) por lo tanto: $T_{\text{operador}} = 9 * t_{\text{ciclo}} = 9 * 35 \text{ ns} = 315 \text{ ns}$

La productividad será de: $X_{\text{operador}} = 1 / T_{\text{operador}} = 1 / 315 \text{ ns} = 3.17 \text{ MOPS}$

- d) A fin de mejorar la productividad, se rediseña el operador anterior para que emplee el algoritmo de recodificación por parejas de bits, conservando todas las unidades del viejo operador a excepción de dos etapas: la etapa de inicialización, donde se calcula y almacena previamente $2M$ y $-2M$, con un coste total de 4 ns, y la etapa de inspección de bits. ¿Cuál será el coste de esta última etapa si la productividad alcanzada por el nuevo operador es de 5 MOPS?

$X_{\text{operador}} = 5 \text{ MOPS}$, por lo tanto $T_{\text{operador}} = 1 / 5 \text{ MOPS} = 200 \text{ ns}$

Como el operador es de recodificación, utilizará 5 ciclos (1+4) cada uno con: $t_{\text{ciclo}} = T_{\text{operador}} / 5 = 200 \text{ ns} / 5 = 40 \text{ ns}$

Tenemos entonces que una iteración durará 40 ns y por lo tanto:

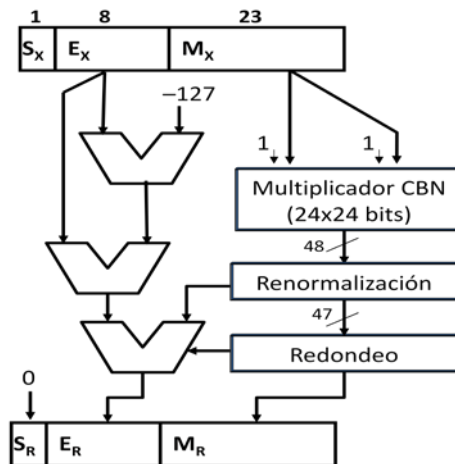
$$t_{\text{ciclo}} = t_{\text{insp}} + t_{\text{resta}} + t_{\text{escrit}} + t_{\text{desp}} + t_{\text{eval}} = t_{\text{insp}} + 20 \text{ ns} + 2 \text{ ns} + 3 \text{ ns} + 5 \text{ ns} = 40 \text{ ns}, \text{ de donde } t_{\text{insp}} = 40 \text{ ns} - 30 \text{ ns} = 10 \text{ ns}$$

e) Indíquese cuál sería la codificación de Booth a aplicar para realizar la multiplicación de los números $M=-27$ y $Q=-5$

$M = 00011011$

$Q = 000-110-1$

3. (1,75 puntos) Se ha diseñado un operador para números en coma flotante de simple precisión representados mediante el formato IEEE-754. En la primera versión del diseño, que se adjunta a continuación, no se considera el posible desbordamiento del operador.

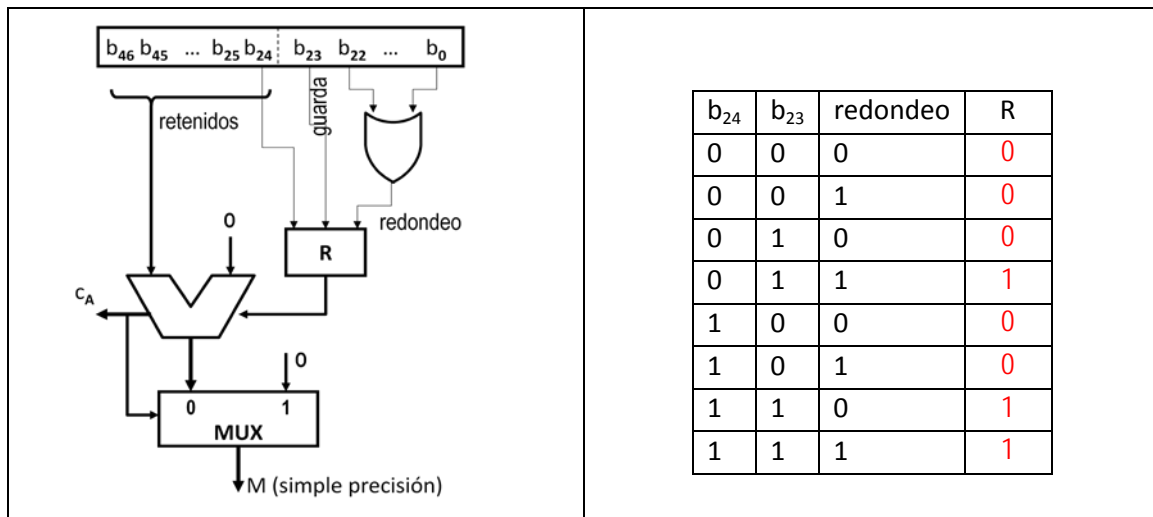


a) ¿Qué función $R=f(X)$ realiza dicho operador?

Se trata de una instancia del operador de multiplicación que se ha estudiado en el tema 4. En este caso $A=B=X$, por lo tanto la operación es $R = A \cdot B = X \cdot X = X^2$

Nótese que $S_R = 0$ ya que un número por sí mismo siempre es positivo.

- b) El circuito de redondeo recibe 47 bits procedentes de la etapa de renormalización y obtiene 23 bits de acuerdo a la estrategia de redondeo al más próximo (sesgado al par). Su estructura se puede observar en el esquema que se muestra a continuación. Rellene la salida R de la tabla que aparece en dicho esquema



- c) El siguiente código ensamblador muestra las primeras instrucciones de una rutina que implementa la emulación por software del mencionado operador. Dicha rutina toma como parámetro, en el registro $\$a0$, el operando X y devuelve en $\$v0$ el resultado R.

```

operador:    li    $t2, 0x7F800000
             li    $t3, 0x7FFFFFFF
             and   $t4, $t2, $a0
             beq   $t4, $t2, detectado
             and   $t4, $t3, $a0
             bne   $t4, $zero, seguir
detectado:   and   $v0, $t3, $a0

```

```

                                j fin
seguir:                        ...
                                ...
fin:                            jr $ra

```

Interprete el fragmento de código mostrado indicando qué está detectando y la acción que realiza.

Nota: No se limite a describir lo que hace cada instrucción

El fragmento de código detecta casos especiales del estándar IEEE-754 SP. Éstos son:

$E_x = 0xFF$ (correspondiente a $+-\text{Inf}$ y NaN)

$E_x = 0$ y $M_x = 0$ (correspondiente a $+-0$)

Lo que hace para todos los casos es: $E_R = E_x$ $M_R = M_x$ $S_R = 0$

4. (2 puntos) Se dispone de chips SDRAM de 32 Mbits, con 8 bits de tamaño de palabra. El chip se halla estructurado en 8 bancos y el tamaño de las filas es de 256 palabras. Se pide:

- a) Calcúlense las siguientes características relativa a la geometría de los chips:

Número de palabras de los chips	4M palabras ($4M \times 8$ bits)
Número de filas que constituyen cada banco	$8 \times \text{Filas} \times 256 = 4M \rightarrow \text{Filas} = 2048$ (2K)
Número de columnas de los bancos	256
Número de líneas de dirección que se emplean para direccionar los chips	22 líneas (3 para banco; 11 para filas y 8 para columnas) Bus direcciones: 3 + 11

Nota: Justifíquense las respuestas de forma razonada

- b) Identifíquense los distintos campos, y su significado, en que se estructura la dirección de los chips:

Dirección chip SDRAM	A21 A20 A19 A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0																							
Significado	Banco								Fila											Columna				

- c) Asumiendo un tamaño de bloque de 16 palabras, identifíquense los bits de la dirección que definen el bloque al que pertenece

Interpretación dirección	A21 A20 A19 A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4	
--------------------------	--	--

- d) Indíquese el banco, la fila, la columna y el bloque en que se halla ubicada la palabra 0x2C40A3

Interpretación dirección	1 0 1 1 0 0 0 1 0 0 0 0 0 0 1 0 1 0 0 0 1 1
--------------------------	---

Banco:	0x3	Fila:	0x440	Columna:	0xA3	Bloque:	0x2C40A
--------	-----	-------	-------	----------	------	---------	---------

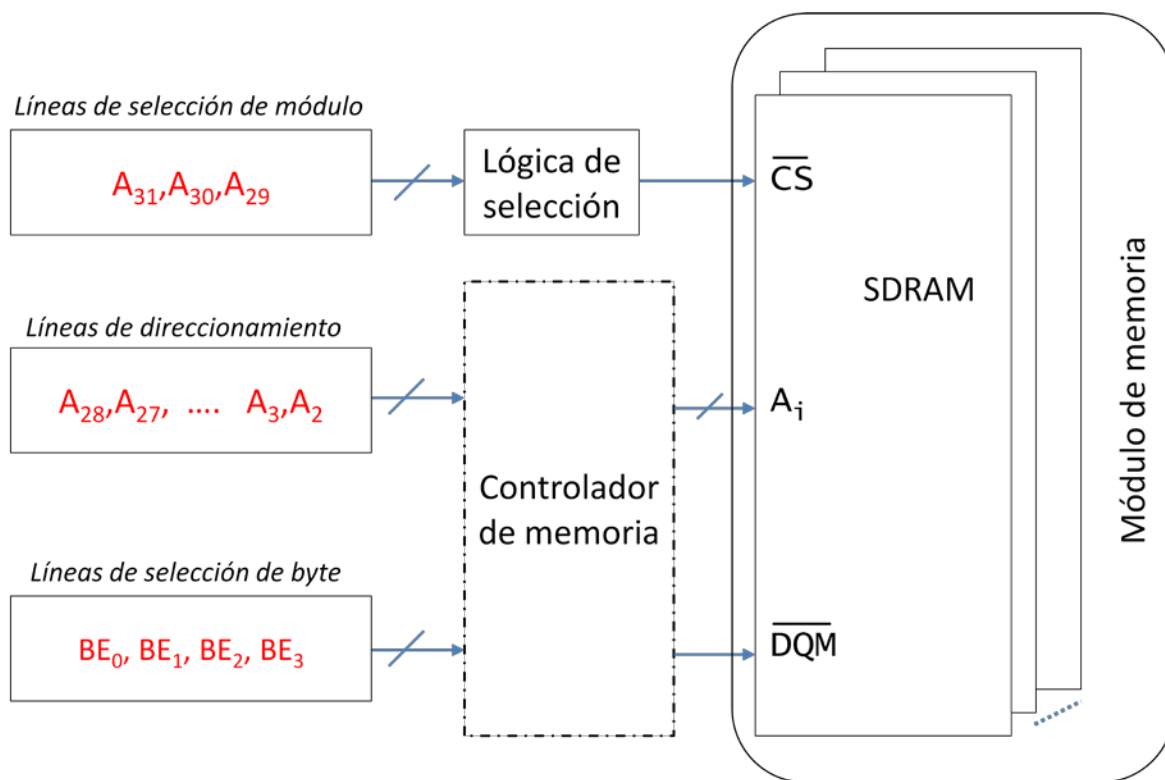
5. (1,5 puntos) Se desea construir un módulo de memoria de tamaño 512 MBytes y 32 bits de tamaño de palabra. Para ello se dispone de chips SDRAM cuyo tamaño de palabra es un bit (x1). Dicho módulo está previsto que se inserte en un sistema basado en CPU de 32 bits, con 4 GB de espacio de direccionamiento. Se pide:

a) Cálculense los siguientes parámetros estructurales del módulo:

Número de palabras que se pueden direccionar en el módulo	128M palabras ($128M \times 32$ bits)
Tamaño de los chips SDRAM utilizados	$128M \times 1$ bit (128 Mbits)
Número total de chips SDRAM empleados	32 chips organizados en una única fila

Nota: Justifíquense las respuestas de forma razonada

- b) Sobre el esquema, en los cajetines dispuestos al efecto, indíquense las líneas del bus de direcciones que se utilizarían para la selección del módulo, para el direccionamiento de los chips y para la selección de octetos



ESTRUCTURA DE COMPUTADORES

Examen Segundo Parcial

4-Febrero-2013

Apellidos y Nombre

DNI

Grupo

--	--	--

(2,75 puntos) Se desea realizar la suma de dos números enteros de 16 bits en complemento a 2 ($A + B$) mediante la utilización de sumadores con propagación de acarreo (CPA) basados en celdas sumadoras completas (FA) cuya organización interna es la especificada en la figura 1. Supóngase que todas las puertas lógicas tienen el mismo retardo $T = 30 \text{ ps}$ ($\text{ps} = 10^{-12} \text{ s}$)

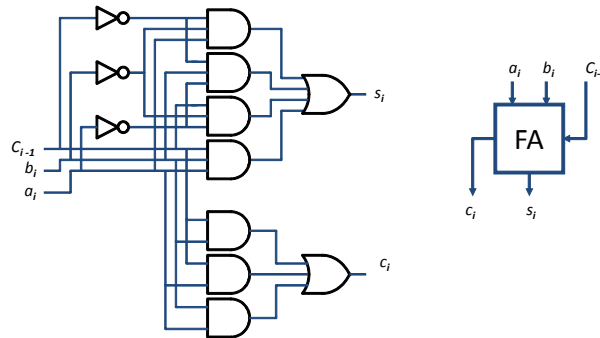
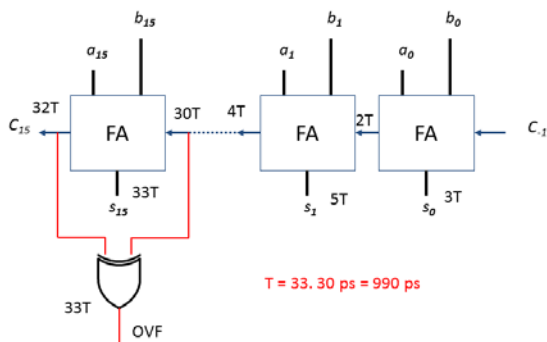


Figura 1

- a) Dibuje un esquema de conexión de los sumadores completos para la implementación del sumador en complemento a 2 para 16 bits



- b) Especifique el retardo para la obtención de la suma, justificándolo sobre el esquema anterior.
- c) ¿Cuál es la productividad del circuito expresada en MOPS?

$$P = 1 / T = 1 / 990 \cdot 10^{-12} = 1010 \text{ MOPS}$$

