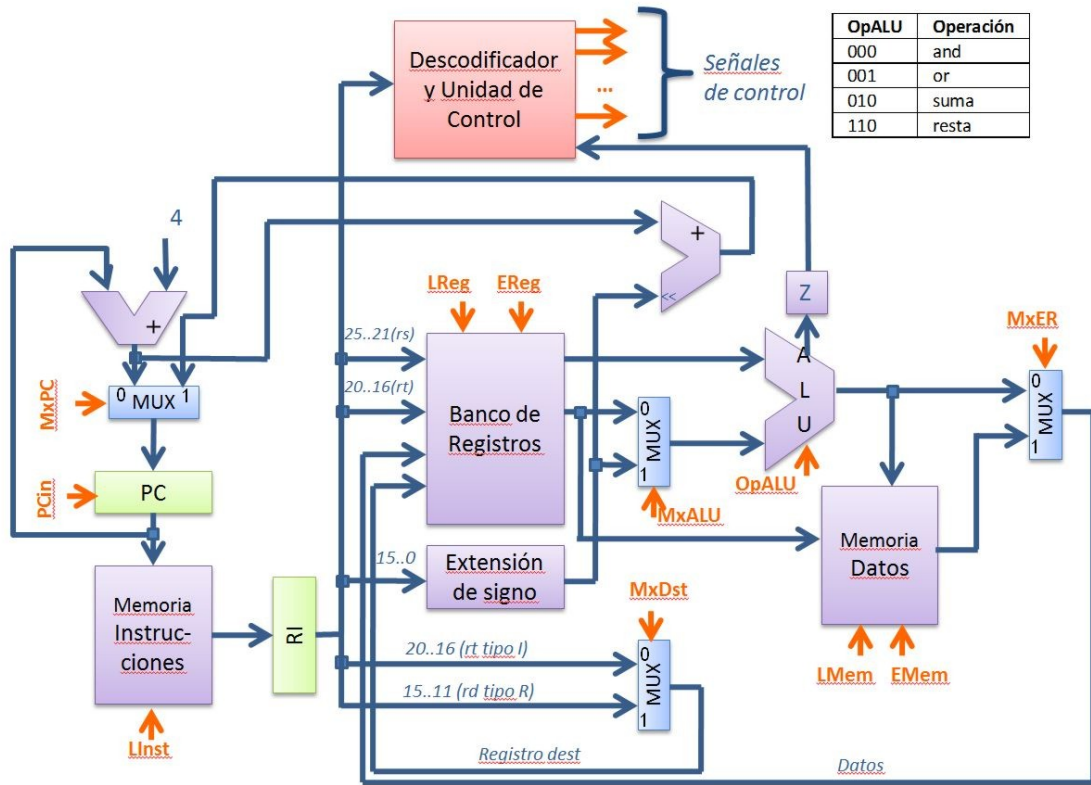


Apellidos y Nombre

DNI

Grupo

1 (1 punto) Dada la ruta de datos monociclo del procesador MIPS R2000, que se muestra en la figura adjunta:



a) (0.4 puntos) Dibuje en la ruta anterior los elementos y conexiones necesarias para ejecutar la instrucción:

jr \$rs # PC ← \$rs, salta a la instrucción apuntada por el contenido del registro rs

COP	RS	RT	RD	Función	
000000	rs	00000	00000	00000	001000

Nota: en caso de que algún multiplexor aumente de tamaño, indique en el dibujo las nuevas señales de selección.

b) (0.6 puntos) Rellene la siguiente tabla de señales de control, correspondiente a la unidad de control del procesador:

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sub rd, rs, rt	R								
andi rt, rs, inm	I								
lw rt, desp(rs)	I								
sw rt, desp(rs)	I								
beq rs, rt, etiq	I								
jr \$rs	R								

2 (1.5 puntos) En la ruta de datos anterior, asúmase que las operaciones en memoria conllevan 30 ns, leer y escribir en el banco de registros 10 ns y operar en la ALU 20 ns. Indíquese, **justificando SIEMPRE la respuesta**:

a) (0.3 puntos) La máxima frecuencia de reloj a la que puede trabajar este procesador.

Para aumentar la productividad este procesador se segmenta en las 5 etapas vistas en clase (LI, DI, EX, M, ER). Asumiendo que el retardo de los registros de segmentación es de 5ns, se pide:

b) (0.3 puntos) Frecuencia de reloj del procesador segmentado.

c) (0.3 puntos) Productividad máxima del procesador segmentado y Aceleración máxima respecto del procesador original monociclo

d) (0.2 puntos) Aceleración ideal respecto del procesador original monociclo

e) (0.4 puntos) Suponga que se decide supersegmentar el procesador, dividiendo las etapas LI y M en dos subetapas de 15 ns (LI1, LI2, DI, EX, M1, M2, ER). ¿qué tiempo se requeriría para ejecutar 4000 instrucciones en dicho procesador? Incluya en el cálculo los ciclos de llenado inicial del pipeline. Suponga que no hay conflictos.

3 (1 punto) En el procesador segmentado del ejercicio anterior (sin supersegmentar) se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000.

```

(1)          lw $t2, 0($t1)
(2)          add $t3, $t2, $t3
(3)          bne $t3, $zero, no
(4)          beq $t2, $zero, si
(5)  no:      addi $t1, $t1, 4
(6)  si:      sw $t3, 0($t1)
(7)          add $t3, $t2, $t3

```

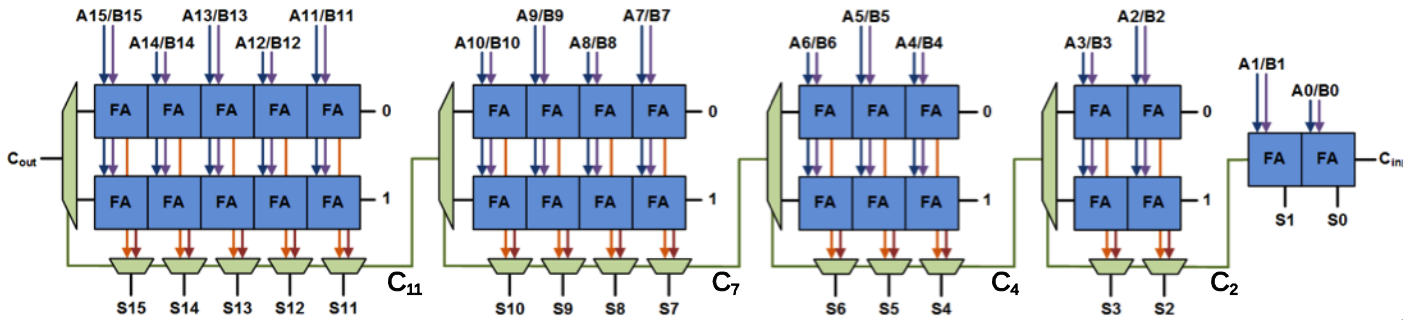
- a) (0.7 puntos) Asuma que se utiliza inserción de ciclos de parada tanto para solucionar los conflictos por dependencias de datos como los riesgos de control. Teniendo en cuenta que para este procesador la latencia de salto es 2 y que el salto de (3) NO se produce y el salto de (4) SI se produce, complete el diagrama instrucciones/ciclo

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
(1) lw																			
(2) add																			
(3) bne																			
(4) beq																			
(6) sw																			
(7) add																			

- b) (0.3 puntos) Indique para dicho código:

Número de ciclos de parada (P)	
Número de ciclos totales de ejecución (T)	
CPI (indique las operaciones realizadas para el cálculo)	

- 4 (1.2 puntos) Se pretende diseñar un sumador de enteros de 16 bits que reduzca el tiempo de respuesta respecto al sumador con propagación de acarreo (CPA) clásico. Se opta por un **sumador con selección de acarreo (Carry Select Adder, CSA)**, pero con el **tamaño de los bloques variable**. En concreto, se trata de un CSA con tamaño de bloques 5-4-3-2-2 (de izquierda a derecha), tal como muestra la figura adjunta. Suponga los FA (Full Adder) diseñados en base a sus funciones lógicas, como los que se han visto en el aula. Suponga que el retardo de una puerta es 1ns, y el retardo de un multiplexor es de 2ns.



- a) (0.1 puntos) Indique el retardo de un FA:

$t_s(\text{suma}) =$

$t_c(\text{carry}) =$

- b) (0.6 puntos) Indique el retardo en las señales siguientes:

$C_2 =$

$C_4 =$

$C_7 =$

$C_{11} =$

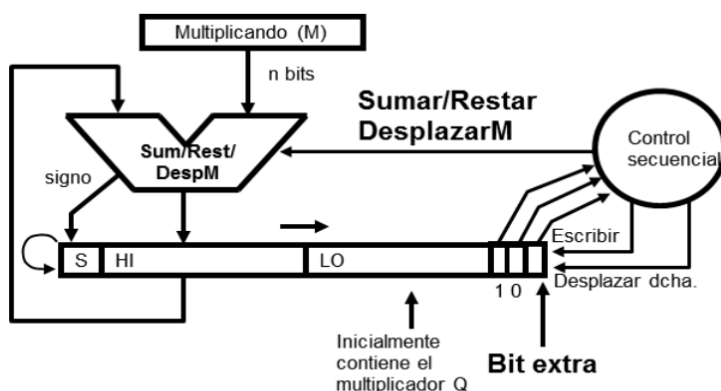
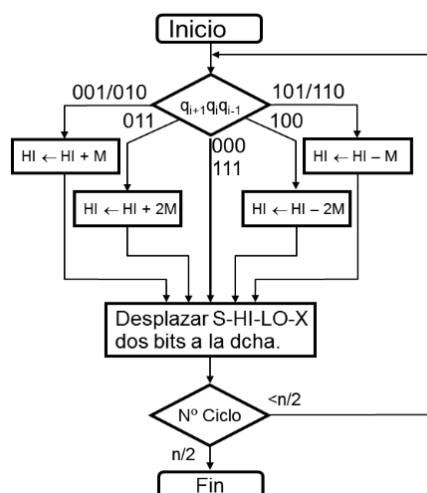
$S_{15} =$

$C_{out} =$

- c) (0.2 puntos) Indique la productividad del sumador en unidades MOPS

- d) (0.3 puntos) Compare con la productividad de un sumador CPA de 16 bits.

5 (1.3 puntos) Considere un operador secuencial de multiplicación mediante **recodificación por parejas** de bits. Los operandos son enteros de 8 bits con signo. A continuación se muestran los detalles del algoritmo y del operador.



- a) (0.2 puntos) Considere la multiplicación del multiplicando $M = 3$ y el multiplicador $Q = -8$ en este operador. ¿Cuáles serán los valores de HI y LO tras la inicialización del operador?

HI =
LO =

- b) (0.2 puntos) Indique la codificación Booth de $Q (-8)$:

Q Booth:

- c) (0.2 puntos) Indique la recodificación por parejas de Q :

Q Parejas:

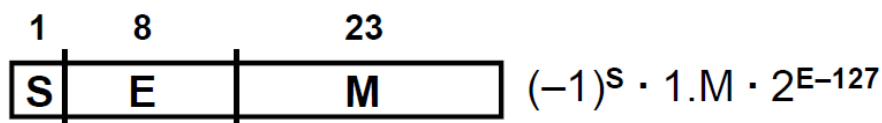
- d) (0.2 puntos) Indique las acciones a realizar en el ciclo 2 del algoritmo (sin tener en cuenta el ciclo de inicialización de los registros):

- e) (0.5 puntos) Calcule la productividad del operador teniendo en cuenta los retardos de las operaciones. Se asume que en cada ciclo de reloj se completa una iteración. La inicialización se realiza en un ciclo de reloj adicional.

Desplazar M 1 bit	Insp. q_{i+1}, q_i, q_{i-1}	suma	resta	escritura HI	Desplazamiento S-HI-LO-X 1 bit	Eval. Nº ciclo
2 ns	6 ns	20ns	25ns	2 ns	4 ns	5 ns

- 6** (1 puntos) Escriba el código de una subrutina **pot2** que calcule 2^n ($-126 \leq n \leq 127$). La subrutina recibe como parámetros el valor de n en el registro \$a0 y devuelve el resultado en \$f0. El cálculo se realizará utilizando exclusivamente operaciones de enteros para componer el resultado en formato de coma flotante de simple precisión, y se asumirá que n está en el rango indicado.

El formato de coma flotante es el siguiente:



pot2:

- 7** (1.4 puntos) Se está diseñando un mapa de memoria para un procesador MIPS de 32 bits de acuerdo con los siguientes requisitos:

- A partir de la dirección 0x40000000 se va a ubicar un módulo de memoria M1 de 512 MB, un módulo M2 de 256MB y un módulo M3 de 64MB, sin dejar ninguna dirección libre entre ellos. Indique para este caso:

- a. (0.6 puntos) ¿Cuál será es el rango de direcciones de cada módulo? Expréselo en hexadecimal.

M1 de 0x40000000 a

M2 de

M3 de

- b. (0.6 puntos) ¿Cuál será la función de selección para cada módulo utilizando lógica negativa?

M1* =

M2* =

M3* =

- c. (0.2 puntos) ¿Cuántas líneas de direcciones y cuantas líneas de selección de octeto hay en el bus del procesador? Indique cuales son.

8 (1.6 punto) Se dispone de un chip de memoria SDRAM DDR con un ancho de palabra de 64 bits. En la tabla siguiente pueden verse los valores de los principales parámetros temporales de esta memoria expresados en ns. Dicha memoria va a conectarse a una CPU mediante un bus de frecuencia 500 MHz ($t_{\text{ciclo}}=2$ ns).

- a. (0.3 puntos) Complete la tabla de los parámetros de la memoria expresando su valor en ciclos para que puedan cumplirse las restricciones temporales.

Parámetro	ns	ciclos
T_{RCD}	7	
T_{RAS}	15	
T_{RC}	22	
T_{RP}	6	
CL		3

- b. (0.4 puntos) Rellene el cronograma para realizar la lectura de un bloque de 8 palabras. Considere que la orden de precarga NO es automática.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16
Orden																
Dirección																
Datos																

- c. (0.3 puntos) ¿Cuál es el ancho de banda de esta memoria? Inclúyanse los cálculos realizados.

- d. (0.3 puntos) ¿Cuál es su tiempo de acceso? Inclúyanse los cálculos realizados.

- e. (0.3 puntos) ¿Cómo se verían afectados el ancho de banda y el tiempo de acceso si la memoria fuera de tipo DDR3 y se mantuvieran los mismos valores de los parámetros temporales? Inclúyanse los cálculos realizados.