

Apellidos y Nombre

DNI

Grupo

- 1 (1 punto)** Se desea incluir la instrucción `sll rd, rt, desp5`, con formato R, como una instrucción más del juego de instrucciones básico del MIPS visto en clase. La instrucción desplaza a la izquierda el contenido del registro `rt`, la cantidad de bits establecido en el campo `desp5` de la instrucción, introduciendo ceros por la derecha, y dejando el resultado en `rd`. Por ejemplo, la instrucción `sll $2, $3, 6` se codificaría como muestra la Figura 1:

COP	RS	RT	RD	desp5	Función
000000	00000	00011	00010	00110	000000

Figura 1 Codificación `sll $2, $3, 6`, de tipo R

Para ello se ha modificado la ruta de datos tal y como muestra la Figura 2 incluyendo un componente DESPLAZADOR (SLL), basado internamente en un *Barrel Shifter*, que efectúa la operación de la instrucción `sll`. Además, el Multiplexor de escritura en registro se ha ampliado por lo que requiere una señal de control de 2 bits.

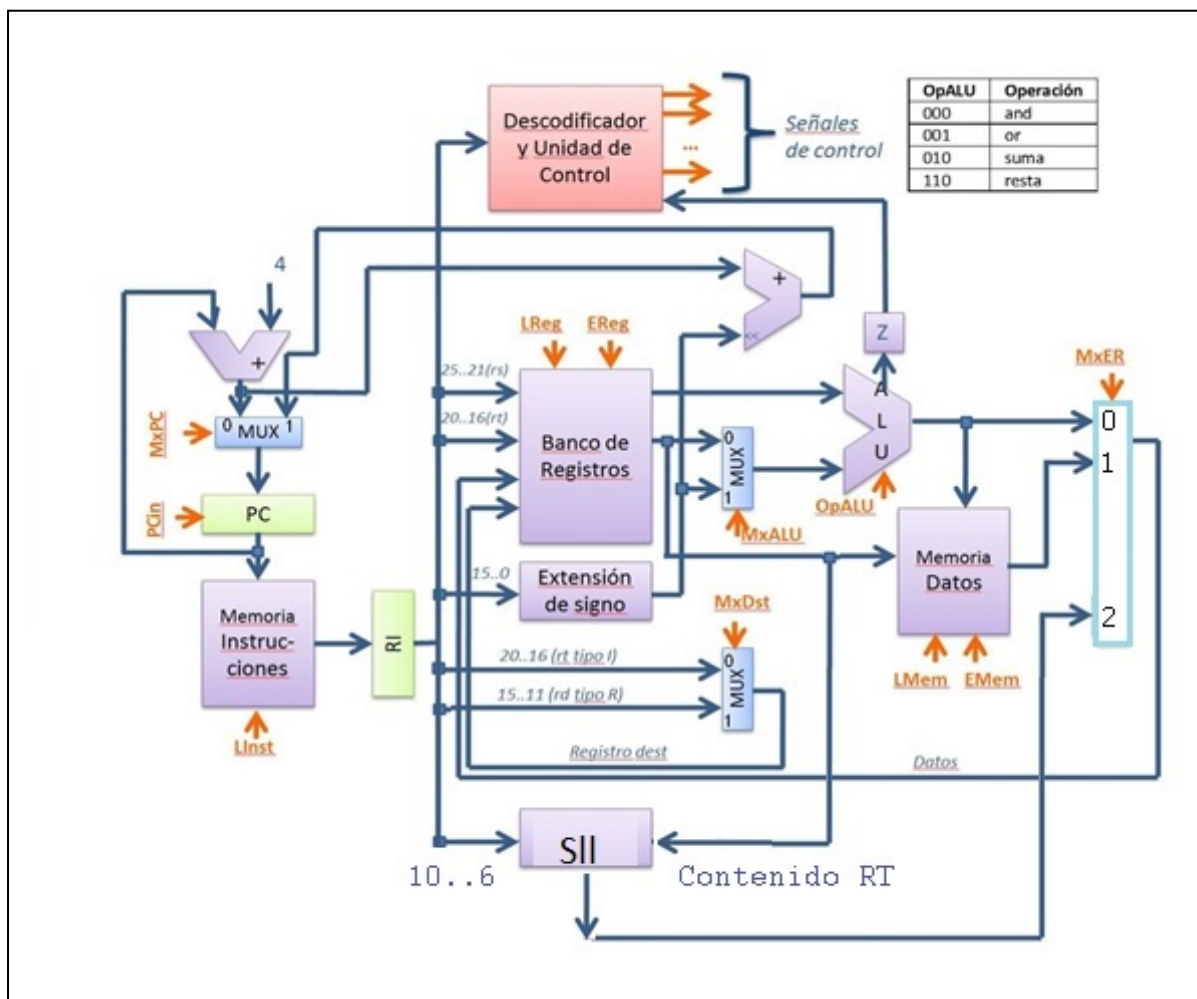


Figura 2. Ruta de los datos, con componente SLL.

Complete la tabla correspondiente a las señales de control para ejecutar sobre la misma las instrucciones que se piden.

Instrucción	Form	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
sll rd, rt, desp	R	1	xxx	0	0	0	x	1	10
and rd, rs, rt	R	1	000	0	0	0	0	1	00
lw rt, desp(rs)	I	1	010	1	0	0	1	0	01
beq rs, rt, etiq	I	0	110	0	0	Z	0	x	x

2 (1.25 puntos) Considérese la ruta de datos segmentada de cinco etapas (LI, DI, EX, M, ER) estudiada en clase y supóngase que las etapas tienen los siguientes retardos: 49 ns las memorias, 45 ns el banco de registros para lectura y escritura, y 40 ns la unidad aritmético-lógica. Los registros de segmentación tienen un retardo de 1ns. Resto de unidades funcionales tienen un tiempo despreciable.

a) **(0.25 puntos)** ¿Cuál es la productividad máxima que se puede alcanzar con esta ruta de datos segmentada?

$$\chi = 1/T$$

$$T = \max(49, 45, 40, 49, 45) + 1 = 50 \text{ ns}$$

$$\chi = (1000/50) \text{ MIPS} = 20 \text{ MIPS}$$

b) **(0.25 puntos)** ¿Cuál es la aceleración máxima conseguida respecto a la versión no segmentada?

$$T_{NS} = (49 + 45 + 40 + 49 + 45) = 228$$

$$S = T_{NS} / T = 228/50 = 4.56$$

c) **(0.25 puntos)** Indique para la ruta indicada cuál sería la aceleración ideal, y bajo qué condiciones se llegaría a obtener.

$$S = 5$$

Etapas mismos retardos y registro de segmentación 0 ns.

d) **(0.25 puntos)** Un programa ejecuta 100 instrucciones en este computador y tarda 6200 ns. ¿Cuántos ciclos de parada han tenido lugar?

$$(100 + P + 4) * 50 \text{ ns} = 6200 \text{ ns}$$

$$P = 6200/50 - 104 = 20 \text{ paradas}$$

e) **(0.25 puntos)** Si utilizáramos esta ruta como base para hacer un procesador superescalar de 2 vías, ¿cuál sería la productividad máxima?

Doble, luego 40 MIPS

3 (1.5 puntos) En el procesador segmentado en cinco etapas del ejercicio anterior se va a ejecutar el siguiente fragmento de código en ensamblador del MIPS R2000. Asuma que los conflictos por dependencias de datos y control se solucionan mediante la inserción de ciclos de parada y la latencia de salto es 1.

```

(1)          lui $t0, 0x1000
(2)          ori $t4, $0, 100
(3)  bucle:  beqz $t4, fin
(4)          lh  $t5, 0($t0)
(5)          lh  $t6, 0x200($t0)
(6)          sh  $t5, 0x200($t0)
(7)          sh  $t6, 0($t0)
(8)          addi $t4, $t4, -1
(9)          addi $t0, $t0, 2
(10)         j   bucle
(11)  fin:

```

	Registro	instrucción en que se escribe	instrucción en que se lee
Riesgo	\$t4	2	3
Riesgo	\$t5	4	6
Riesgo	\$t6	5	7
Riesgo			
Riesgo			

Tabla 1. Riesgos de datos

- a) **(0.5 puntos)** Indique los riesgos por dependencias de datos que existe utilizando la Tabla 1 (el número de riesgos no tiene por qué ser igual al número de filas)
- b) **(0.5 puntos)** Indique para dicho código (justifique las respuestas)

Número de Instrucciones ejecutadas (I)	$2 + 8 * 100 + 1 = 803$ instrucciones
Número de ciclos de parada (P)	$2ori + 1lh * 100 \text{ veces} + 1beqz * 101 \text{ veces} + 1j * 100 \text{ veces}$ 303 paradas
Número de ciclos totales de ejecución (T)	$I + P + 4 = 803 + 303 + 4 = 1110$ ciclos
CPI	$(1110 - 4) / 803 = 1.38$

- c) **(0.5 puntos)** Rellene el diagrama de ejecución solo para las tres instrucciones que se indican:

	2	3	4	5	6	7	8	9	10	11
ori \$t4,\$0,100	LI	DI	EX	M	ER					
beqz \$t4,fin		LI	-	-	DI	EX	M	ER		
lh \$t5,0(\$t0)					-	LI	DI	EX	M	ER

- 4 (1 punto)** El circuito de la Figura 3 es multiplicador combinacional para números de 3 bits (X e Y) basado en sumadores completos FA implementados a según las funciones lógicas para la Suma y el Acarreo vistas en clase. Cada puerta lógica (independientemente de la función que realice) introduce un retardo de 0.5 ns.

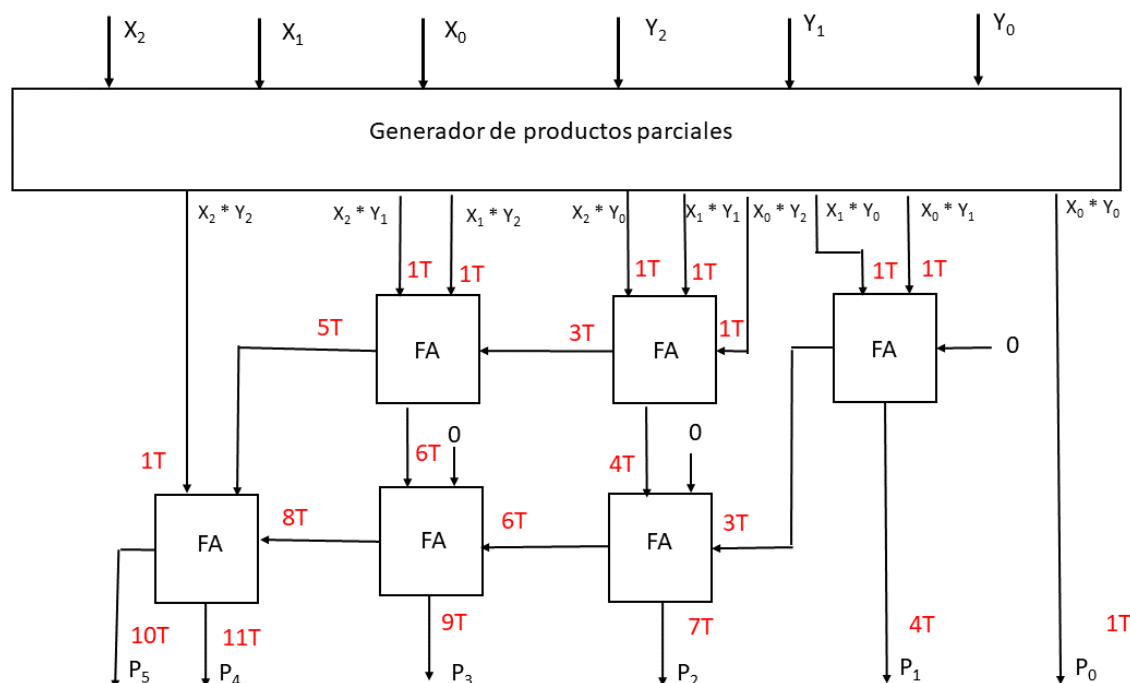


Figura 3. Multiplicador combinacional

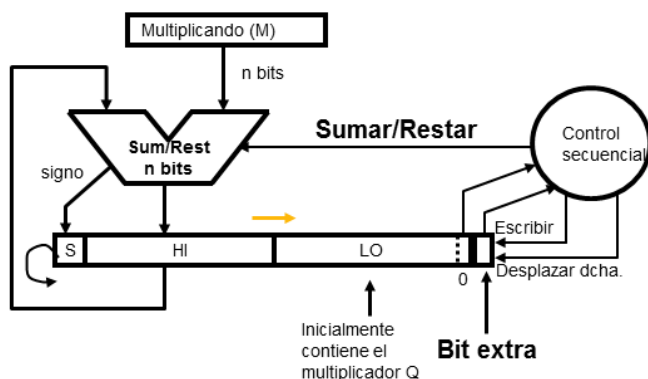
- a) **(0.75 puntos)** Tiempo necesario para realizar el producto de $X*Y$. Justifíquelo indicando los tiempos de los resultados parciales indicados en la figura mediante un recuadro.

$$T = 11 * 0.5 \text{ ns} = 5.5 \text{ ns}$$

- b) **(0.25 puntos)** Productividad del circuito expresada en MOPS.

$$P = 1 \text{ op} / 5.5 \text{ ns} = 181.8 \text{ MOPS}$$

- 5 (1. punto)** Se dispone de un circuito multiplicador secuencial basado en el **algoritmo de Booth** para números enteros de 4 bits tal y como se muestra en la figura. Supóngase que el retardo de las diferentes operaciones involucradas en la multiplicación es el que se indica en la tabla adjunta:



Inicializar registros y circuito de control	5 ns
Inspeccionar q_i, q_{i-1}	2 ns
Sumar y actualizar HI	8 ns
Restar y actualizar HI	11 ns
Desplazar S-HI-LO-X 1 bit	2 ns
Evaluar el número de ciclo actual	1 ns

a) (0.75 puntos) Indique paso a paso como se realiza el producto de los números de 4 bits $M=2$ y $Q=-7$.

Ciclo	Acción	S-HI-LO-X
0	Valores iniciales	0 0000 1001 0
1	Caso 10: $HI \leftarrow HI - M$	1 1110 1001 0
	Desplazar S-HI-LO 1 bit a la derecha	1 1111 0100 1
2	Caso 01: $HI \leftarrow HI + M$	0 0001 0100 1
	Desplazar S-HI-LO 1 bit a la derecha	0 0000 1010 0
3	Caso 00: No hacer nada	0 0000 1010 0
	Desplazar S-HI-LO 1 bit a la derecha	0 0000 0101 0
4	Caso 10: $HI \leftarrow HI - M$	1 1110 0101 0
	Desplazar S-HI-LO 1 bit a la derecha	1 1111 0010 1

b) (0.5 puntos) ¿Cuál sería la productividad que podría alcanzar dicho multiplicador, en MOPS? Considere que la inicialización se realiza en un ciclo de reloj independiente. Justifique la respuesta.

Tiempo de operación = $\max(5ns, (2ns+11ns+2ns+1ns)) \cdot (1+4) = 80ns$

Productividad = $1/80ns = 12,5 \text{ MOPS}$

6 (1 punto) Escriba una función *areaT* en lenguaje ensamblador del MIPS R2000 que calcule el área de un triángulo ($A = \frac{b \cdot a}{2}$). La base *b* del triángulo y la altura *a* son dos variables reales que se pasan a la función en los registros \$f10 y \$f12 respectivamente. El área se devuelve en el registro \$f0.

```
.text 0x00400000
.....
__start:
areaT:    li $t2, 2

          mtc1, $t2, $f4
          cvt.s.w $f4, $f4
          mult.s $f10, $f10, $f12
          div.s $f0, $f10, $f4
          jr $ra

(o bien li.s $f4, 2.0 y sobran mtc1 y cvt )
```

7 (1.5 puntos) Un determinado chip comercial de memoria SDRAM tiene un ancho de palabra de 64 bits y trabaja a una frecuencia de reloj de 100 MHz ($t_{\text{ciclo}} = 10\text{ns}$).

a) **(0.5 puntos)** Complete la siguiente tabla expresando los parámetros temporales en los ciclos de reloj correspondientes:

PARAMETRO	TIEMPO Min. (ns)	Ciclos FRECUENCIA 100MHz
t_{RCD}	18	2
t_{RAS}	42	5
t_{RC}	60	6
t_{RP}	18	2
CL	----	2

b) **(0.5 puntos)** Calcule el tiempo de acceso y el ancho de banda:

FRECUENCIA	TIEMPO DE ACCESO (ns) (Latencia de lectura)	ANCHO de BANDA (MBps)
100 MHz	$t_A = t_{\text{RCD}} + t_{\text{CL}} = 4 T_{\text{ciclo}} = 40\text{ns}$	$B = f \times W = 100\text{MHz} \times 8\text{B} = 800 \text{ MBps}$

c) **(0.5 puntos)** En una versión actualizada el mismo chip se oferta utilizando tecnología DDR3. Indique cómo afectaría esta nueva versión al tiempo de acceso y al ancho de banda. Suponga que se mantienen los mismos parámetros temporales y la misma frecuencia de trabajo.

t_A sería el mismo

B se duplicaría, pues al ser DDR se acceden a 2 palabras por ciclo

$B = \text{MT/s} \times W = 2 \times f \times W = 1600 \text{ MBps}$

8 (1.5 puntos) A un computador basado en una CPU MIPS R2000 se le ha dotado de un primer módulo (M1) de 1GB a partir de la dirección 0x00000000. Posteriormente se le ha añadido a continuación de éste un segundo módulo (M2) de 512MB. A partir de la dirección 0x80000000 se ha incluido el módulo M3 de 2GBytes de capacidad

a) **(0.75 puntos)** Complétese el mapa de memoria resultante, indicando la dirección inicial y final de cada uno de los módulos, y especificando el tamaño y dirección del espacio libre disponible.

M1 (1GB)	0x00000000
	0x3FFFFFFF
M2 (512MB)	0x40000000
	0x5FFFFFFF
512MB	0x60000000
	0x7FFFFFFF
M3 (2GB)	0x80000000
	0xFFFFFFF

b) Indíquense las funciones de selección para los módulos M1 y M2 utilizando lógica negativa **(0.25 puntos)**

$$Cs1^* = A31 + A30$$

$$Cs2^* = A31 + A30^* + A29$$

c) (0.75 puntos) El módulo M2 está constituido por una única fila de chips idénticos. Cada chip tiene una longitud de palabra de 8 bits y se organiza internamente en cuatro bancos con 4096 (2^{12}) filas cada uno.

c1) Calcule la capacidad de cada chip y el número de chips que tiene el módulo. **(0.25 puntos)**

$$N^{\circ} \text{ de chips} = W/8 = 32/8 = 4$$

$$\text{Tamaño de cada chip} = 512 \text{ MB}/4 = 128 \text{ MB}$$

c2) Indique cuántas patillas de dirección tiene cada chip de memoria **(0.25 puntos)**

Organización del chip: 128 MB = 128Mpalabras x 8bits

$$128 \text{ Mpalabras} = 2^{27} \text{ palabras} = \text{Bancos} \times \text{Filas} \times \text{Columnas} = 4 \times 2^{12} \times 2^{13}$$

- 13 líneas para filas/columnas multiplexadas (el máximo de f y c)

- 2 líneas para el banco

c3) Indique cuántas líneas de selección de octeto tiene el módulo **(0.25 puntos)**

4 líneas de selección de octeto, pues el tamaño de la palabra = $W = 32 = 4B$

DQM3*, DQM2*, DQM1*, DQM0*