Universidad de San Carlos
Facultad de Ingeniería
Escuela de Ciencias y Sistemas
Organización Computacional
Laboratorio
Auxiliar Diego Josue Berrios Gutierrez



Documentación

Práctica 2

Unidad Aritmética Lógica Simple (ALU)

Grupo #4

Nombre:	Carné:
Erick Eduardo Machán Sagüi	199212618
Jorge Rolando Ambrosio Perez	201700408
Gerber David Orellana Ruiz	201701085
José Carlos I Alonzo Colocho	201700965
José Alejandro Lorenty Herrera	201800469

Introducción

En los dispositivos como computadoras, teléfonos consolas se manejan varios circuitos desde los procesadores hasta las fuentes de poder, pero siendo tan básicos contienen pequeñas unidades las cuales realizan las operaciones básicas aritméticas como la suma, resta, multiplicación y potencia, así como las operaciones básicas de lógica, estas también conocidas como AND, OR, XOR, etc. Conjunto a ello tiene la capacidad de comparar información que vienen en BITS. Estos paquetes de funciones aritméticas y lógicas se llaman ALU, en sus siglas en inglés "ARITHMETIC LOGIC UNIT", en español unidad Aritmética-Lógica, manejando toda la información de bits y realizando las operaciones anteriormente mencionadas.

Descripción del Problema

En la producción de dispositivos electrónicos de alta gama, los ALU son de suma importancia, en la aplicación general de estos se deben armar con compuertas para realizar las operaciones requeridas, además de manejar y seleccionar las operaciones que se necesiten en dicho evento, claro está que en la producción y creación de ALUS se necesita la aplicación correcta de lógica combinacional y entendimiento en la utilización de las compuertas electrónicas como en los Multiplexores y Codificadores, agregado sus contrapartes; esto debido a que para la representación gráfica de los bits se necesita una traducción, en este caso específico en un Display, por ende, se requiere la conversión de binario a BCD, la situación es el desarrollo desde cero de una unidad aritmética-lógica con 2 números de 4 bits cada uno y poder realizar todas las operaciones básicas que un ALU puede realizar en un campo real, todo esto simulándolo y generando un diagrama digital efectivo y preciso.

Funciones Booleanas y Mapa de Karnaugh

SUMA y RESTA

Α	В	Ce	Cs	S	Tabla sumador completo
0	0	0	0	0	
0	0	1	0	1	
0	1	0	0	1	
0	1	1	1	0	
1	0	0	0	1	
1	0	1	1	0	
1	1	0	1	0	
1	1	1	1	1	
Α	В	Ce	Cs	S	Tabla restador completo
0	0	0	0	0	
0	0	1	1	1	
0	1	0	1	1	
0	1	1	1	0	
1	0	0	0	1	
1	0	1	1	0	
1	1	0	1	0	
1	1	1	1	1	

					Entrac	Entrada D, C, B, A primer decodificador Entrada B,				ndo decodificador	
Α	В	С	D	E	S3	S2	S1	S0	S5	S4	Equivalente decimal
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1	0	0	1
0	0	0	1	0	0	0	1	0	0	0	2
0	0	0	1	1	0	0	1	1	0	0	3
0	0	1	0	0	0	1	0	0	0	0	4
0	0	1	0	1	0	1	0	1	0	0	5
0	0	1	1	0	0	1	1	0	0	0	6
0	0	1	1	1	0	1	1	1	0	0	7
0	1	0	0	0	1	0	0	0	0	0	8
0	1	0	0	1	1	0	0	1	0	0	9
0	1	0	1	0	0	0	0	0	0	1	10
0	1	0	1	1	0	0	0	1	0	1	11
0	1	1	0	0	0	0	1	0	0	1	12
0	1	1	0	1	0	0	1	1	0	1	13
0	1	1	1	0	0	1	0	0	0	1	14
0	1	1	1	1	0	1	0	1	0	1	15
1	0	0	0	0	0	1	1	0	0	1	16
1	0	0	0	1	0	1	1	1	0	1	17
1	0	0	1	0	1	0	0	0	0	1	18
1	0	0	1	1	1	0	0	1	0	1	19
1	0	1	0	0	0	0	0	0	1	0	20
1	0	1	0	1	0	0	0	1	1	0	21
1	0	1	1	0	0	0	1	0	1	0	22
1	0	1	1	1	0	0	1	1	1	0	23
1	1	0	0	0	0	1	0	0	1	0	24
1	1	0	0	1	0	1	0	1	1	0	25
1	1	0	1	0	0	1	1	0	1	0	26
1	1	0	1	1	0	1	1	1	1	0	27
1	1	1	0	0	1	0	0	0	1	0	28
1	1	1	0	1	1	0	0	1	1	1	29
1	1	1	1	0	0	0	0	0	1	1	30
1	1	1	1	1	0	0	0	1	1	1	31

Tabla conver	rsor de 5 bits a d	os displays	0 a 30, Ia ent	rada C, D del	segundo 744	8 se dejan en	tierra para qi	ue siempre te	engan un cerc	, por que no	se van a utili:	zar		
Sin reducir														
S0 = A'B'C'D'I	E + A'B'C'DE + A'E	CD'E + A'B	'CDE + A'BC'D	'E + A'BC'DE +	A'BCD'E + A'	BCDE + AB'C'D	D'E + AB'C'DE +	- AB'CD'E + AE	B'CDE + ABC'D	'E + ABC'DE +	ABCD'E + ABC	CDE		
S1 = A'B'C'DE	' + A'B'C'DE + A'E	CDE' + A'B	'CDE + A'BCD	'E' + A'BCD'E -	+ AB'C'D'E' + A	B'C'D'E + AB'C	DE' + AB'CDE	+ ABC'DE' + A	BC'DE					
S2 = A'B'CD'E	' + A'B'CD'E + A'E	CDE' + A'B	'CDE + A'BCD	E' + A'BCDE +	AB'C'D'E' + AE	B'C'D'E + ABC'I	D'E' + ABC'DE	+ ABC'D'E + A	BC'DE'					
S3 = AB'CDE	+ A'BC'D'E + AB'C	'DE' + AB'C	'DE + ABCD'E'	+ ABCD'E										
S4 = A'BC'DE'	+ A'BC'DE + A'B0	CD'E' + A'BC	D'E + A'BCDE	' + A'BCDE + A	B'C'D'E' + AB	C'D'E + AB'C'E	DE' + AB'C'DE +	ABCD'E + AB	CDE' + ABCDE					
S5 = AB'CD'E	+ AB'CD'E + AB'0	CDE' + AB'C	DE + ABC'D'E'	+ ABC'D'E + A	ABC'DE' + ABC	'DE + ABCD'E'	+ ABCDE' + AB	BCDE + ABCD'	E					
Reducidas														
S0 = E														
S1 = AB'C'D' -	+ A'BCD' + ABC'D	+ AB'D + B'	CD											
S2 = A'B'C+ A	C'D' + AC'D' + A'	CD + ABC'												
S3 = A'BC'D' -	+ AB'C'D + ABCD'													
S4 = AB'C' + A	A'BD + A'BC + BCE	+ BCD												
S5 = AC + AB														

MULTIPLICACION

			D1	C1	B1	A1
			D2	C2	B2	A2
			A2*D1	A2*C1	A2*B1	A1*A2
		B2*D1	B2*C1	B2*B1	B2*A1	
	C2*D1	C2*C1	C2*B1	C2*A1		
D2*D1	D2*C1	D2*B1	D2*A1			
						P1

POTENCIA

E	D	С	В	Α	
0	0	0	0	0	0
0	0	0	0	1	1
0	0	1	0	0	4
0	1	0	0	1	9
1	0	0	0	0	16
1	1	0	0	1	25
0	0	1	0	0	36
1	0	0	0	1	49
0	0	0	0	0	64
1	0	0	0	1	81

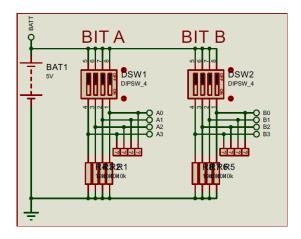
A= D'A + DC'B'A				E= B	'D'C +	· AD'C	C+ DC	'В'А	
	00	01	11	10		00	01	11	10
00		1	1		00		X		
01		1	1		01	1	1) 1	
11					11			\setminus	
10					10		(_1)	
B= t	ierra								
C= B	BA'D'				F= B	D'C			
	00	01	11	10		00	01	11	10
00				1	00				
01				1	01			1 .	1
11					11				
10					10				
		· DICI	214		C D	IDCI			
D= L		+D'CE	1	10	G=B	1	01	11	10
	00	01	11	10	00	00	01	11	10
00			(1)	00				
01		(1)		01				
11					11	_			
10					10	1			

	cub	0									
	D	С	В	Α							
	А3	Α2	Α1	Α0	F	Е	D	С	В	Α	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	1	1
2	0	0	1	0	0	0	1	0	0	0	8
3	0	0	1	1	0	1	1	0	1	1	27
4	0	1	0	0	1	0	0	0	0	0	64

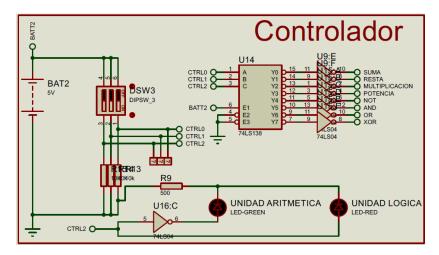
A=A	A= A3'A2'A0				D=	D= A3'A2'A1			
	00	01	11	10		00	01	11_	10
00		1	1	\bigcirc	00			1	1
01					01				
11					11				
10					10				
B= A	.3'A2' <i>A</i>	\1A0							
	00	01	11	10	E=	A3'A2'	A1A()	
00			(1			00	01	11	10
01					00			1	\supset
11					01				
10					11				
					10				
C=1									
Ε- Λ	3'A2A	1'^^							
1 - A	00	01	11	10					
00	50	01		10					
01	1								
11									
10									

Diagramas de Diseño del Circuito

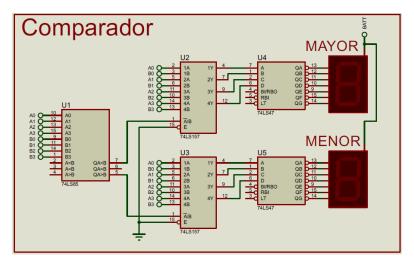
Bits de Entrada



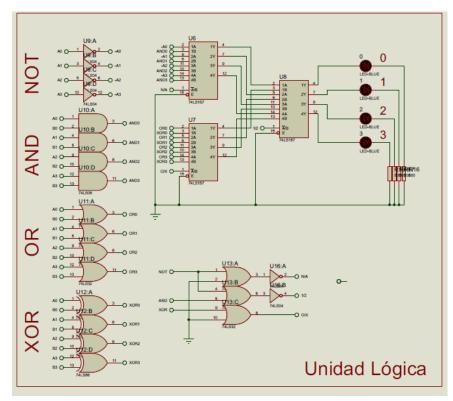
Controlador



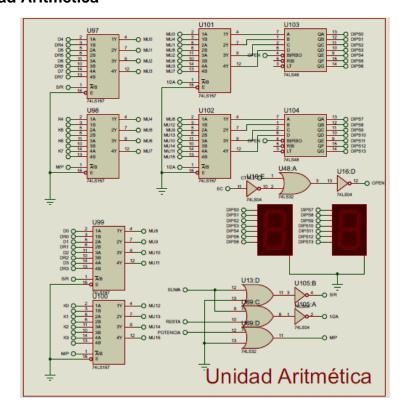
Comparador



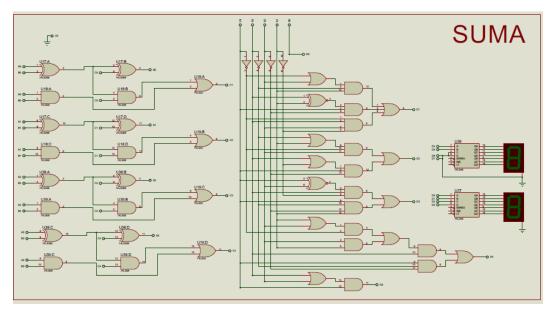
Unidad Lógica



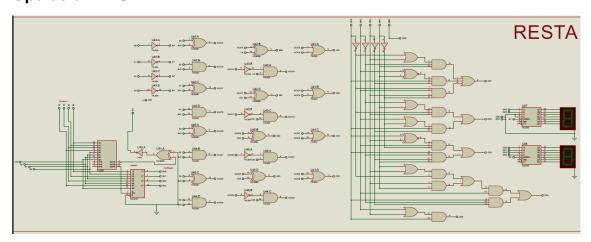
Salida Unidad Aritmética



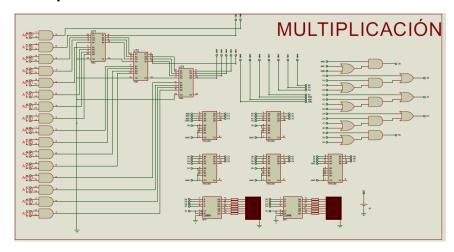
Operación SUMA



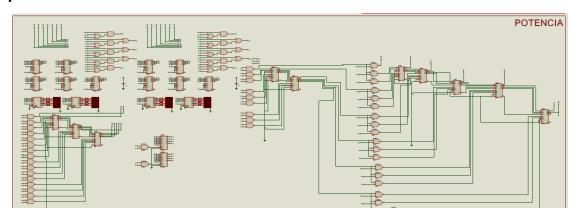
Operación RESTA



Operación Multiplicación

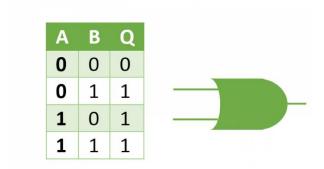


Operación Potencia

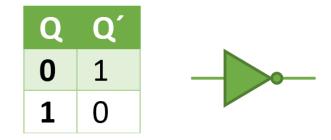


Equipo Utilizado

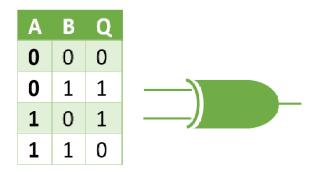
74Is08 AND:



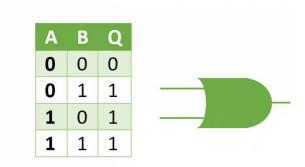
74Is04 NOT:



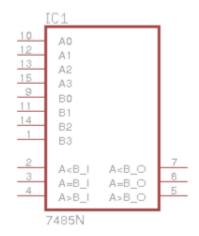
74Is86 XOR:



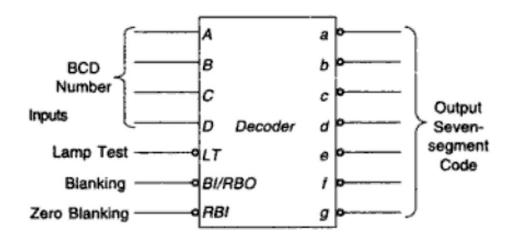
74Is32 OR:



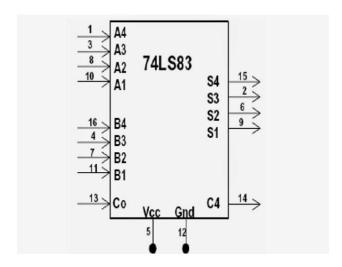
74Is85 COMPARADOR:



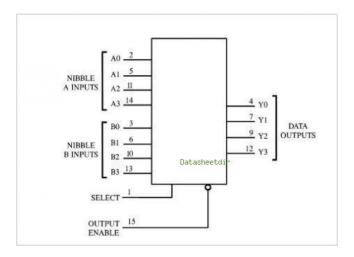
74Is47 / 7448 DECODER:



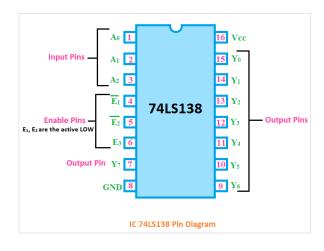
74Is83 SUMADOR:



74Is157 MULTIPLEXOR:



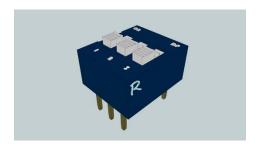
74Is138 DEMULTIPLEXOR:



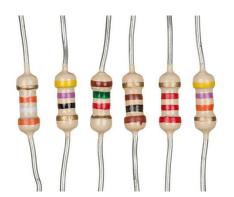
DIPSW_4 SWITCH 4 BITS:



DIPSW_3 SWITCH 3 BITS:



RES RESISTENCIAS:



LEDs:



BATERÍAS:



DISPLAY DE 7 SEGMENTOS (Ánodo o Cátodo):



Conclusiones

En el avance de la carrera y los cambios obtenidos por el aprendizaje hace que la mayoría de las personas tengan un pensamiento sistémico muy lineal y relacionado, casi atado, en la programación o codificación, sin embargo, en la aplicación del diseño combinacional en este caso en la creación de un ALU, desarrolla un flujo de pensamiento lógico y aplicativo logrando soluciones diferentes a las cuales un pensador sistémico está acostumbrado a realizar.

En el desarrollo de circuitos combinacionales al tener en cuenta todas las herramientas y dispositivos de ayuda se pude tener en cuenta el factor efectividad contra el gasto económico debido a que es sencillo seleccionar cualquier tipo de dispositivo o compuerta para desarrollar la solución o el diagrama, sin embargo, en la aplicación real, esto cambia significativamente.

Cuando se implementa un circuito de varios componentes, agregado que diferentes personas realizan las partes, conlleva un gran tiempo y precisión la unión de dichas partes debido a la lógica que se implementa y la continuidad de cada parte, aunque se trabaje con lógica combinacional el circuito no deja de ser un sistema por lo cual requiere que todas sus piezas manejen sinergia y puedan tener el mismo fin para que todo funcione correctamente.