

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Jose Veloz	1		12/09/2024

Title: Investigación exhaustiva del Teorema de Muestreo.

Keyword	Topic: Teorema de muestreo
Teorema de Nyquist-Shannon Frecuencia de muestreo Aliasing Señal continua Señal discreta	<p>El teorema de Muestreo, propuesto por Harry Nyquist y demostrado por Claude Shannon, establece que una señal continua puede ser completamente reconstruida a partir de sus muestras, siempre que la frecuencia de muestreo sea al menos el doble de la máxima frecuencia presente en la señal original.</p> <p>Aspecto: Muestreo: Proceso de tomar valores discretos de una señal continua.</p> <p>Aliasing: Si la frecuencia de muestreo es menor que la frecuencia de Nyquist, ocurrirá "aliasing", donde las frecuencias más altas se mezclan generando señales.</p> <p>Aplicaciones: Las señales de audio deben ser muestreadas a una frecuencia superior a 40KHz. Para captar completamente el rango humano (~20KHz).</p>
Questions	

Summary: El teorema de muestreo establece que una señal continua puede ser reconstruida a partir de sus muestras si la frecuencia de muestreo es al menos el doble de la máxima frecuencia presente en la señal original.

NAME

José Veloz

PAGES

2

SPEAKER/CLASS

DATE - TIME

12/09/2024

Title:

Investigación sobre las arquitecturas de CPU (RISC-V)

Keyword

Architecture
de CPU

RISC-V

ARM

x86

Topic:

Arquitecturas de CPU (origen y RISC-V)

una arquitectura de CPU define la estructura y organización de un procesador, incluyendo cómo se gestionan las instrucciones y los datos. Existen diferentes tipos de arquitecturas a lo largo de la historia.

Origen: las primeras CPU datan de los años 40 con máquinas como el ENIAC y el EDVAC, que seguían modelos de arquitectura de Von Neumann, donde los datos y las instrucciones se almacenaban en la misma memoria. Con el tiempo, surgieron otras como la arquitectura Harvard, que separa la memoria de instrucciones y datos, lo que permite una mayor eficiencia.

Arquitectura RISC-V: es una arquitectura de conjunto de instrucciones (ISA) de Reduced instruction set computer (RISC)

Questions

Summary:

RISC-V es una arquitectura RISC creada en 2010 por la Universidad de California, Berkeley. Es libre y abierta, lo que diferencia de otras ARM y x86, permitiendo su uso sin licencias y con gran flexibilidad para distintos dispositivos.

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
José Veloz	3	Pichardo	12/09/2024

Title: Investigación del ISA del ARM M0

Keyword	Topic: Cortex M0
ARM Cortex-M0	<p>El Cortex-M0 es un procesador de 32 bits basado en la arquitectura ARMv6-M, diseñado para sistemas embebidos de bajo consumo. Su ISA (Instruction Set Architecture) sigue el modelo RISC con un conjunto reducido de instrucciones optimizado por eficiencia.</p>
Questions	<p>El ARM Cortex-M0 utiliza varios tipos de direccionamiento, que son:</p> <ol style="list-style-type: none"> 1-Immediate 2-Registro 3-Desplazamiento 4-Indirecto 5-PC-relative

Summary: El ARM Cortex-M0 es un procesador de 32 bits diseñado para sistemas embebidos de bajo consumo.