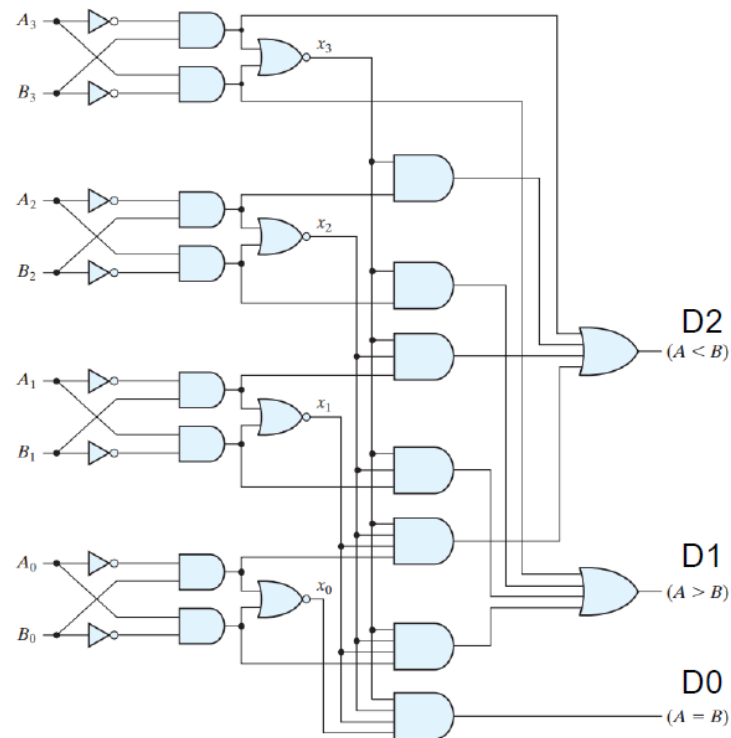




4-bit magnitude comparator

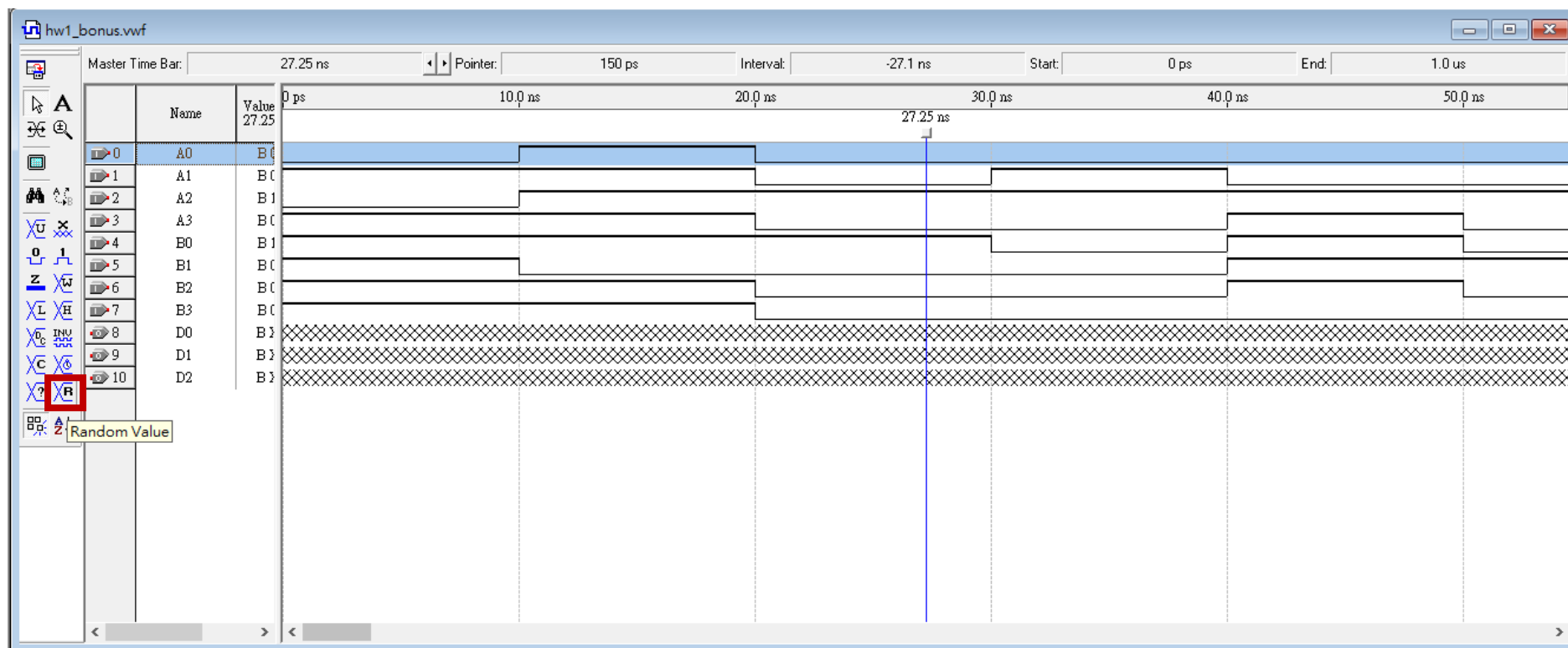
1

- Using **gate-level** Verilog to implement this design

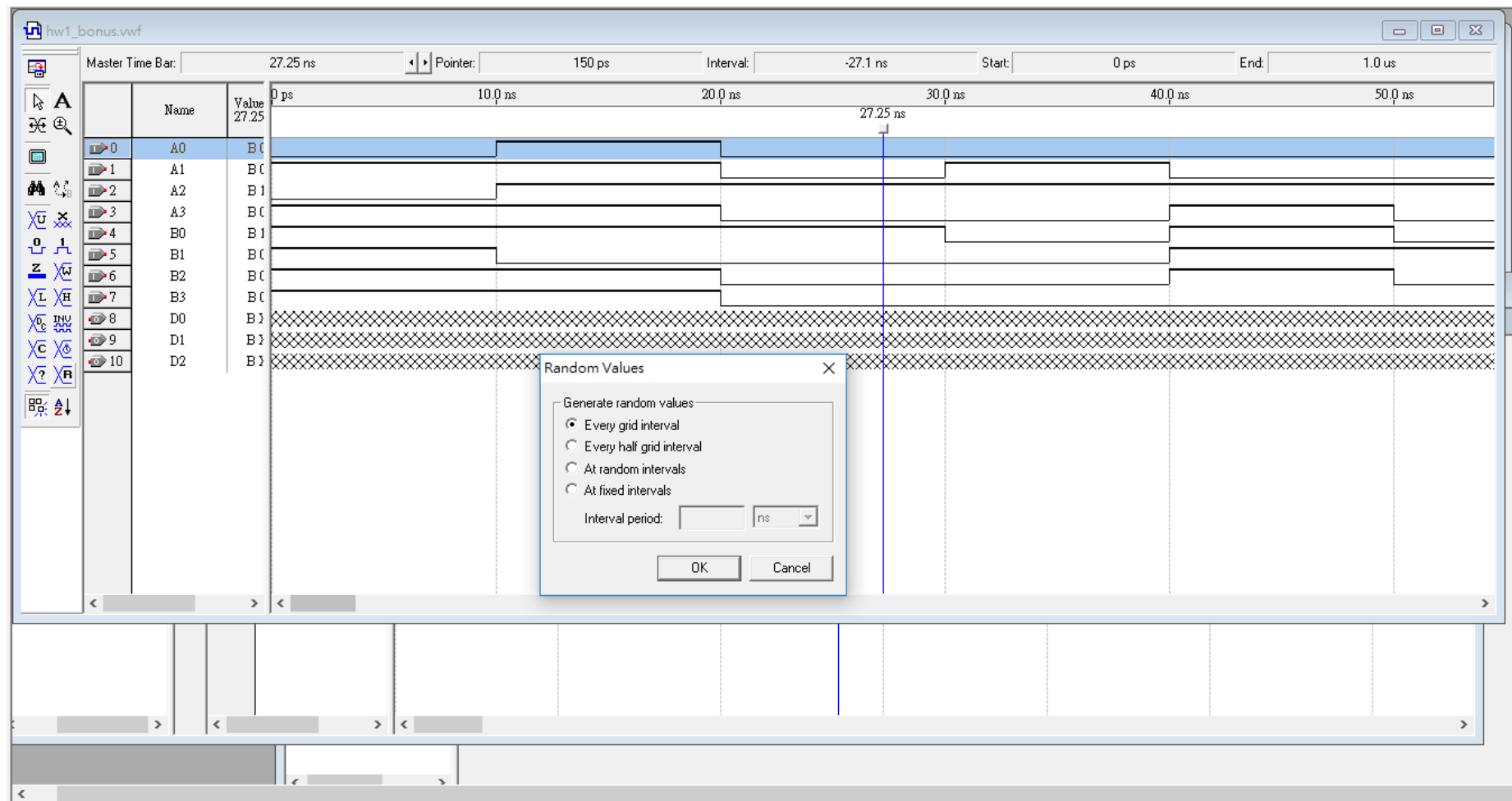


Output results :

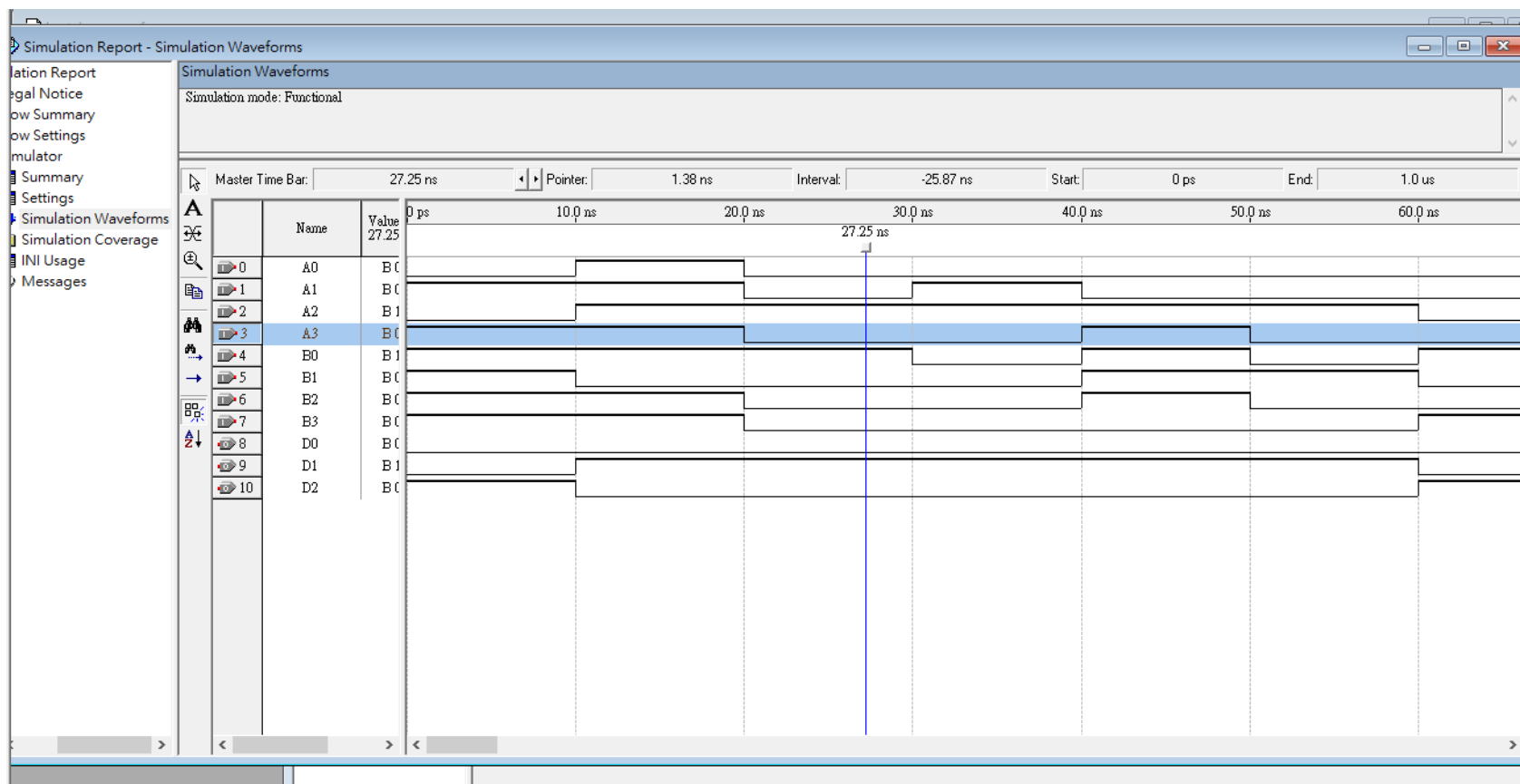
- A < B : D = 3'b100
- A > B : D = 3'b010
- A = B : D = 3'b001



此步驟請幫每一個輸入端分別點選“Random Value”按鈕，務必一個一個點選。
輸出端不必。



點選"Random Value"按鈕會出現這個欄位，請點選第一個選項後按"ok"。



全部設定完之後存檔跑波形結果，比較 A、B 大小，(MSB-LSB: 3-A0; B3-B0)

若是 A=B,D0 會是 1,其他輸出是 0;若是 A>B,D1 會是 1 其他輸出是 0;

若是 A<B,D2 會是 1 其他輸出是 0

舉例以 10ns-20ns 的區間，A 是二進制 1111、B 是 1101，A>B，所以 D1 是 1，其他是 0