

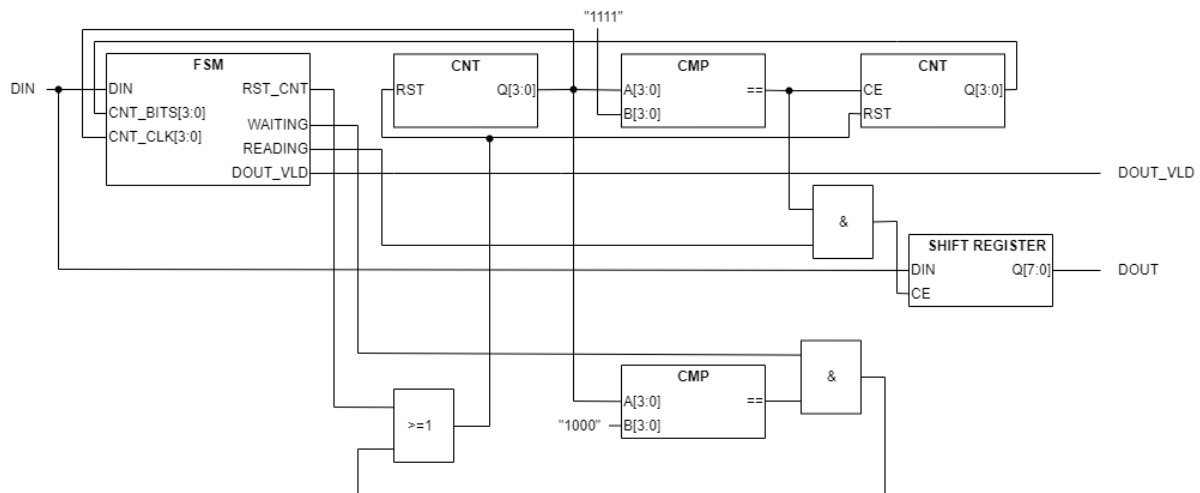
Výstupní zpráva

Jméno: Josef Kuchař

Login: xkucha28

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

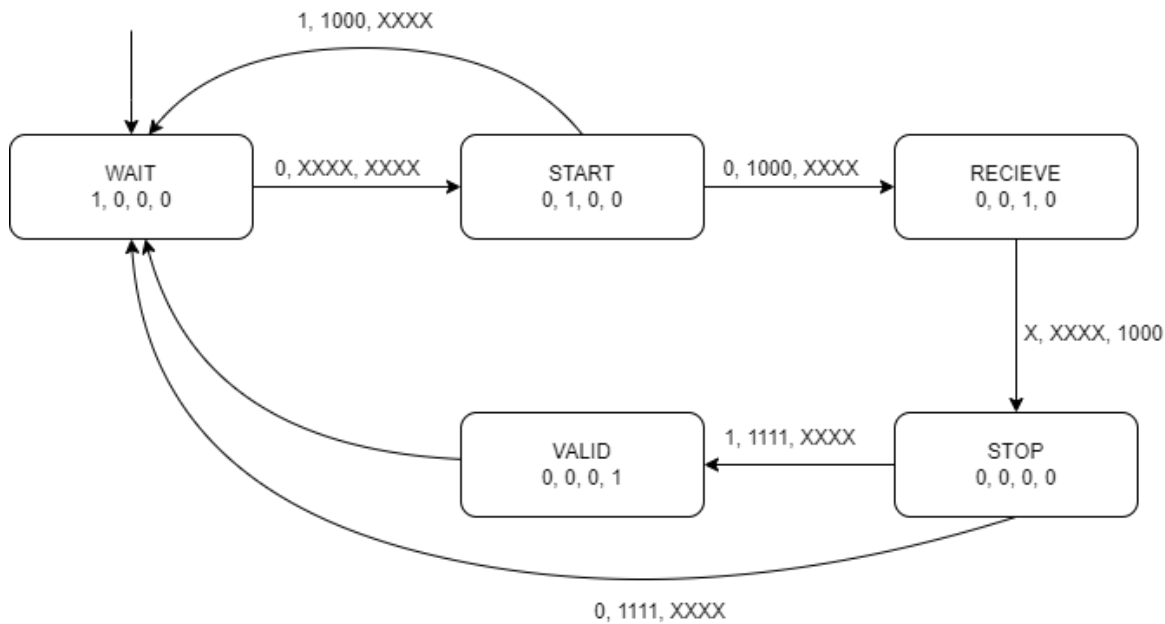
Obvod slouží ke čtení z UART linky. Navrhnutý obvod používá FSM pro řízení chodu celého obvodu, schéma je zobrazeno níže. Dále jsou zde dva čítače, jeden počítá hodinové cykly a druhý počítá počet přečtených bitů. Pro výstup je použit shift register, který čte vždy po 16 cyklech, toto je zaručeno vhodně zvoleným comparatorem. Zbytek obvodu resetuje počítadlo cyklů po průchodu 8 cyklů, abychom mohli začít číst po 16 cyklech. Konkrétnější popis je uveden níže v popisu funkce automatu.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda

- Stav automatu: WAIT, START, RECIEVE, STOP, VALID
- Vstupní signály: DIN, CNT_CLK, CNT_BITS
- Moorovy výstupy: RST_CNT, WAITING, READING, DOUT_VLD



Popis funkce

Automat začíná ve stavu **WAIT**. Při změně **DIN** = 0 automat přejde do stavu **START**. Ve stavu **START** se začínají počítat hodinové cykly (**CNT_CLK**). Jakmile **CNT_CLK** = 8 automat přejde do stavu podle **DIN** (1 → **WAIT** - startbit je neplatný, 0 → **RECIEVE**). Ve stavu **RECIEVE** je dokud **CNT_BITS** < 8, poté automat přejde do stavu **STOP**. Ve stavu **STOP** čeká dalších 16 cyklů a přejde do stavu podle **DIN** (0 → **WAIT** - stopbit je neplatný, 1 → **VALID**). Ve stavu **VALID** se zapíše na výstup, že je hodnota v shift registru validní a přejde zpět do stavu **WAIT**.