

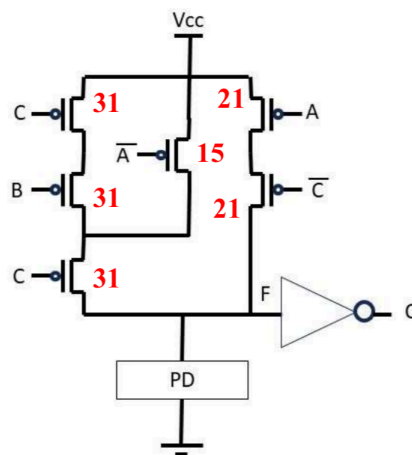
Contents

1 Tipi di esercizi	2
1.1 D	2
1.1.1 Formule notevoli	2

1 Tipi di esercizi

1.1 D

1. Della rete in figura si calcoli l'espressione booleana al nodo O.
2. Dimensionare i transistori pMOS affinché il tempo di salita al nodo F sia inferiore o uguale a 90ps. Ottimizzare il progetto. Si tenga conto che i transistori dell'inverter di uscita hanno le seguenti geometrie : $S_p = 200$, $S_n = 100$.
3. Progettare la PDN



Parametri tecnologici:

$$R_{RIF\ P} = 10k\Omega$$

$$R_{RIF\ N} = 5k\Omega$$

$$C_{ox} = 7fF/\mu m^2$$

$$L_{min} = 0,25\mu m$$

$$V_{dd} = 3V$$

N.B. I **numeri rossi** indicano la dimensione massima che possono assumere i transistor

1.1.1 Formule notevoli

$$C_{min} = C_{ox} \cdot L_{min} \cdot (SP + SN)$$

$$\text{Resistenza equivalente pull-up} \quad R_{eq\ P} = \frac{t_{LH}}{\ln(2) \cdot C_{min}}$$

$$\text{Resistenza equivalente pull-down} \quad R_{eq\ N} = \frac{t_{HL}}{\ln(2) \cdot C_{min}}$$

N.B. $\ln(2) = 0,69$

Con t_{LH} tempo di salita e t_{HL} tempo di discesa. In generale negli esercizi se chiede di “dimensionare affinché il tempo di salita al nodo X sia inferiore o uguale a Y ps” vuol dire che prenderemo $t_{LH} = Y$.

N.B. ps sono pico secondi

Per prima cosa si calcola C_{min}

$$\begin{aligned}
C_{\min} &= C_{\text{ox}} \cdot L_{\min} \cdot (\text{SP} + \text{SN}) \\
&= 7 \text{ fF} / \mu\text{m}^2 \cdot (0,25 \mu\text{m})^2 \cdot (200 + 100) \\
&= 131,35 \text{ fF}
\end{aligned}$$

Poi la resistenza equivalente

$$\begin{aligned}
R_{\text{eq P}} &= \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\min}} = \frac{90 \text{ ps}}{0,69 \cdot 131,25 \text{ fF}} \\
&= \frac{90 \cdot 10^{-9} \text{ s}}{0,69 \cdot 131,25 \cdot 10^{-12}} \\
&= 0,99378 \cdot 10^3 \Omega \\
&= 993,79 \Omega \\
&= 994 \Omega
\end{aligned}$$

Per **dimensionare** si divide $R_{\text{eq P}}$ per il numero di transistor nel percorso critico.

Percorso critico: percorso da V_{cc} all'estremità in cui ci sono più transistor in serie (quando si considera il maggior numero di transistor in serie questi possono avere paralleli). Il percorso critico è anche il percorso con NMOS maggiore.

1. Espressione booleana

Regole:

- Gli elementi in serie sono il prodotto booleano degli elementi
- Gli elementi in parallelo sono la somma booleana degli elementi

PD := rete di pull-down

PU := rete di pull-up

Reti di pull-up al nodo F :

$$PU = ((C \cdot B) + \overline{A}) \cdot C + A \cdot \overline{C} = F$$

La rete di pull-down si calcola invertendo somma e prodotto e negando poi tutta l'espressione
Scriviamo F in forma negata

$$F = \overline{(((C + B) \cdot \overline{A}) + C) \cdot (A + \overline{C})}$$

allora

$$\begin{aligned}
O = \overline{F} &= \overline{\overline{(((C + B) \cdot \overline{A}) + C) \cdot (A + \overline{C})}} \\
&= \overline{(((\overline{C} \cdot \overline{B}) + A) \cdot \overline{C}) + (\overline{A} \cdot C)}
\end{aligned}$$

2. Dimensionare i transistor

Primo caso peggiore

Si calcola la RP , che solo per il percorso critico vale $\frac{R_{\text{eq P}}}{n_{\text{NMOS}}}$. In questo caso il percorso critico è XBC ; la X sta a significare che il valore di A non ci interessa; se un elemento è negato vuol dire che il transistor è acceso.

$$\begin{aligned}
R_P &= \frac{994 \Omega}{3} \\
&= 331,33 \Omega \\
&= 331 \Omega
\end{aligned}$$

Quindi ora calcoliamo la SP con la formula

$$\begin{aligned}
S_P &= \frac{R_{\text{RIF P}}}{R_P} = \frac{10 \text{ k}\Omega}{331 \Omega} \\
&= 30,21 \\
&= 31
\end{aligned}$$

N.B. Arrotondare sempre all'intero successivo

Secondo caso peggiore

Per ottimizzare un percorso non critico si ha una formula che varia in base alle caratteristiche del percorso stesso

$$R_P = \frac{R_{eq\ P} - \frac{R_{RIF\ P}}{SP} \cdot N}{K}$$

dove N è il numero di MOS del percorso critico che interessano anche un percorso non critico e K è il numero di MOS del percorso non critico cosiddetti "nuovi", cioè che non fanno parte del percorso critico. Inoltre $K + N$ è il numero di MOS del percorso non critico; quando si devono calcolare K e N di solito si calcola prima K e poi si ricava N dall'ultima formula.

In questo caso consideriamo $AX\overline{C}$. Abbiamo 2 pMOS nuovi e nessun pMOS del percorso critico, quindi $N = 0$ e $K = 2$

$$R_{P2} = \frac{R_{eq\ P} - \frac{R_{RIF\ P}}{SP} \cdot N}{K} = \frac{994}{2} \Omega = 497 \Omega$$

$$SP_2 = \frac{R_{RIF\ P}}{R_{P2}} = \frac{10000 \Omega}{497 \Omega} = 20,12 = 21$$

Terzo caso

Consideriamo il percorso $\overline{A}\overline{B}C$. Abbiamo un nMOS nuovo e un nMOS del percorso critico, quindi $N = 1$ e $K = 1$.

N.B. Bisogna specificare \overline{B} e non X perché si deve considerare solo il percorso di \overline{AC} , e se B fosse acceso il percorso sarebbe diverso.

$$R_{P3} = \frac{R_{eq\ P} - \frac{R_{RIF\ P}}{SP} \cdot N}{K} = \frac{994 \Omega - \frac{10000 \Omega}{31} \cdot 1}{1} = 994 \Omega - 323 \Omega = 671 \Omega$$

$$SP_2 = \frac{R_{RIF\ P}}{R_{P2}} = \frac{10000 \Omega}{671 \Omega} = 14,9 = 15$$