

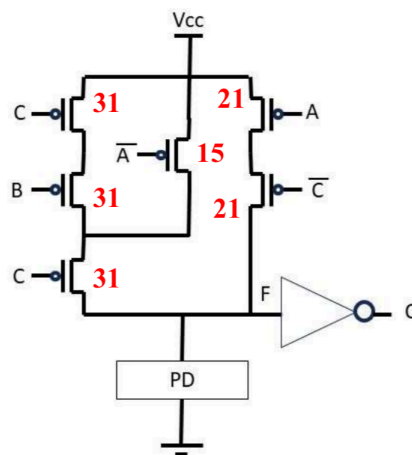
Contents

| | |
|------------------------------|---|
| 1 Tipi di esercizi | 2 |
| 1.1 D | 2 |
| 1.1.1 Formule notevoli | 2 |

1 Tipi di esercizi

1.1 D

1. Della rete in figura si calcoli l'espressione booleana al nodo O.
2. Dimensionare i transistori pMOS affinché il tempo di salita al nodo F sia inferiore o uguale a 90ps. Ottimizzare il progetto. Si tenga conto che i transistori dell'inverter di uscita hanno le seguenti geometrie : $S_p = 200$, $S_n = 100$.
3. Progettare la PDN



Parametri tecnologici:

$$R_{RIF\ p} = 10k\Omega$$

$$R_{RIF\ n} = 5k\Omega$$

$$C_{ox} = 7fF/\mu m^2$$

$$L_{min} = 0,25\mu m$$

$$V_{dd} = 3V$$

N.B. I **numeri rossi** indicano la dimensione massima che possono assumere i transistor

1.1.1 Formule notevoli

$$C_{min} = C_{ox} \cdot L_{min} \cdot (SP + SN)$$

$$\text{Resistenza equivalente pull-up} \quad R_{eq\ P} = \frac{t_{LH}}{\ln(2) \cdot C_{min}}$$

$$\text{Resistenza equivalente pull-down} \quad R_{eq\ N} = \frac{t_{HL}}{\ln(2) \cdot C_{min}}$$

N.B. $\ln(2) = 0,69$

Con t_{LH} tempo di salita e t_{HL} tempo di discesa. In generale negli esercizi se chiede di “dimensionare affinché il tempo di salita al nodo X sia inferiore o uguale a Y ps” vuol dire che prenderemo $t_{LH} = Y$.

N.B. ps sono pico secondi

Per prima cosa si calcola C_{min}

$$\begin{aligned}
C_{\min} &= C_{\text{ox}} \cdot L_{\min} \cdot (\text{SP} + \text{SN}) \\
&= 7 \text{ fF} / \mu\text{m}^2 \cdot (0,25 \mu\text{m})^2 \cdot (200 + 100) \\
&= 131,35 \text{ fF}
\end{aligned}$$

Poi la resistenza equivalente

$$\begin{aligned}
R_{\text{eq P}} &= \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\min}} = \frac{90 \text{ ps}}{0,69 \cdot 131,35 \text{ fF}} \\
&= \frac{90 \cdot 10^{-9} \text{ s}}{0,69 \cdot 131,35 \cdot 10^{-12}} \\
&= 0,99378 \cdot 10^3 \Omega \\
&= 993,79 \Omega
\end{aligned}$$

Per **dimensionare** si divide $R_{\text{eq P}}$ per il numero di transistor nel percorso critico.

Percorso critico: percorso da V_{cc} all'estremità in cui ci sono più transistor in serie (quando si considera il maggior numero di transistor in serie questi possono avere paralleli). Il percorso critico è anche il percorso con NMOS maggiore.

1. Espressione booleana

Regole:

- Gli elementi in serie sono il prodotto booleano degli elementi
- Gli elementi in parallelo sono la somma booleana degli elementi

PD := rete di pull-down

PU := rete di pull-up

Reti di pull-up al nodo F :

$$PU = ((C \cdot B) + \overline{A}) \cdot C + A \cdot \overline{C} = F$$

La rete di pull-down si calcola invertendo somma e prodotto e negando poi tutta l'espressione
Scriviamo F in forma negata

$$F = \overline{((C + B) \cdot \overline{A}) + C} \cdot \overline{(A + \overline{C})}$$

allora

$$\begin{aligned}
O = \overline{F} &= \overline{\overline{((C + B) \cdot \overline{A}) + C} \cdot \overline{(A + \overline{C})}} \\
&= \overline{((\overline{C} \cdot \overline{B}) + A) \cdot \overline{C}} + \overline{(\overline{A} \cdot C)}
\end{aligned}$$

2. Dimensionare i transistor

Si calcola la RP , che solo per il percorso critico vale $\frac{R_{\text{eq P}}}{n_{\text{MOS}}}$. In questo caso il percorso critico è $X\overline{B}\overline{C}$; la X sta a significare che il valore di A non ci interessa; se un elemento è negato vuol dire che il transistor è acceso.