



# Elettronica

Bumma Giuseppe

## Contents

1 SI .....	2
1.1 Unità derivate SI .....	2
1.2 Prefissi .....	3
2 Tipi di esercizi .....	4
2.1 D .....	4
2.1.1 Formule notevoli .....	4
2.1.2 Esame 14/06/2023 .....	4
2.1.3 Esame 12/06/2024 .....	7

## 1 SI

### 1.1 Unità derivate SI

Grandezza	Simbolo	Unità SI non di base	Unità SI di base
Carica elettrica	$C$ (Coulomb)		$s \times A$
Tensione elettrica e differenza di potenziale elettrico	$V$ “(Volt)”	$\frac{W}{A}$	$m^2 \times kg \times s^{-3} \times A^{-1}$
Forza	$N$ (Newton)		$m \times kg \times s^{-2}$
Energia/Lavoro	$J$ (Joule)	$N \times m$	$m^2 \times kg \times s^{-2}$
Potenza	$W$ (Watt)	$\frac{J}{s}$	$m^2 \times kg \times s^{-3}$
Flusso magnetico	$Wb$ (Weber)	$V \times s$	$m^2 \times kg \times s^{-2} \times A^{-1}$
Induzione magnetica	$T$ (Tesla)	$\frac{Wb}{m^2}$	$kg \times s^{-2} \times A^{-1}$
Resistenza elettrica	$\Omega$ (Ohm)	$\frac{V}{A}$	$m^2 \times kg \times s^{-3} \times A^{-2}$
Conduttanza elettrica	$S$ (Siemens)	$\frac{A}{V}$	$m^{-2} \times kg^{-1} \times s^3 \times A^2$
Capacità	$F$ (Farad)	$\frac{C}{V}$	$m^{-2} \times kg^{-1} \times s^4 \times A^2$
Induttanza	$H$ (Henry)	$\frac{Wb}{A}$	$m^2 \times kg \times s^{-2} \times A^{-2}$
Frequenza	$Hz$ (Hertz)		$s^{-1}$

## 1.2 Prefissi

Factor	Name	Symbol
$10^{-24}$	yocto	y
$10^{-21}$	zepto	z
$10^{-18}$	atto	a
$10^{-15}$	femto	f
$10^{-12}$	pico	p
$10^{-9}$	nano	n
$10^{-6}$	micro	$\mu$
$10^{-3}$	milli	m
$10^{-2}$	centi	c
$10^{-1}$	deci	d
$10^1$	deca	da
$10^2$	hecto	mh
$10^6$	mega	M
$10^9$	giga	G
$10^{12}$	tera	T
$10^{15}$	peta	P
$10^{18}$	exa	E
$10^{21}$	zetta	Z
$10^{24}$	yotta	Y

## 2 Tipi di esercizi

### 2.1 D

#### 2.1.1 Formule notevoli

$$C_{\min} = C_{\text{ox}} \cdot L_{\min}^2 \cdot (\text{SP} + \text{SN})$$

$$\text{Resistenza equivalente pull-up} \quad R_{\text{eq P}} = \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\min}}$$

$$\text{Resistenza equivalente pull-down} \quad R_{\text{eq N}} = \frac{t_{\text{HL}}}{\ln(2) \cdot C_{\min}}$$

$$R_{Pn} = \frac{R_{\text{eq P}} - \frac{R_{\text{RIF P}}}{S_P} \cdot N}{K}$$

$$\text{Per percorsi critici} \quad R_P = \frac{R_{\text{eq P}}}{K}$$

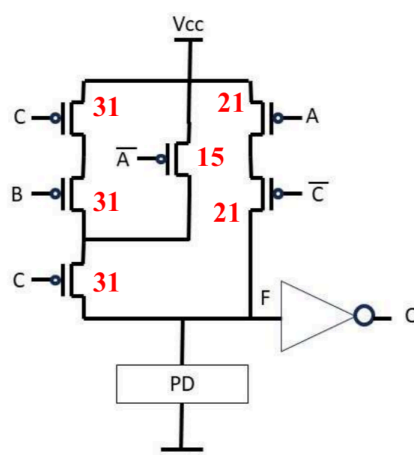
$$S_P = \frac{R_{\text{RIF P}}}{R_P}$$

#### Note:

- $\ln(2) = 0,69$
- la  $S_P$  che compare nella formula di  $R_{Pn}$  è sempre quella del percorso critico
- $t_{\text{LH}}$  è il tempo di salita e  $t_{\text{HL}}$  è il tempo di discesa. In generale negli esercizi se chiede di “dimensionare affinché il tempo di salita al nodo  $X$  sia inferiore o uguale a  $Yps$ ” vuol dire che prenderemo  $t_{\text{LH}} = Y$ .
- $ps$  sono pico secondi

#### 2.1.2 Esame 14/06/2023

1. Della rete in figura si calcoli l'espressione booleana al nodo O.
2. Dimensionare i transistori pMOS affinché il tempo di salita al nodo F sia inferiore o uguale a 90ps. Ottimizzare il progetto. Si tenga conto che i transistori dell'inverter di uscita hanno le seguenti geometrie :  $S_p = 200$ ,  $S_n = 100$ .
3. Progettare la PDN



#### Parametri tecnologici:

$$\begin{aligned} R_{\text{RIF P}} &= 10k\Omega && \text{si riferisce alla rete di pull-up} \\ R_{\text{RIF N}} &= 5k\Omega && \text{si riferisce alla rete di pull-down} \\ C_{\text{ox}} &= 7fF/\mu m^2 \\ L_{\min} &= 0,25\mu m \\ V_{\text{dd}} &= 3V \end{aligned}$$

**N.B.** I numeri rossi indicano la dimensione massima che possono assumere i transistor

Per prima cosa si calcola  $C_{\min}$

$$\begin{aligned}
C_{\min} &= C_{\text{ox}} \cdot L_{\min}^2 \cdot (\text{SP} + \text{SN}) \\
&= 7fF/\mu m^2 \cdot (0,25\mu m)^2 \cdot (200 + 100) \\
&= 131,35fF
\end{aligned}$$

Poi la resistenza equivalente

$$\begin{aligned}
R_{\text{eq P}} &= \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\min}} = \frac{90ps}{0,69 \cdot 131,25fF} \\
&= \frac{90 \cdot 10^{-12}s}{0,69 \cdot 131,25 \cdot 10^{-15}} \\
&= 0,99378 \cdot 10^3 \Omega \\
&= 993,79 \Omega \\
&= 994 \Omega
\end{aligned}$$

Per **dimensionare** si divide  $R_{\text{eq P}}$  per il numero di transistor nel percorso critico.

**Percorso critico:** percorso da  $V_{cc}$  all'estremità in cui ci sono più transistor in serie (quando si considera il maggior numero di transistor in serie questi possono avere paralleli). Il percorso critico è anche il percorso con NMOS maggiore.

## 1. Espressione booleana

**Regole:**

- Gli elementi in serie sono il prodotto booleano degli elementi
- Gli elementi in parallelo sono la somma booleana degli elementi

PD := rete di pull-down

PU := rete di pull-up

Rete di pull-up al nodo  $F$ :

$$PU = ((C \cdot B) + \overline{A}) \cdot C + A \cdot \overline{C} = F$$

La rete di pull-down si calcola invertendo somma e prodotto e negando poi tutta l'espressione. Scriviamo  $F$  in forma negata

$$F = \overline{(((C + B) \cdot \overline{A}) + C) \cdot (A + \overline{C})}$$

allora

$$\begin{aligned}
O = \overline{F} &= \overline{\overline{(((C + B) \cdot \overline{A}) + C) \cdot (A + \overline{C})}} \\
&= \overline{(((\overline{C} \cdot \overline{B}) + A) \cdot \overline{C}) + (\overline{A} \cdot C)}
\end{aligned}$$

## 2. Dimensionare i transistor

**Primo caso peggiore**

Si calcola la  $RP$ , che solo per il percorso critico vale  $\frac{R_{\text{eq P}}}{n_{\text{MOS}}}$ . In questo caso il percorso critico è  $XBC$ ; la  $X$  sta a significare che il valore di  $A$  non ci interessa.

$$\begin{aligned}
R_P &= \frac{994 \Omega}{3} \\
&= 331,33 \Omega \\
&= 331 \Omega
\end{aligned}$$

Quindi ora calcoliamo la  $SP$  con la formula

$$\begin{aligned}
S_P &= \frac{R_{\text{RIF P}}}{R_P} = \frac{10k\Omega}{331 \Omega} \\
&= 30,21 \\
&= 31
\end{aligned}$$

**N.B.** Arrotondare sempre all'intero successivo

### Secondo caso peggiore

Per ottimizzare un percorso non critico si ha una formula che varia in base alle caratteristiche del percorso stesso

$$R_P = \frac{R_{eq P} - \frac{R_{RIF P}}{SP} \cdot N}{K}$$

dove  $N$  è il numero di MOS del percorso critico che interessano anche un percorso non critico e  $K$  è il numero di MOS del percorso non critico cosiddetti "nuovi", cioè che non fanno parte del percorso critico. Inoltre  $K + N$  è il numero di MOS del percorso non critico; quando si devono calcolare  $K$  e  $N$  di solito si calcola prima  $K$  e poi si ricava  $N$  dall'ultima formula.

In questo caso consideriamo  $AX\overline{C}$ . Abbiamo 2 pMOS nuovi e nessun pMOS del percorso critico, quindi  $N = 0$  e  $K = 2$

$$R_{P2} = \frac{R_{eq P} - \frac{R_{RIF P}}{SP} \cdot N}{K} = \frac{994}{2} \Omega = 497 \Omega$$

$$SP_2 = \frac{R_{RIF P}}{R_{P2}} = \frac{10000 \Omega}{497 \Omega} = 20,12 = 21$$

### Terzo caso

Consideriamo il percorso  $\overline{A}\overline{B}C$ . Abbiamo un nMOS nuovo e un nMOS del percorso critico, quindi  $N = 1$  e  $K = 1$ .

**N.B.** Bisogna specificare  $\overline{B}$  e non  $X$  perché si deve considerare solo il percorso di  $\overline{A}C$ , e se  $B$  fosse acceso il percorso sarebbe diverso.

$$R_{P3} = \frac{R_{eq P} - \frac{R_{RIF P}}{SP} \cdot N}{K} = \frac{994 \Omega - \frac{10000 \Omega}{31} \cdot 1}{1} = 994 \Omega - 323 \Omega = 671 \Omega$$

$$SP_2 = \frac{R_{RIF P}}{R_{P2}} = \frac{10000 \Omega}{671 \Omega} = 14,9 = 15$$

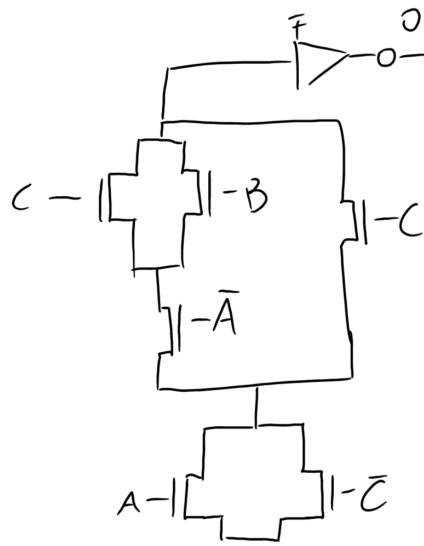
**Nota:** le  $S_P$  trovate denotano la dimensione massima dei transistori che interessano il percorso; in particolare si assegna prima la dimensione ai transistori presenti nel percorso critico, poi agli altri, in modo che il valore trovato per un transistori del percorso critico sia dominante rispetto al valore trovato per lo stesso transistori per un percorso non critico.

### 3. Progettare la PDN

La formula della rete di pull-down è la seguente (prima l'abbiamo calcolata scrivendola in forma negata)

$$PD = ((C + B) \cdot \overline{A}) + C) \cdot (A + \overline{C})$$

quindi, seguendo le regole dell'algebra booleana, la rete può essere rappresentata come segue



### 2.1.3 Esame 12/06/2024

1. Determinare l'espressione booleana al nodo O
2. Dimensionare i transistori nMOS e pMOS in modo che i tempi di salita e discesa, al nodo F, siano inferiori o uguali a  $100\text{ ps}$ . Si ottimizzi il progetto per minimizzare l'area occupata da tutti i transistori.

Si tenga conto che i transistori dell'inverter di uscita hanno le seguenti geometrie :  $S_P = 300$ ,  $S_n = 150$ .

#### Parametri tecnologici:

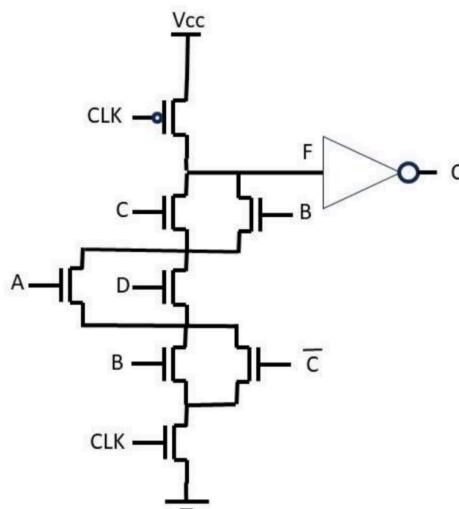
$$R_{\text{rif } p} = 10\text{ k}\Omega$$

$$R_{\text{rif } n} = 5\text{ k}\Omega$$

$$C_{ox} = 7\text{ fF}/\mu\text{m}^2$$

$$L_{\text{min}} = 0,25\text{ }\mu\text{m}$$

$$V_{CC} = 3,3\text{ V}$$



#### 1. Espressione booleana

$$PD = ((C + B) \cdot (A + D) \cdot (B + \overline{C})) \cdot CLK + \overline{CLK}$$

Nota: Il CLK non negato è in serie con il resto del circuito della rete di pull-down, quello negato è in parallelo a tutta la rete di pull-down.

$$F = \overline{PD}$$

$$O = \overline{F} = \overline{\overline{PD}}$$

$$O = \overline{\overline{PD}}$$

quindi

$$O = \overline{\overline{((C + B) \cdot (A + D) \cdot (B + \overline{C})) \cdot \text{CLK} + \overline{\text{CLK}}}}$$

$$= \overline{((\overline{C} \cdot \overline{B}) + (\overline{A} \cdot \overline{D}) + (\overline{B} \cdot C) + \overline{\text{CLK}}) \cdot \text{CLK}}$$

## 2. Dimensionare transistori nMOS e pMOS

- Rete pull-up

C'è solo un CLK nella rete di pull-up, quindi  $K = 1$

$$R_P = \frac{R_{eq P}}{K} = 736 \Omega \quad S_P = \frac{R_{RIF P}}{R_P} = \frac{10000 \Omega}{736 \Omega}$$

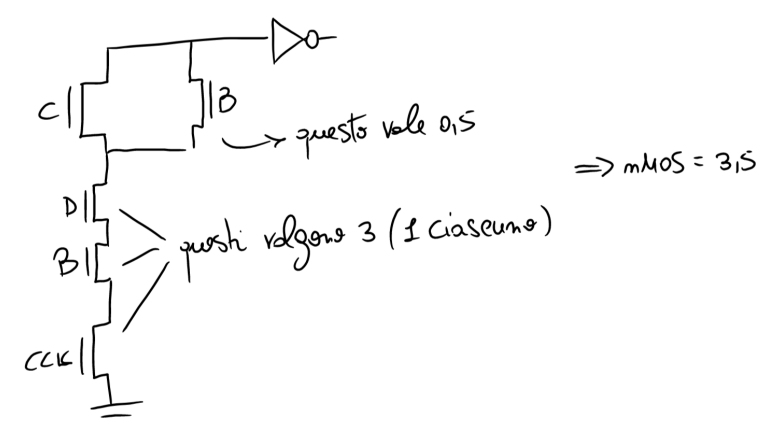
$$= 13,58$$

$$= 14$$

- Rete pull-down In questo caso ci sono diversi percorsi critici:

- $ABC\overline{D}$
- $\overline{A}BCD$
- $AB\overline{C}\overline{D}$
- $\overline{A}\overline{B}CD$

Il numero di MOS in un percorso non è sempre un intero, infatti, se ci sono dei transistor in parallelo, il numero di MOS corrispondente è uguale a  $\frac{1}{\text{numero di transistor in parallelo}}$



Quindi per tutti i percorsi critici individuati  $K = 3,5$

$$R_N = \frac{R_{eq N}}{K} = \frac{736 \Omega}{3,5} \quad S_N = \frac{R_{RIF N}}{R_N} = \frac{5000 \Omega}{210 \Omega}$$

$$= 210 \Omega \quad = 24$$

Tutti i transistori della rete pull-down avranno quindi dimensione 24

