

Contents

1 Tipi di esercizi	2
1.1 D	2
1.1.1 Formule notevoli	2
1.1.2 Esame 14/06/2023	2

1 Tipi di esercizi

1.1 D

1.1.1 Formule notevoli

$$C_{\min} = C_{\text{ox}} \cdot L_{\min} \cdot (\text{SP} + \text{SN})$$

$$\text{Resistenza equivalente pull-up} \quad R_{\text{eq P}} = \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\min}}$$

$$\text{Resistenza equivalente pull-down} \quad R_{\text{eq N}} = \frac{t_{\text{HL}}}{\ln(2) \cdot C_{\min}}$$

$$R_{Pn} = \frac{R_{\text{eq P}} - \frac{R_{\text{RIF P}}}{S_P} \cdot N}{K}$$

$$\text{Per percorsi critici} \quad R_p = \frac{R_{\text{eq P}}}{K}$$

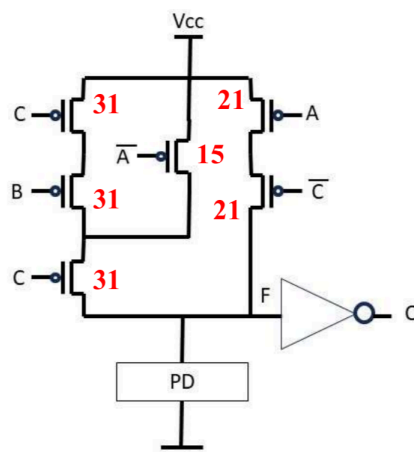
$$S_P = \frac{R_{\text{RIF P}}}{RP}$$

Note:

- $\ln(2) = 0,69$
- la S_p che compare nella formula di R_{Pn} è sempre quella del percorso critico
- t_{LH} è il tempo di salita e t_{HL} è il tempo di discesa. In generale negli esercizi se chiede di “dimensionare affinché il tempo di salita al nodo X sia inferiore o uguale a Yps ” vuol dire che prenderemo $t_{\text{LH}} = Y$.
- ps sono pico secondi

1.1.2 Esame 14/06/2023

1. Della rete in figura si calcoli l'espressione booleana al nodo O.
2. Dimensionare i transistori pMOS affinché il tempo di salita al nodo F sia inferiore o uguale a 90ps. Ottimizzare il progetto. Si tenga conto che i transistori dell'inverter di uscita hanno le seguenti geometrie : $S_p = 200$, $S_n = 100$.
3. Progettare la PDN



Parametri tecnologici:

$$\begin{aligned}R_{\text{RIF } P} &= 10k\Omega && \text{si riferisce alla rete di pull-up} \\R_{\text{RIF } N} &= 5k\Omega && \text{si riferisce alla rete di pull-down} \\C_{\text{ox}} &= 7fF/\mu m^2 \\L_{\text{min}} &= 0,25\mu m \\V_{\text{dd}} &= 3V\end{aligned}$$

N.B. I numeri rossi indicano la dimensione massima che possono assumere i transistor

Per prima cosa si calcola C_{min}

$$\begin{aligned}C_{\text{min}} &= C_{\text{ox}} \cdot L_{\text{min}} \cdot (\text{SP} + \text{SN}) \\&= 7fF/\mu m^2 \cdot (0,25\mu m)^2 \cdot (200 + 100) \\&= 131,35fF\end{aligned}$$

Poi la resistenza equivalente

$$\begin{aligned}R_{\text{eq } P} &= \frac{t_{\text{LH}}}{\ln(2) \cdot C_{\text{min}}} = \frac{90ps}{0,69 \cdot 131,35fF} \\&= \frac{90 \cdot 10^{-9}s}{0,69 \cdot 131,35 \cdot 10^{-12}} \\&= 0,99378 \cdot 10^3 \Omega \\&= 993,79 \Omega \\&= 994 \Omega\end{aligned}$$

Per **dimensionare** si divide $R_{\text{eq } P}$ per il numero di transistor nel percorso critico.

Percorso critico: percorso da V_{cc} all'estremità in cui ci sono più transistor in serie (quando si considera il maggior numero di transistor in serie questi possono avere paralleli). Il percorso critico è anche il percorso con NMOS maggiore.

1. Espressione booleana

Regole:

- Gli elementi in serie sono il prodotto booleano degli elementi
- Gli elementi in parallelo sono la somma booleana degli elementi

PD := rete di pull-down

PU := rete di pull-up

Rete di pull-up al nodo F :

$$PU = ((C \cdot B) + \overline{A}) \cdot C + A \cdot \overline{C} = F$$

La rete di pull-down si calcola invertendo somma e prodotto e negando poi tutta l'espressione
Scriviamo F in forma negata

$$F = \overline{((C + B) \cdot \overline{A}) + C} \cdot (A + \overline{C})$$

allora

$$\begin{aligned}O = \overline{F} &= \overline{\overline{((C + B) \cdot \overline{A}) + C} \cdot (A + \overline{C})} \\&= \overline{((\overline{C} \cdot \overline{B}) + A) \cdot \overline{C}} + (\overline{A} \cdot C)\end{aligned}$$

2. Dimensionare i transistor

Primo caso peggiore

Si calcola la RP , che solo per il percorso critico vale $\frac{R_{\text{eq } P}}{n_{\text{MOS}}}$. In questo caso il percorso critico è XBC ; la X sta a significare che il valore di A non ci interessa; se un elemento è negato vuol dire che il transistor è acceso.

$$\begin{aligned}
 R_P &= \frac{994 \Omega}{3} \\
 &= 331,33 \Omega \\
 &= 331 \Omega
 \end{aligned}$$

Quindi ora calcoliamo la SP con la formula

$$\begin{aligned}
 S_P &= \frac{R_{\text{RIF } P}}{R_P} = \frac{10 \text{ k}\Omega}{331 \Omega} \\
 &= 30,21 \\
 &= 31
 \end{aligned}$$

N.B. Arrotondare sempre all'intero successivo

Secondo caso peggiore

Per ottimizzare un percorso non critico si ha una formula che varia in base alle caratteristiche del percorso stesso

$$R_P = \frac{R_{\text{eq } P} - \frac{R_{\text{RIF } P}}{SP} \cdot N}{K}$$

dove N è il numero di MOS del percorso critico che interessano anche un percorso non critico e K è il numero di MOS del percorso non critico cosiddetti "nuovi", cioè che non fanno parte del percorso critico. Inoltre $K + N$ è il numero di MOS del percorso non critico; quando si devono calcolare K e N di solito si calcola prima K e poi si ricava N dall'ultima formula.

In questo caso consideriamo $AX\bar{C}$. Abbiamo 2 pMOS nuovi e nessun pMOS del percorso critico, quindi $N = 0$ e $K = 2$

$$\begin{aligned}
 R_{P2} &= \frac{R_{\text{eq } P} - \frac{R_{\text{RIF } P}}{SP} \cdot \cancel{N}}{K} = \frac{994}{2} \Omega \\
 &= 497 \Omega
 \end{aligned}$$

$$\begin{aligned}
 SP_2 &= \frac{R_{\text{RIF } P}}{R_{P2}} = \frac{10000 \Omega}{497 \Omega} \\
 &= 20,12 \\
 &= 21
 \end{aligned}$$

Terzo caso

Consideriamo il percorso $\bar{A}\bar{B}C$. Abbiamo un nMOS nuovo e un nMOS del percorso critico, quindi $N = 1$ e $K = 1$.

N.B. Bisogna specificare \bar{B} e non X perché si deve considerare solo il percorso di $\bar{A}C$, e se B fosse acceso il percorso sarebbe diverso.

$$\begin{aligned}
 R_{P3} &= \frac{R_{\text{eq } P} - \frac{R_{\text{RIF } P}}{SP} \cdot N}{K} = \frac{994 \Omega - \frac{10000 \Omega}{31} \cdot 1}{1} \\
 &= 994 \Omega - 323 \Omega \\
 &= 671 \Omega
 \end{aligned}$$

$$\begin{aligned}
 SP_2 &= \frac{R_{\text{RIF } P}}{R_{P2}} = \frac{10000 \Omega}{671 \Omega} \\
 &= 14,9 \\
 &= 15
 \end{aligned}$$

Nota: le S_p trovate denotano la dimensione massima dei transistori che interessano il percorso; in particolare si assegna prima la dimensione ai transistori presenti nel percorso critico, poi agli altri, in modo che il valore trovato per un transistori del percorso critico sia dominante rispetto al valore trovato per lo stesso transistorore per un percorso non critico.

3. Progettare la PDN

La formula della rete di pull-down è la seguente (prima l'abbiamo calcolata scrivendola in forma negata)

$$PD = ((C + B) \cdot \bar{A}) + C \cdot (A + \bar{C})$$

quindi, seguendo le regole dell'algebra booleana, la rete può essere rappresentata come segue

