

N329XX硬件開發 注意事項

Date: 2014/06/13

Bon

Contents:

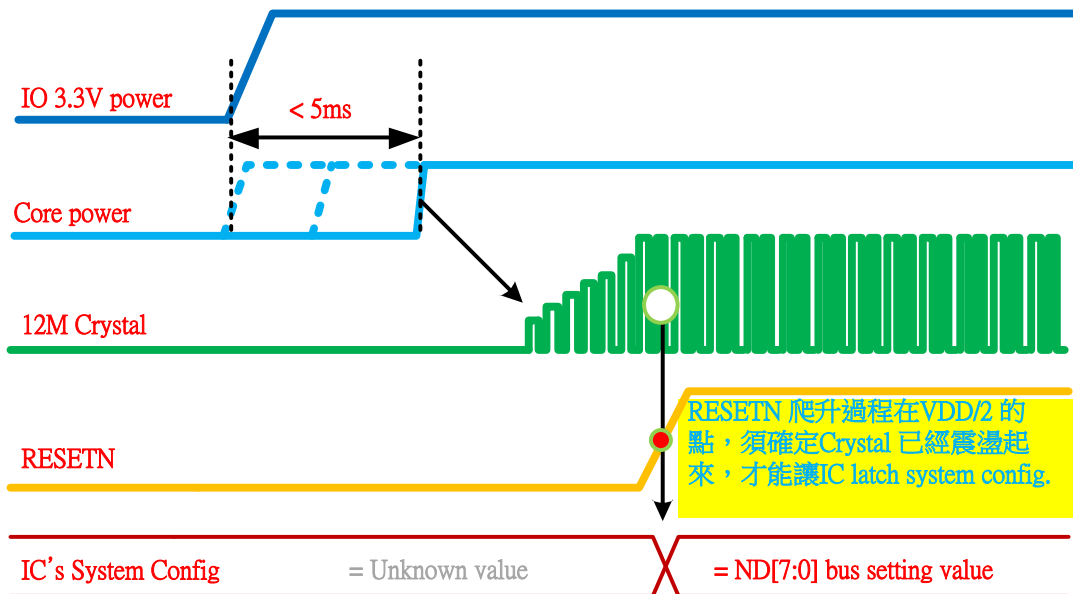
- N329XX 系列的差異點
- Power on issue
- ADC/DAC noise issue
- Layout 注意事項 & 電容配置
- 雜項 issue
- N329 省電模式 check
- NAND flash 管理注意事項

N329XX 系列的差異點:

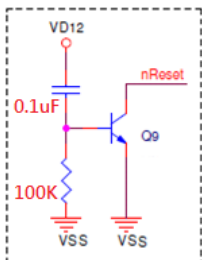
不同點 list	N3290X	N3291X	N3292X
SD signals 外加 pull up	No(IC 內建)	No(IC 內建)	No(IC 內建)
ICE signals 外加 pull up	No(IC 內建)	No(IC 內建)	No(IC 內建)
RESET pull up 50K MOS R	No	Yes	Yes
RTC power	1.8V	2.0V~3.6V	2.0V~3.6V
32768Hz crystal 需並聯 10M 電阻	Yes	No(IC 內建)	No(IC 內建)
12MHz crystal 需並聯 1M 電阻	Yes	Yes	Yes
USB host pull down 15K Ohm	No(USB1.1 IO)	No(USB1.1 IO)	Yes(USB2.0 內建)
MVREF	1% 的精密電阻	No(IC 內建)	No(IC 內建)
DRAM power	1.8V, but N32901 為 3.3V	1.8V	1.9V
MIC_BIAS	無, Mic power 需有 RC filter	有, 但 from AVDD, Mic power 同 N3290X 式處理.	有, 由 LDO output. Mic power 直接接入既可.
SD_CMD pull low	no	no	Yes@SD card 不用還須外加 BJT@SD 用. 若 SD card always 插上, 則都不必接 @ B-version only
須外加 BJT+RC RESET to detect core power for reset signal	Yes	Yes	No(IC 有 POS), 此 BJT+RC 還是先預留, 但改成 NC.

Power on issue:

- 先 check core power 是否有 drop, ripple or power noise(須將示波器轉到高频雜訊抑制 mode), 也不能再 power on 一開始有大的 power glitch.
 - 12M Crystal 起振約 5~7ms 左右起振. 需再 12M XI/XO 並聯 1M Ohm. 此 crystal 需靠近 IC ASAP.
 - RESET signal 爬升起來的 VDD/2 點是否 12M crystal 已經起振了, 如此才能正確 latch system config.
- ⇒ **RESET flow: IO power → core power → 12M crystal 起振 → RESET latch config.**



- Power on fail, 但 reset 按鍵 OK. → 加入 BJT+RC detect core power or RESET 1uF 未放.
- N3290x & N3291x 都需 BJT+RC ckt 來 detect core power, 並 reset system.



- RTC access fail. → 表示 IBR access RTC, 其 RTC_PWREN 還未變成 high.
- RESET latch system config fail, 造成 DRAM size error
→ Check power sequence 需如上上圖所示

- 發現一些機器在充滿電或者放一段時間，突然開機不了，reset 也沒有作用；我們這邊查看是發現 UART 一直都是 RTC initial fail，發現晶體已經不振了，RTC_WAKEUP 及 PWREN pin 全為高了；只有拆電池才能重新開機，

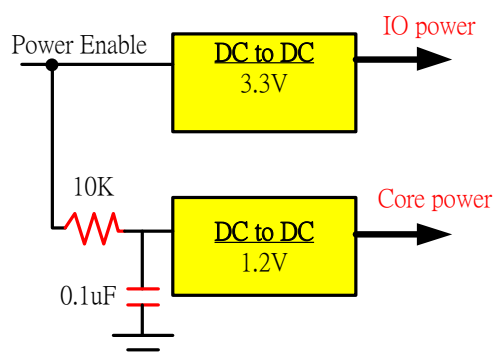
之前 LGE 有遇到類似的 case，實際 VDD12 比 VDD33 快而產生 latch-up 整個 RTC crystal 被 disable.

⇒ 測試了 VDD12 確實比 VDD33 快，大概 160us 左右@PJ9216，其 PWR_EN 都 short.

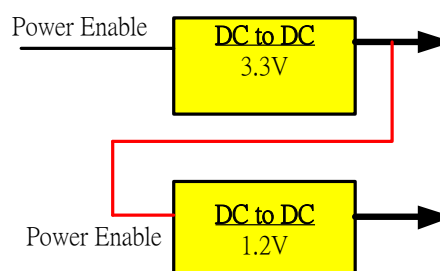
⇒ 須將 VDD12 power enable 多加入 RC delay.

Suggestion of DC2DC enable ckt in N329XX:

Case 1 接法:

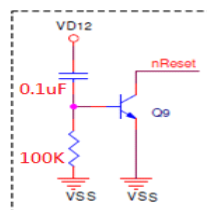


Case 2 接法:



OR

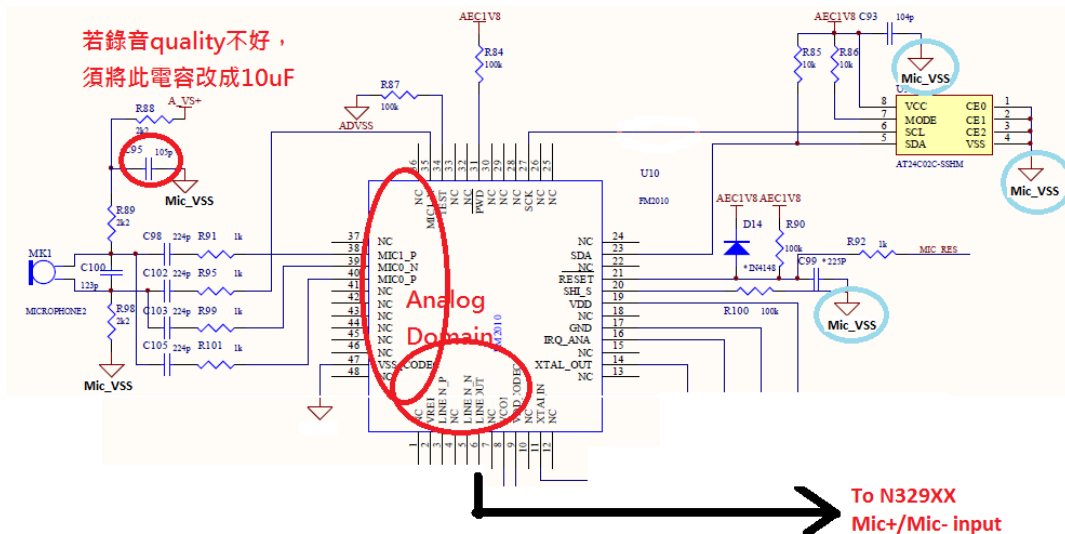
Note: DC to DC 線路需如上兩者擇一，
須保證IO power 電壓早於core power 電壓，
並在RESET PAD 需有如右邊的BJT+R+C 線路



ADC/DAC noise issue:

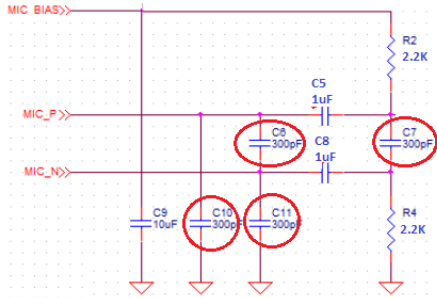
錄音 quality issue:

- 先確定 Mic ground plane & ADC ground plane 的完整性，再由接 Mic_VSS short to ADC_VSS.
- 須注意，給 Mic 的分壓需先將 A_VS+ 串 1K 左右的電阻後，再並 10uF 電容來 filter power noise. 以確保 Mic 的 power 夠乾淨. 因為 Mic max. 震幅約 20~30mV, 若要有 10-bit 的 SNR 的話，那 noise level 就需小於 $30\text{mV}/1024 \sim 30\mu\text{V}$.
- 如下 C95 = 1uF 改成 10uF. 如下右邊藍色圈圈 ADVSS 部分，看 FM2010 spec, 這些藍色圈圈 ADVSS 部分都應該接 digital VSS, 而非 ADVSS, 這樣 FM2010 digital ckt 會干擾 Mic signal quality.
- 請將 Echo cancellation 後的信號盡可能的大，進入主 IC 後讓 PGC gain 變小
 ➔ 前端將 signal 盡可能大 SNR 才會好.

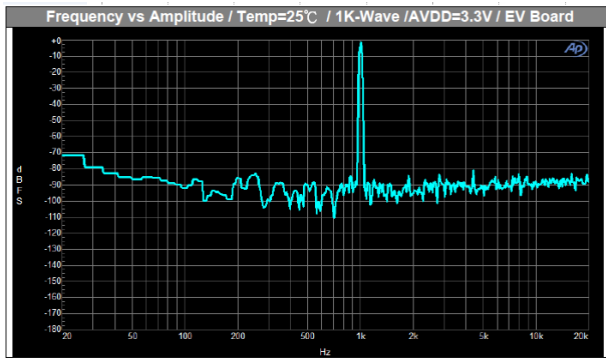


Mic 線路的 layout 注意事項:

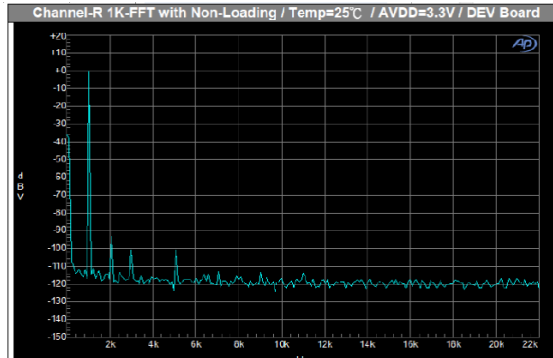
1. Mic ckt 只需用簡單的 ckt 既可，如下紅色圈圈的電容若刪除掉，SNR 只差 1dB.



2. 是 Mic 下層一片 VSS(Mic component area) 須為 Mic_VSS，不能有任何 digital 線路跨越此區，並且在 layout 時，優先放於 IC 的 Mic input Pin 旁邊 as close as possible.
3. 大 power 的 component & 大 power 的 signals 不能從 Mic 旁邊經過，否則易干擾.
4. Mic_VSS 用 0 Ohm short to ADC_VSS，之後 ADC_VSS 再用 0 Ohm short to digital VSS.
5. ADC THD+n of N3291x vs. N3292x.



N32915 ADC noise level < -85dB (10-bit ADC)



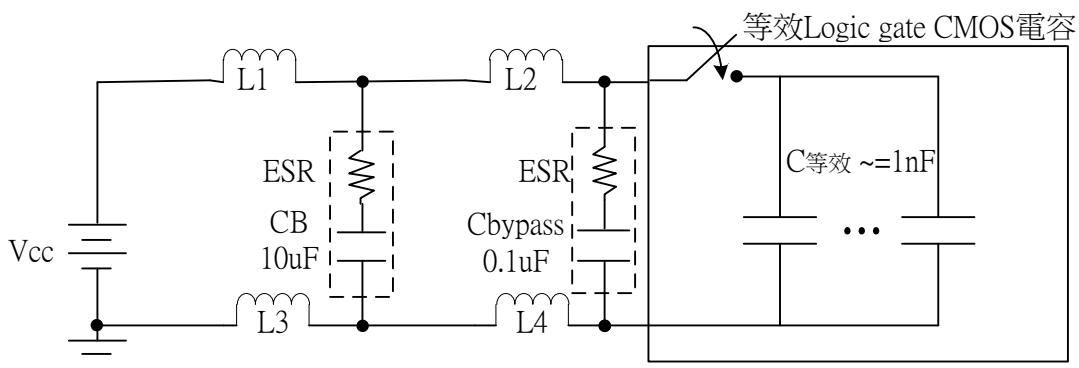
N32926 ADC noise level < -110dB (16-bit ADC)

Layout 注意事項 & Layout 電容配置:

- Core power 是最重要的(第二重要是 DRAM power)，整個系統穩定性都靠它，在 4 layer 中的第三層需先在 N329 下面割一小塊面積給 core power 用，其 core power 電容需放於此 area 下的 IC pin 腳旁 ASAP. DC to DC for core power 的線路也需盡可能地靠近 IC 旁，不然就需比較粗的拉線，以防抽大電流時的 IR-drop issue，造成 core power 不穩。
- DC to DC 的 ground domain 需與 digital ground 相同 domain. 其 feedback R1/R2 電阻需用 1% 的精密電阻。
- 功放(PA)的 SPK_VSS 需獨立 ground domain 後，再與 digital ground 用 0 Ohm short.
- DAC 的 VMID&電源接電容，其電容 ground 需與(DAC/HP)ground 同 ground domain.
- ADC 的 PGC_VREF&電源接電容，其電容 ground 需與 ADC ground 同 ground domain.
- MIC 線路的 ground 需特別獨立開來，並放於 ADC 旁，最後再與 ADC ground 用 0 Ohm short.
- 重點是每個 power / ground domain 需先清楚. 其放的電容的 ground 也需同 domain.
- N3290X 的 DRAM Vref 需 ground shielding, 並靠近 IC.
- 12MHz 晶振需靠近 IC ASAP.
- Core power +/-10%的意思是建議客戶預留給 IC's PLL jitter + DC2DC 2% deviation + PCB & IC 的 IR drop & IC worst case & high temperature margin 用. 而非真正一開始 PCB design 就偷 core power 電壓 margin.

Layout 電容配置:

- Ex. 3000um*3000um size cap. $\sim 1\text{nF}$ @0.18um process



以電容 switch 瞬間的 Charge sharing 分析 $Q_i = Q_f$

$$\rightarrow Q_i = C_1 * V_{cc} \quad , \quad Q_f = C_1 * V_f + C_2 * V_f$$

$$\rightarrow C_1 V_{cc} = (C_1 + C_2) V_f \quad \rightarrow \quad V_f = (C_1 / (C_1 + C_2)) * V_{cc}$$

$$\rightarrow V_f = 0.1\mu / (0.1\mu + 1000\text{p}) * V_{cc} = 99\% * V_{cc}$$

➔ 也就是說在 Bypass 電容需大於 100 倍的 IC switch 電容，則 power drop < 1%.

➔ 所以建議 Bypass 電容用 0.1uF，且須盡可能地靠近 IC Power pin 旁，否則會多出電感效應的 IR-drop issue。相同的原理 Bulk 電容則須用 10uF.

- ➔ 若要有好的 high-frequency response 那就是用 ceramic capacitor. Or 搭配 0.01uF 的 ceramic capacitor. 主要是 ESR 更好。
- ➔ 在高頻時(如 10MHz)PCB 導體的電阻大小通常不到電感的感抗的 3%, 所以 PCB 導體的電阻的影響相對其電感來說微乎其微，只需考慮電感效應。

PCB 走線電感的計算公式與導線電感公式區別不大，由下式表示。

$$L = 2l \times \left(\ln \frac{2l}{\omega} + 0.5 + 0.2235 \frac{\omega}{l} \right)$$

式中：ω 為走線寬度。

需要注意的是 PCB 走線電感基本與覆銅厚度無關。從以上對數關係可以看出，若 PCB 走線長度減少一半，則其電感值也減少一半。但走線寬度必須增加 10 倍才使其電感減少一半。

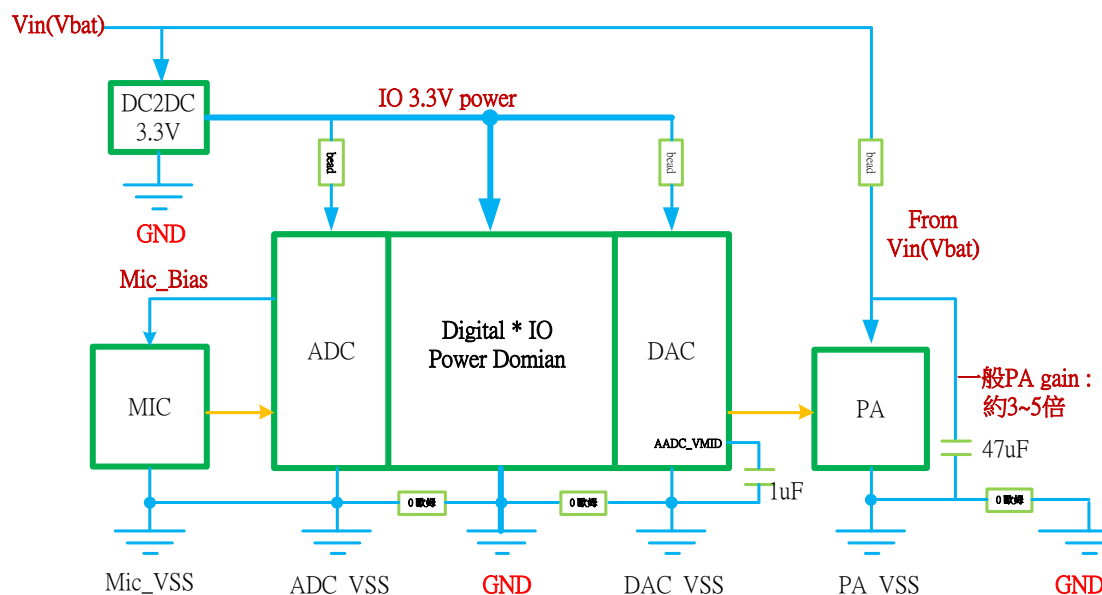
⇒ 即僅增加走線寬度用處不大，要減少電感應使走線盡量的短。

減小電感的最好方法是減小長度，而不是增加寬度。若由於某些原因，走線長度不能進一步減小，則可以通過將電流前行和返回走線並行的方法來減小電感。

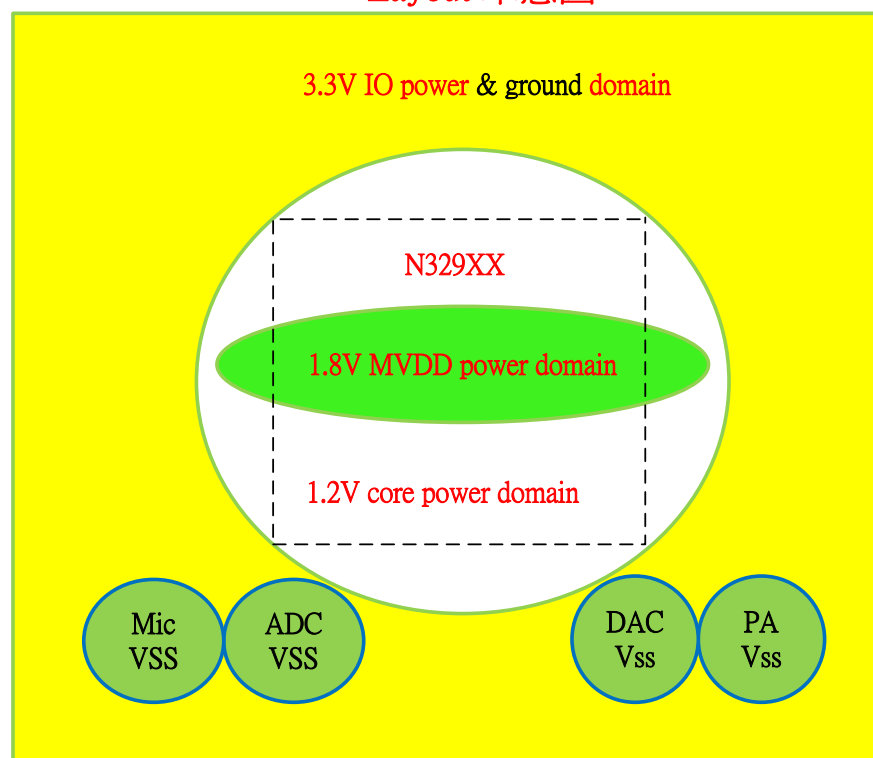
電感之所以出現是因為它們存儲了磁能量，該能量存在於磁場中。反過來講，如果磁場消失，則電感也消失。

⇒ 通過將兩條電流走線平行佈置，流過它們的電流大小相等方向相反，從而使磁場大大削弱。根據經驗，每英寸走線的寄生電感約為 20nH

Audio noise from Power/ground domain 注意事項:



Layout 示意圖

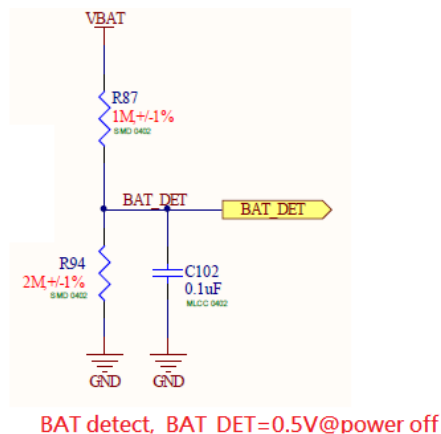
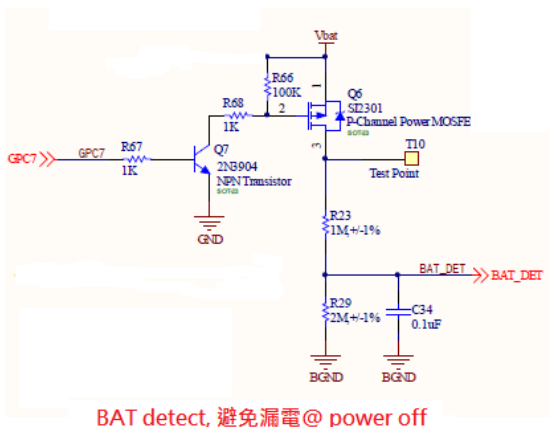


Note: Core power 是最重要的(第二重要是 DRAM power)，整個系統穩定性都靠它，在 4 layer 中的第三層需先在 N329 下面割一小塊面積給 core power 用，其 core power 電容需放於此 area 下的 IC pin 腳旁 ASAP. DC to DC for core power 的線路也需盡可能地靠近 IC 旁，防 IR-drop.

✚ 雜項 issue:

1. N3291X & N3292X 的 core power 強烈建議用 DC to DC, 不要用 LDO 供電. 否則效率極差, LDO & 主 IC 都會變燙.
2. 功放(PA) & LCD 背光的 power 最好由 power 源頭拉過來, 否則效率差, 溫度也會變高.
3. RESET 並聯電容需用 1uF, 若有外加 RESET IC, 須注意此 IC output 是否為 O.D, 若不是, 需串 1K Ohm 後再接到 RESET PAD, 否則會與主 IC 相衝.
4. Watch Dog Timer enable for ESD 保護.
5. 周邊 module access 不穩 issue:
 - USB connect 不上 PC → check USB power 阻值 > 10K & D+/D- loading ~10pf !?
 - SD card 不穩 → Check SD_CLK loading 是否約 20pf !? SD card@50M 須將並聯電容 ≤ 10pf 才不會挑卡
 - LCD panel 有時候 picture edge 會跳動, check LCD_CLK 並聯動容是否 ≤ 10pf!? Or 串聯電阻改成 bead.
 - 720P sensor PCLK = 70~80MHZ, 不宜加並聯電容.
6. 若 IC 的外加線路在 power off 時候, 須注意 Battery detect ckt & USB power detect ckt 是否會漏電 issue, 有可能這些線路會讓 IC 有 0.6V 壓降在 IC 上.
 - ⇒ USB detect pin 需多串 39K Ohm, 讓 IC 壓降趨近於 0V.
 - ⇒ Battery detect 需有 PMOS switch 來隔絕 battery power.

Note: 這個問題主要是 LG case 當時若 USB 插著未開 power 時, USB_DET 會有 0.6V 左右 power, 造成 G-sensor 由 0.6V to 3.3V 會 power on 不良 issue.

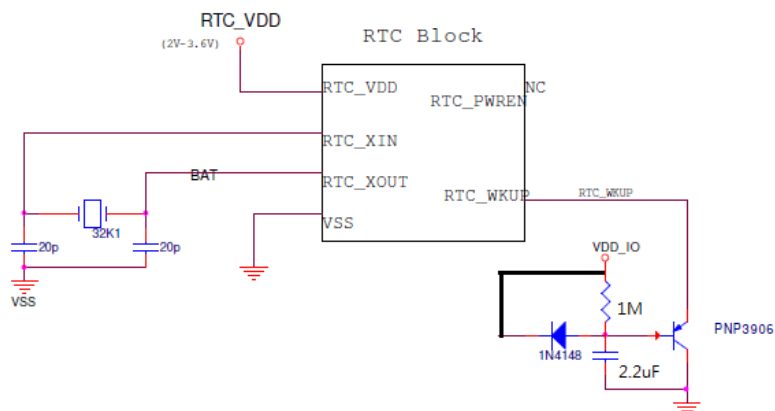


7. SD & NAND 的 power 只需跟 3.3V power 相接既可, 不須特別分 power domain. 這樣 EMI 也會比較好
8. SD card 若用 power switch 給電, 須注意其 power 不能降低於 3.0V, 以防有些 SD card 會有不穩狀況.
9. Ground domain 的 bead 改成 0 Ohm, 其 EMI 會比較好.
10. 有外接 connector 的 pin 腳, 注意是否有 TVS 保護, 以免 ESD 打死 IC pad.

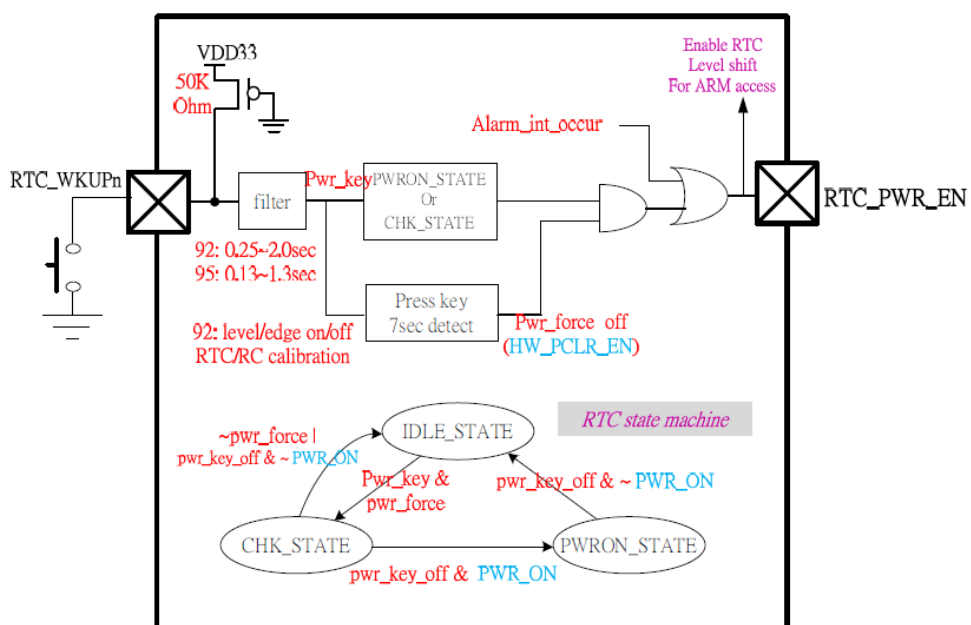
11. 若用 WDT reset N329xx IC, 須注意周邊的 IC 未 reset 是否 OK, 或需用 GPIO reset 周邊 IC.
12. VBUS Inrush current issue 可串 5~10 Ohm, 並可調 DC2DC enable time.
13. 32K 並聯電容用 15~20p, 若 32K 不用, 請將 RTC_XIN 接地.
14. 若 TVDAC 不用, TV_VREF 可空接

15. RTC only without RTC_PWREN control. 有如下三接法. → 給電就直接 power on 應用.

- a. 可用如下 BJT+RC 產生約 2 sec low pulse 來 enable RTC.



- b. 直接用 GPIO 來 control RTC_WKUP signal, 但軟件須拉 low 1~3sec 之間才能 enable RTC, 若超過 5 sec. 會啟動 RTC 硬件自動 off 機制 if(HW_PCLR_EN=1).
- c. 直接將 RTC_WKUP tied low, 但須再 loader 中, 將 HW_PCLR_EN off, 此方法 component 最少, 但會耗電 66uA. 但須注意此法為整個 power control 不是由 RTC_PWREN 來 enable 才可以, 否則 recovery mode 時候, USB 燒錄還是會將 power off.



- 若整個 RTC 不用的話, 可將 RTC_VDD 與 IO_VDD short 再一起, 並將 RTC 的 XIN 接地 既可, 以防漏電.

- RTC 線路. 若是用鋰電池供電, 那 N3291X & N3292X RTC power 可直接接一 diode 就直接給 RTC power (or 由 3.3V IO power). 因為此系列 IC RTC power range: 2.0V~3.6V. 但 N3290X 系列則 RTC_VDD 需給 1.8V +/-10%.

CPU & PLL speed:

N3290X PLL & CPU speed.

Module (worst case)	Max freq(MHz)
APLL	249.00
UPLL	241.50
CPU	202.02
AHB Bus	100.00
APB Bus	50.00

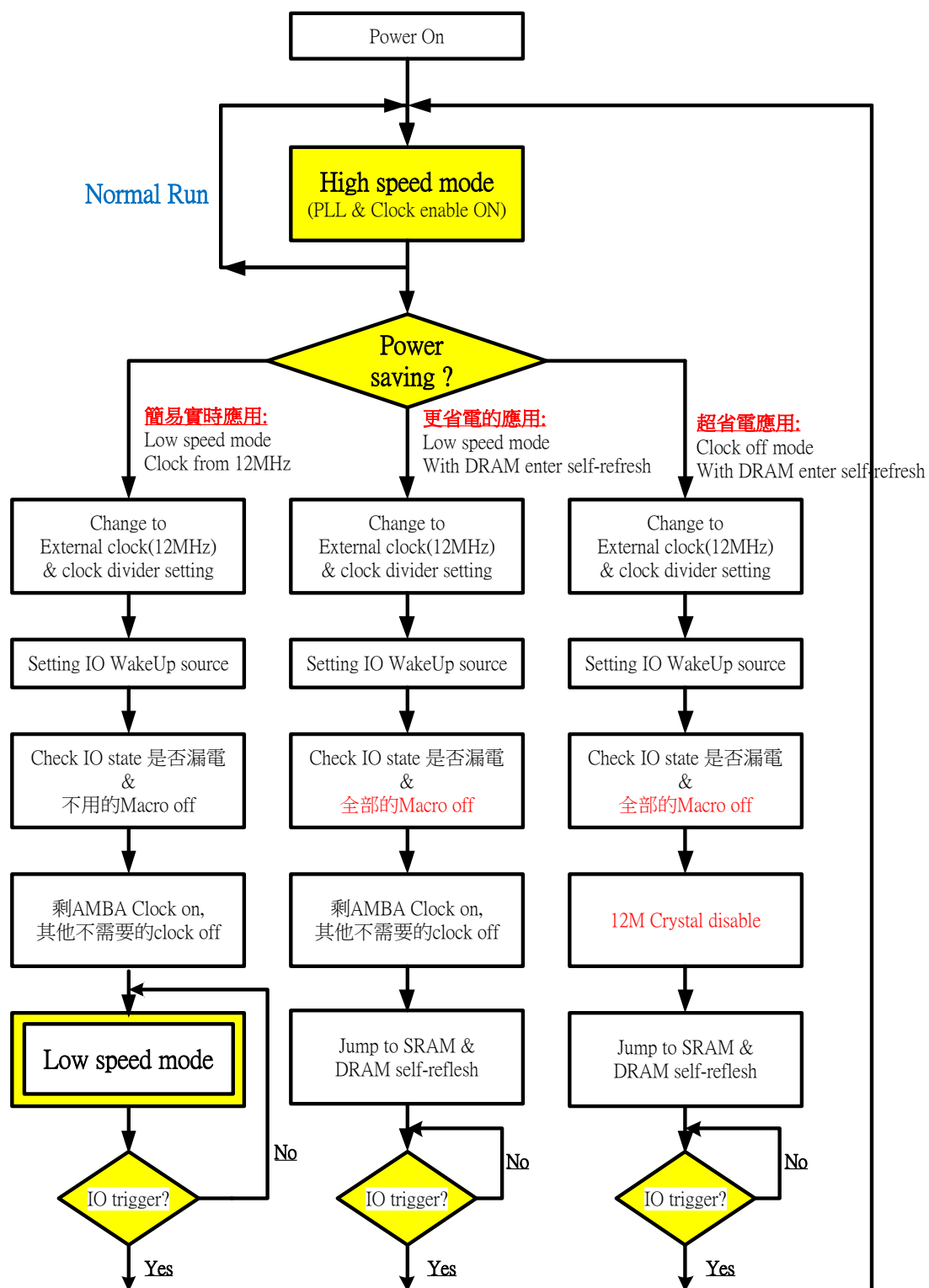
N3291X PLL & CPU speed.

Module (worst case)	Max freq(MHz)
APLL	432
UPLL	432
CPU	301

N3292X PLL & CPU speed.

Module (worst case)	Max freq(MHz)
MPLL	360
APLL	432
UPLL	432
CPU	240

N329 省電模式 check:

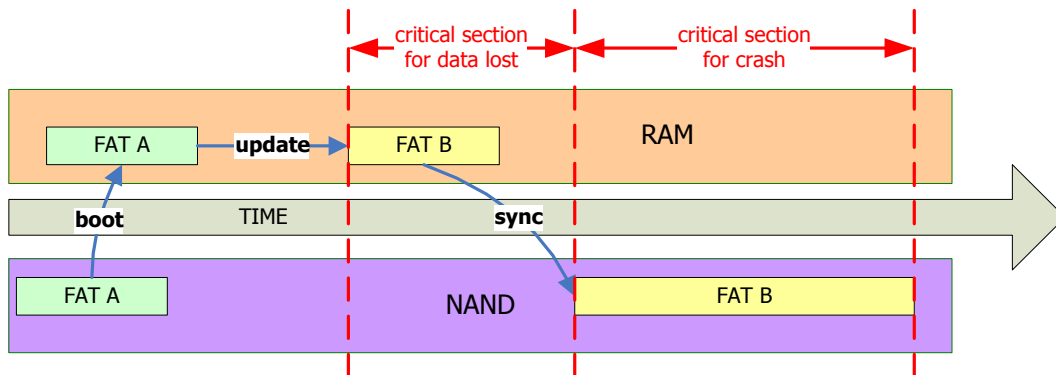


Note: Macro List = { USB PHY, ADC, DAC, PLL, TVDAC, 32K,POR, LVR, Touch Panel MOS etc. }

NAND flash 管理注意事項:

■ File System Sync between RAM and NAND Flash

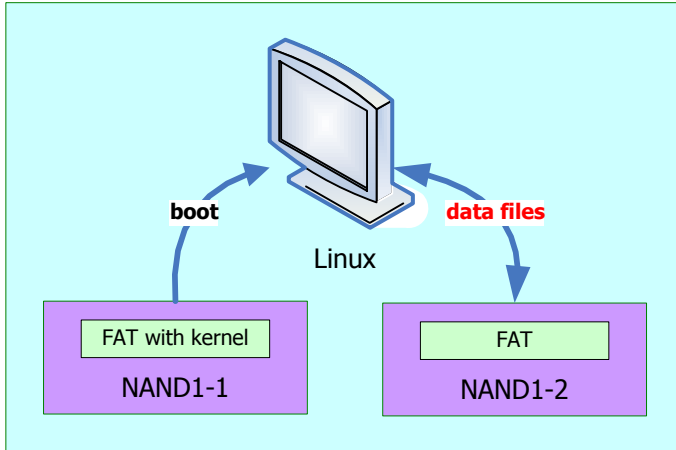
Since the NAND flash block erasing and page programming spend much time, we usually cache the updated data on RAM first and then synchronize them to NAND flash at suitable timing. However, **if the synchronization is not completed** because of unexpected reasons such as power off or others, the FAT file system could be data lost or even crash sometimes.



Please pay attention to the synchronization policy in your system to make sure the FAT file system is safe.

■ Kernel Image Lost

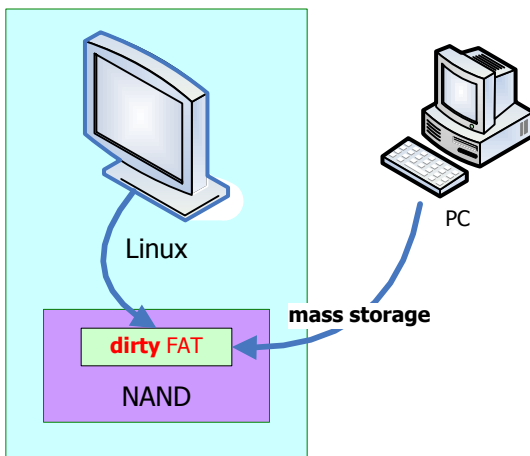
There are two pre-defined disks in N329 series platform called “NAND1-1” and “NAND1-2”. The system kernel image file “conprog.bin” always is stored at NAND1-1 disk. Since the data lost risk as section 2.1 described, we suggest that **don’t to write files to disk NAND1-1 frequently in order to avoid kernel image file lost**. In other words, please use NAND1-1 as boot disk only and use NAND1-2 as data disk to store the data files during operating.



■ File System become Read-Only

The FAT file system could become read-only mode because of wrong operating.

For example, Linux mount file system on NAND flash as a disk, and then you want to access NAND flash by mass storage. The correct operating is un-mount NAND flash from Linux first, and then mounts it to mass storage as a new disk for PC. However, if you don't un-mount NAND flash first, it becomes **two hosts control same one FAT file system**. The FAT file system will be unexpected in this situation.



If the FAT file system on NAND flash had been dirty because of wrong operating, you can try to recover it by software tool "*chkdsk*" in Windows.