

# Proyecto 2 VLSI

Simón Fallas Villalobos  
Escuela de Ingeniería en Computadores  
Instituto Tecnológico de Costa Rica  
Cartago, Costa Rica  
simonfallasv@estudiantec.cr

José Fernando Morales Vargas  
Escuela de Ingeniería en Computadores  
Instituto Tecnológico de Costa Rica  
Cartago, Costa Rica  
josefemova@estudiantec.cr

El repositorio con todos los archivos utilizados en las simulaciones se puede encontrar en el siguiente enlace: <https://github.com/Josfemova/EL5807.git>

Se obtiene de la tarea anterior que:

- Inversor unitario:  $W = 4\lambda, L = 2\lambda$
- $\lambda = 0,09\mu\text{m}$
- $\tau \approx 21,157\text{ps}$
- $C = 0,67\text{fF}$
- $C_\lambda = \frac{C}{4\lambda}$
- $R = 10,526\text{k}\Omega$

## I. RESOLUCIÓN PROBLEMA 9.4

En este inciso se resuelve el problema 9.4 de [1]. El enunciado es el siguiente:

Diseñe un circuito de CMOS estático que compute  $F = (A + B)(C + D)$  con el menor retardo. Cada entrada puede presentar un máximo de  $30\lambda$  de ancho. La salida debe alimentar una carga equivalente a  $500\lambda$  de ancho de transistor. Escoja los tamaños de transistor para obtener el menor retardo y estime este retardo en  $\tau$

Se agrega para la resolución que:

- La salida no está complementada, lo que implica un inversor a la salida.
- Dar estimados de retardo y consumo de potencia aproximado (a máxima frecuencia) para dos potenciales soluciones: compuerta compleja o circuito compuesto por etapas simples.

El problema que se busca resolver entonces es

$$D = NF^{1/N} + P = N(GBH)^{1/N} + P$$

Para ambos casos, el valor de el esfuerzo eléctrico del camino  $H$  es el mismo:

$$H = \frac{500}{30} = \frac{50}{3}$$

Adicionalmente nótese que la capacitancia de carga es

$$C_L = 500\lambda = 500 * \frac{0,67 \text{ fF}}{4\lambda} = 83,75\text{fF}$$

Además, de la función lógica se tiene que la probabilidad de switching es:

$$P_y = P_{and}(P_{or2}, P_{or2}) = (1 - \overline{P_A P_B})(1 - \overline{P_C P_D}) = (1 - 0,25)(1 - 0,25) = 0,5625$$

y por lo tanto, el factor de actividad para ambos circuitos es:

$$\alpha = P_y \overline{P_y} = 0,246$$

Para obtener los tamaños de transistores se hace uso de la transformación de capacitancia, ecuación 4.41 de [1]:

$$C_{in} = \frac{C_{out} \times g_i}{\hat{f}}$$

### I-A. Compuerta compleja

El primer caso a resolver es el de la compuerta compleja mostrada en 1.

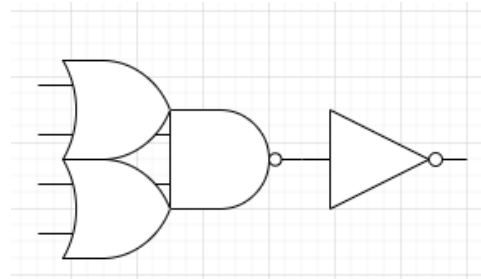


Figura 1. Función  $F$  implementada con una etapa CMOS compleja y un inversor

La función anterior es implementada con el circuito CMOS dado en 2

Para este caso se puede observar que:

- $N = 2$
- $P = p_0 + p_1 = 4 + 1 = 5$
- $G = g_0 * g_1 = 6/3 * 1 = 2 * 1 = 2$
- $B = 1$

El valor de  $g_0$  se obtiene de los tamaños de transistores necesarios para alcanzar resistencia unitaria en ambas salidas:  $P = 4$  y  $N = 2$ , lo que da un  $C_{in} = 6$ . Entonces:

$$\hat{f} = F^{1/2} = \left[ (2)(1) \left( \frac{50}{3} \right) \right]^{1/2} = 5,774\tau$$

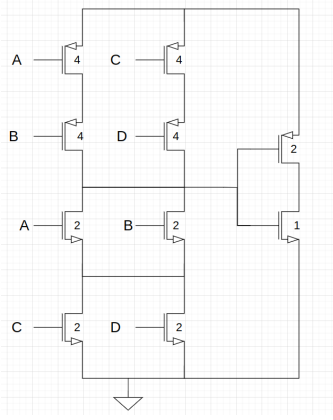


Figura 2. Circuito CMOS complejo que implementa la función  $F$ .

$$D = 2F^{1/2} + 5 = 16,547\tau = 350,084\text{ps}$$

I-A1. Estimación de potencia: :

$$f_{max} = \frac{1}{D} = 2,8564\text{GHz}$$

$$\text{Potencia} = \alpha C_L V_{DD}^2 f_{max}$$

$$= 0,246(83,75\text{fF})(1,8\text{V})^2(2,8564\text{GHz}) = 190,74\mu\text{W}$$

I-A2. Mejores anchos de compuerta: Se empieza por el inversor. Se tiene que:

$$C_{in,inv} = \frac{(500\lambda)(1)}{5,774} \approx 87\lambda$$

Para la etapa de entrada, ya se dio que  $C_{in} = 30\lambda$ . Para el inversor la razón P/N es 2:1, y para la etapa de entrada es 4:2, de forma que (recordando que las etapas llevan índice numerado de izquierda a derecha):

- $N_0 = 10\lambda, k = 2,5$
- $P_0 = 20\lambda, k = 5$
- $N_1 = 29\lambda, k = 7,25$
- $P_1 = 58\lambda, k = 14,5$

Actualizando entonces el diagrama de la figura 2 con los nuevos tamaños se obtiene entonces la figura 3.

I-B. Compuerta compuesta

El primer paso necesario para implementar la compuerta compuesta es aplicar el método de bubble pushing o aplicar leyes de DeMorgan para obtener las compuertas inversoras que implementan el circuito:

$$\overline{F} = \overline{(A+B)(C+D)} = \overline{(A+B)} + \overline{(C+D)}$$

$$F = \overline{\overline{(A+B)} + \overline{(C+D)}}$$

La figura del circuito se muestra en 4

Para este caso se puede observar que:

- $N = 2$

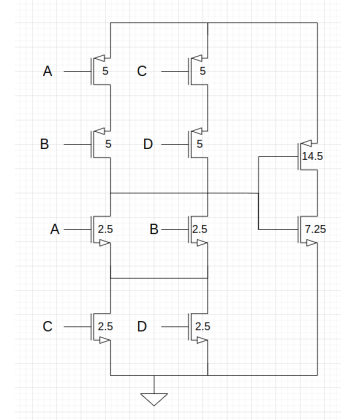


Figura 3. Circuito CMOS con anchos actualizados ( anchos relativos a inversor mínimo) para la implementación compleja

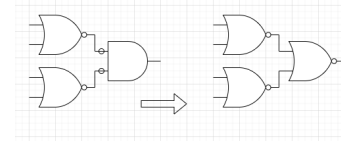


Figura 4. Función  $F$  implementada con varias etapas CMOS

- $P = p_0 + p_1 = 2 + 2 = 4$
- $G = g_0 * g_1 = g_{nor2} * g_{nor2} = \frac{5}{3} * \frac{5}{3} = \frac{25}{9}$
- $B = 1$

$$\hat{f} = F^{1/2} = \left[ \left( \frac{25}{9} \right) (1) \left( \frac{50}{3} \right) \right]^{1/2} = 6,804\tau$$

$$D = 2F^{1/2} + 4 = 372,53\text{ps}$$

$$f_{max} = 1/D = 2,6842\text{GHz}$$

$$\text{Potencia} = \alpha C_L V_{DD}^2 f_{max}$$

$$= 0,246(83,75\text{fF})(1,8\text{V})^2(2,6842\text{GHz}) = 179,25\mu\text{W}$$

I-B1. Mejores anchos de compuerta: Calculando con la transformada de capacitancia:

$$C_{in,out-nor} = \frac{(500\lambda)(1)}{6,804} \approx 123\lambda$$

Para la etapa de entrada, ya se dio que  $C_{in} = 30\lambda$ . Para el nor de la razón P/N para resistencia simétrica es 4:1, de forma que (recordando que las etapas llevan índice numerado de izquierda a derecha):

- $N_0 = 8\lambda, k = 2$
- $P_0 = 32\lambda, k = 8$
- $N_1 = 30\lambda, k = 7,5$
- $P_1 = 92\lambda, k = 23$

Se obtiene entonces, para un análisis de retardos el diagrama 5. Nótese que la entrada de  $B'$  es la misma que el circuito de entrada conectada a  $A'$ , se omite por simplicidad.

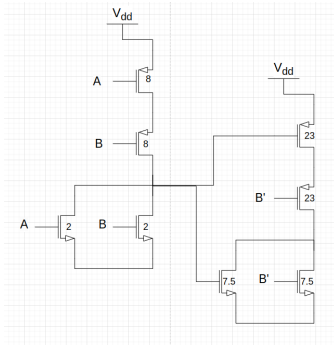


Figura 5. Circuito CMOS con anchos actualizados (anchos relativos a inversor mínimo) para la implementación compuesta

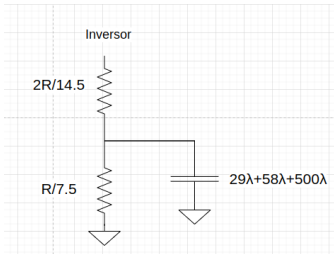


Figura 6. circuito de análisis para inversor

## II. TIEMPOS DE RETARDO

Recordando que:

- $t_{pdr}$  - analiza peor caso de subida
- $t_{pdf}$  - analiza peor caso de bajada
- $t_{cdr}$  - analiza mejor caso de subida
- $t_{cdf}$  - analiza mejor caso de bajada

Se obtendrán los valores para la entrada .A<sup>''</sup>.

### II-A. Compuerta compleja

Ojo el inversor, se debe analizar recordando que PDN causa el rising edge por el inversor de salida.

- $t_{pdr}$  - A=1, B=0, C=1, D=0. A y C encienden al mismo tiempo.
- $t_{pdf}$  - A=0, B=0, C=1, D=1. A y B apagan al mismo tiempo
- $t_{cdr}$  - A=1, B=1, C=1, D=1. A y B prenden al mismo tiempo.
- $t_{cdf}$  - A=0, B=0, C=0, D=0. A, C ya están apagados, B y D apagan al mismo tiempo

**II-A1. Inversor de etapa salida:** Primero se analiza el  $t_{pd}$  de la salida el cual se le suma a todos los tiempos. Esto se analiza usando el circuito de 6.

Se tiene que:

$$t_{dr,inv} = \frac{2R}{14,5}(29 + 58 + 500\lambda) =$$

$$t_{df,inv} = \frac{R}{7,5}(29 + 58 + 500\lambda) =$$

**II-A2. Parte compuesta:** Antes de analizar la parte compleja nótese que para flanco positivo se toma el PDN, y viceversa. Esto se debe a que de antemano se sabe sobre el inversor de la siguiente etapa, por lo que el análisis de los flancos es invertido”.

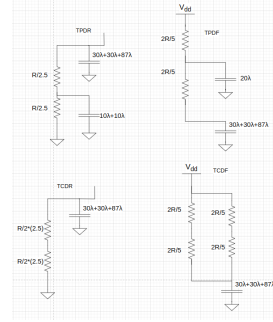


Figura 7. Circuitos para analizar retardos de parte compleja

En base a la figura se tiene que:

$$t_{pdf} = \frac{2R}{5}20\lambda + \frac{4R}{5}(30 + 30 + 87)\lambda + t_{df,inv} = 359,44\text{ps}$$

$$t_{pdr} = \frac{R}{2,5}20\lambda + \frac{2R}{2,5}(30 + 30 + 87)\lambda + t_{dr,inv} = 364,20\text{ps}$$

$$t_{cdf} = \frac{2R}{5}(30 + 30 + 87)\lambda + t_{df,inv} = 241,66\text{ps}$$

$$t_{cdr} = \frac{R}{2,5}(30 + 30 + 87)\lambda + t_{dr,inv} = 246,42\text{ps}$$

### II-B. Compuerta compuesta

Este circuito está compuesto de solo NOR2 para la cual se tiene que

- $t_{pdr}$  - A=0, B=0, switch al mismo tiempo
- $t_{pdf}$  - A=1, B=0, solo uno hace switch
- $t_{cdr}$  - A=0, B=0, A ya estaba apagado
- $t_{cdf}$  - A=1, B=1, ambos hacen switch al mismo tiempo

Para analizar los tiempos de retardo es conveniente acudir a los circuitos de análisis de las figuras 8 y 9

Dado que es una función NOR, un flanco positivo en entrada resulta en uno negativo en salida, y asumiendo B=0, D=0, lo contrario también es cierto, de manera que:

$$t_{pdf} = \frac{2R}{8}32\lambda + \frac{4R}{8}(32 + 8 + 123)\lambda + \frac{R}{7,5}(123 + 500)\lambda = 304,25\text{ps}$$

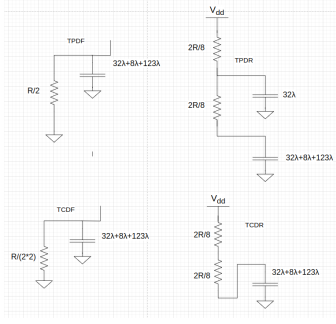


Figura 8. Circuito de análisis para NOR etapa de entrada (0)

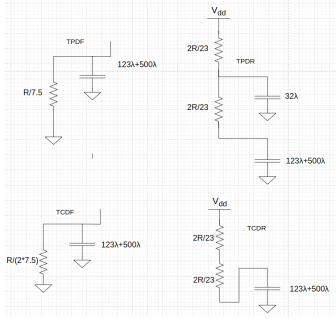


Figura 9. Circuito de análisis para NOR etapa de salida (1)

$$t_{pdr} = \frac{R}{2}(32 + 8 + 123)\lambda + \frac{2R}{23}32\lambda + \frac{4R}{23}(123 + 500)\lambda = 339,63\text{ps}$$

$$t_{cdf} = \frac{4R}{8}(32 + 8 + 123)\lambda + \frac{R}{2(7,5)}(123 + 500)\lambda = 216,932\text{ps}$$

$$t_{cdr} = \frac{R}{2(2)}(32 + 8 + 123)\lambda + \frac{4R}{23}(123 + 500)\lambda = 263,88\text{ps}$$

### III. VERIFICACIÓN DE FUNCIONALIDAD ELÉCTRICA

Para esta sección se utilizó un testbench distinto para cada implementación el cual se asegura de estresar los peores/mejores casos de cada implementación. Se adjuntan las gráficas mostrando los tiempos de retardos en orden  $t_{pdf} - t_{cdr} - t_{cdf}$

Una anotación que aplica para ambas es que se espera un poco de variación pues los tamaños de transistores calculados no son "factibles" para la definición del trazado que minimiza la capacitancia parásita (haciendo uso de folding), de forma que, el ancho de transistores NMOS se redondea al múltiplo de  $2\lambda$  más cercano, y para los transistores PMOS se redondea al tamaño más cercano a  $4\lambda$ .

### III-A. Compuerta Compleja

Para el caso de la compuerta compleja se muestran las esquemáticas CMOS de las compuertas implementadas en la figura 10 y 11. La esquemática del circuito de prueba se da en la figura 12 y los resultados de las mediciones de tiempos de transición se encuentran en la figura 13.

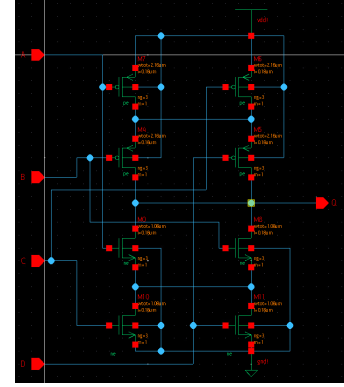


Figura 10. Esquemática OAI22 usada en impl. Compleja

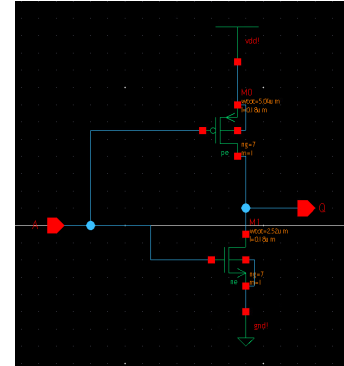


Figura 11. Esquemática NOT usada en impl Compleja

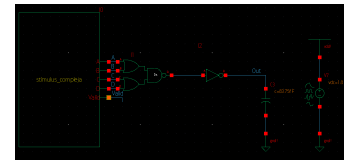


Figura 12. Esquemática circuito de prueba impl compleja

### III-B. Compuerta Compuesta

Para el caso de la compuerta compleja se muestran las esquemáticas CMOS de las compuertas implementadas en la figura 14 y 15. La esquemática del circuito de prueba se da en la figura 16 y los resultados de las mediciones de tiempos de transición se encuentran en la figura 17.

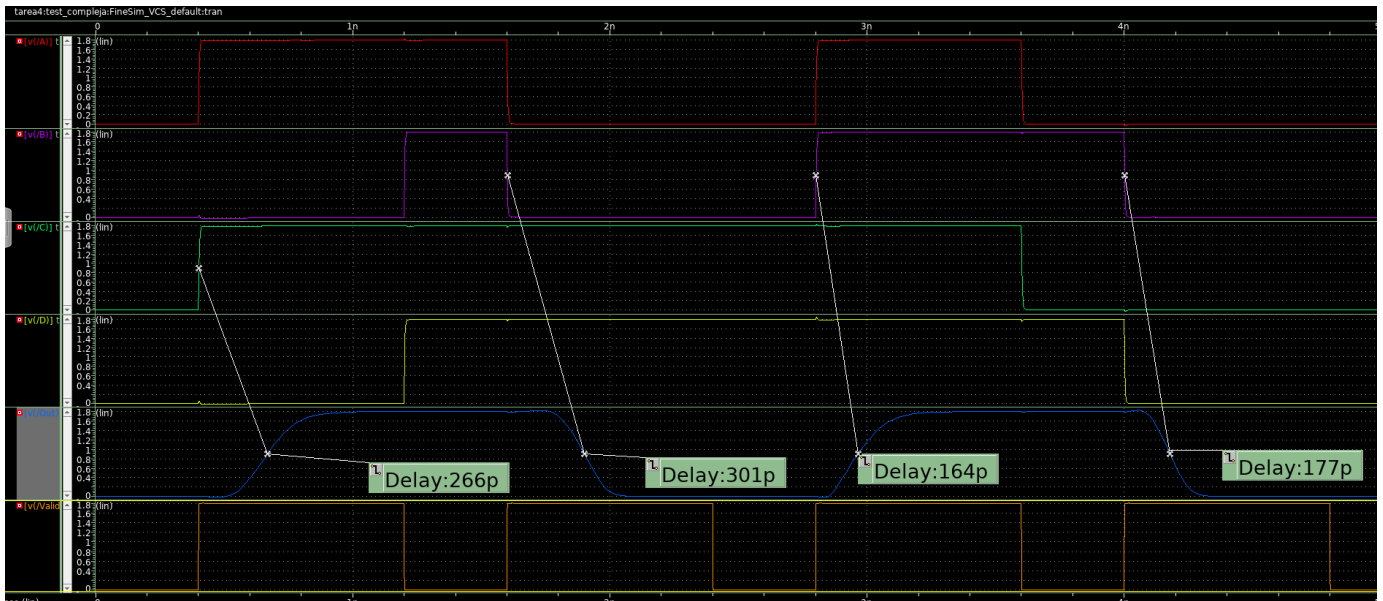


Figura 13. Tiempos de transición medidos para impl compleja

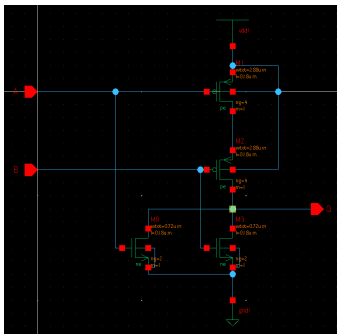


Figura 14. Esquemática NOR2 de entrada usada en impl. compuesta

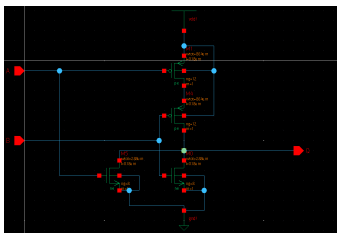


Figura 15. Esquemática NOR2 de salida usada en impl. compuesta

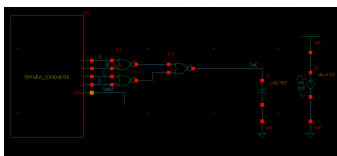


Figura 16. Esquemática circuito de prueba impl. compuesta

### III-C. Discusión de resultados y comparación respecto a la teoría del esfuerzo lógico

Considerando las variaciones mencionadas al inicio del inciso, la teoría del esfuerzo lógico da estimaciones razonablemente cercanas a los valores medidos en la simulación. Para una primera aproximación del desempeño de un circuito lógico, ciertamente el uso de esta herramienta es sumamente útil, sin embargo también desde un inicio se puede mostrar que hay limitaciones sustanciales, y detalles de diseño con los que no lidia esta teoría, particularmente los detalles de implementación.

En síntesis, su utilidad para una primera aproximación que permita informar el proceso de diseño inicial es innegable.

## IV. PLANEAMIENTO DE TRAZADO

Para esta sección se muestran los planes a "alto nivel" pues se omite mostrar el folding de transistores a utilizar para minimizar las capacitancias parásitas.

### IV-A. Compuerta Compleja

Se debe recordar el diagrama 3. Un camino de euler es: C-D-B-A

De forma que, se obtiene el plan de trazado mostrado en la figura 18



Figura 17. Tiempos de transición medidos para impl. compuesta

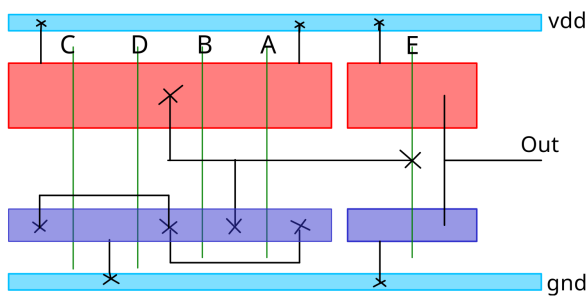


Figura 18. Plan de trazado de compuerta compleja (NOT a incluirse en celda por aparte).

#### IV-B. Compuerta Compuesta

Para el caso de la compuerta compuesta se reutiliza el mismo layout de alto nivel para las 3 compuertas utilizadas, el cual se muestra en la figura 19.

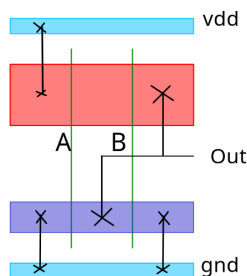


Figura 19. Plan de trazado para una compuerta NOR2

#### V. TRAZADO, RETRASOS OBTENIDOS CON PARÁSITAS Y CONSUMO DE POTENCIA

Como nota general respecto a los trazados, los mismos se realizan con un pitch máximo de 4.48 micras.

##### V-A. Compuerta Compleja

Los trazados de esta implementación se muestran en las figuras 20 y 21.

Los tiempos de retardo obtenidos posterior a la extracción de capacitancias del trazado se muestran en la figura 22.

Para la prueba de consumo de potencia se utilizó el método descrito en la sección 8.5.4 de [1]. El resultado y el circuito de prueba se muestran en la figura 23.

##### V-B. Compuerta Compuesta

Los trazados de esta implementación se muestran en las figuras 24 y 25.

Los tiempos de retardo obtenidos posterior a la extracción de capacitancias del trazado se muestran en la figura 26.

Para la prueba de consumo de potencia se utilizó el método descrito en la sección 8.5.4 de [1]. El resultado y el circuito de prueba se muestran en la figura 27.

##### V-C. Discusión de resultados del inciso

Al agregar las capacitancias parásitas se puede notar que aumentaron los tiempos de retardo, y de hecho son más cercanos a los estimados por lo predicho con la teoría del esfuerzo lógico que los resultados de la simulación inicial.

Ojo, ya en la especificación del esquemático se anotaban los transistores como transistores "doblados" de varios fingers, por lo que esto no es un factor mayor que afecte la diferencia de resultados encontrados. El mayor factor se considera que fue la dependencia de la capacitancia del layout.

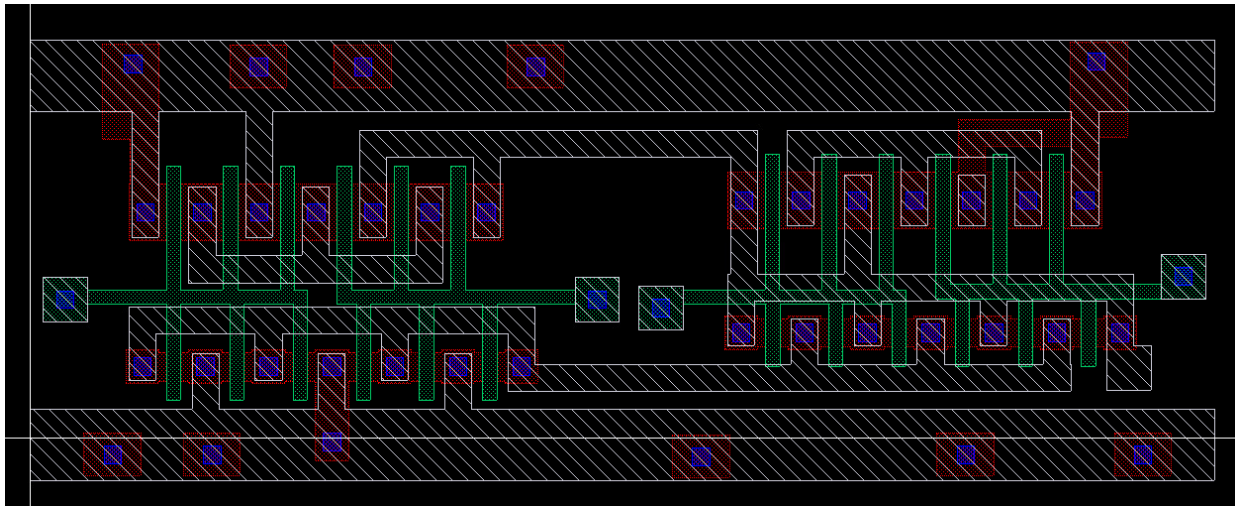


Figura 20. Trazado de compuerta compleja OAI22

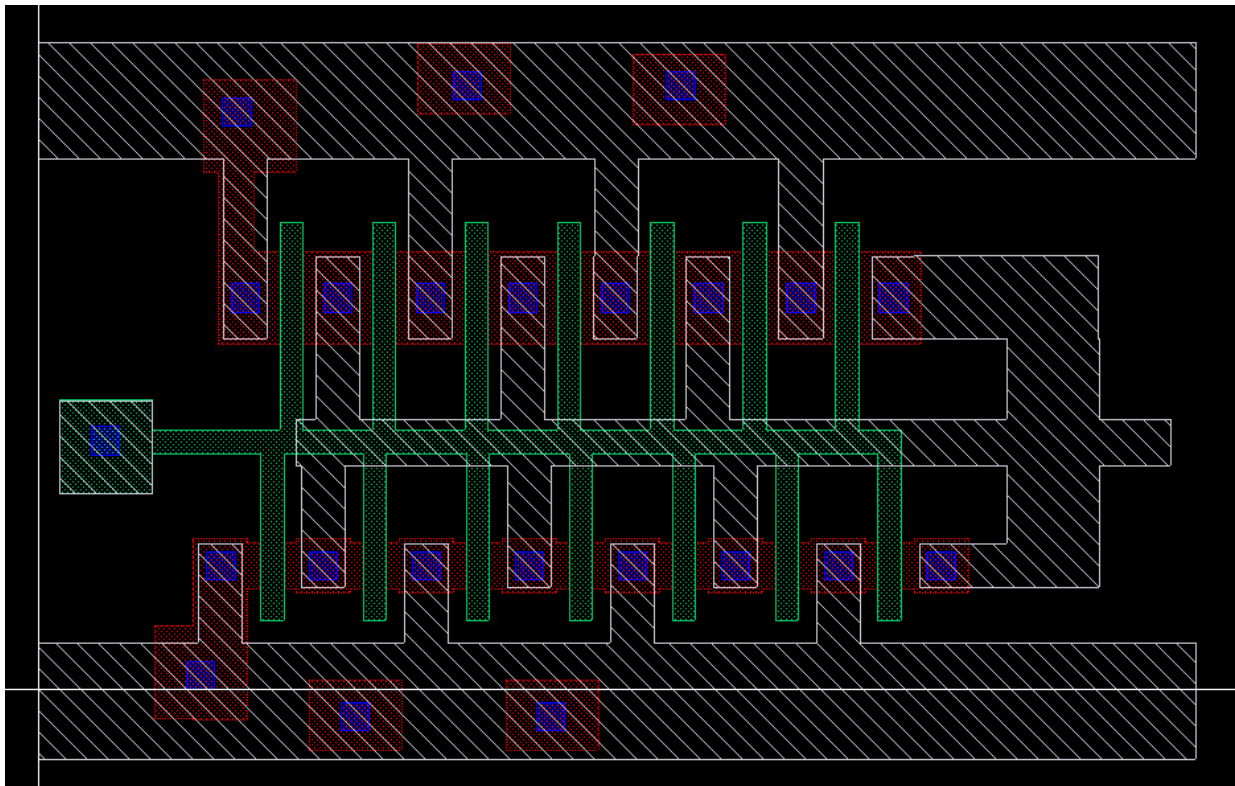


Figura 21. Trazado de compuerta not de salida para implementación compleja

Respecto al consumo de potencia, la especificación bien hace notar que va a existir una divergencia importante pues se está haciendo conmutar la compuerta forzando un factor de actividad  $\alpha = 0,5$ . Dado que dicho factor es sustancialmente más alto que el factor de actividad considerado para el cálculo teórico, la diferencia es más que notable.

Respecto a potencia si hay un resultado no esperado y es que a pesar de que conmuta a menor velocidad la implementación compuesta, el consumo de potencia del circuito compuesto

es mayor que el complejo en la implementación que usa los trazados. A nivel de cálculos teóricos iniciales se notó lo contrario. Se considera que esto se puede deber a un posible error de cálculo en que se consideró solo la conmutación de la capacitancia de carga, en vez de considerar todos los elementos capacitivos de ambos circuitos para el cálculo teórico.



Figura 22. Tiempos de retardo medidos en implementación con compuerta compleja. Primero se miden los flancos de propagación y posteriormente los de contaminación.

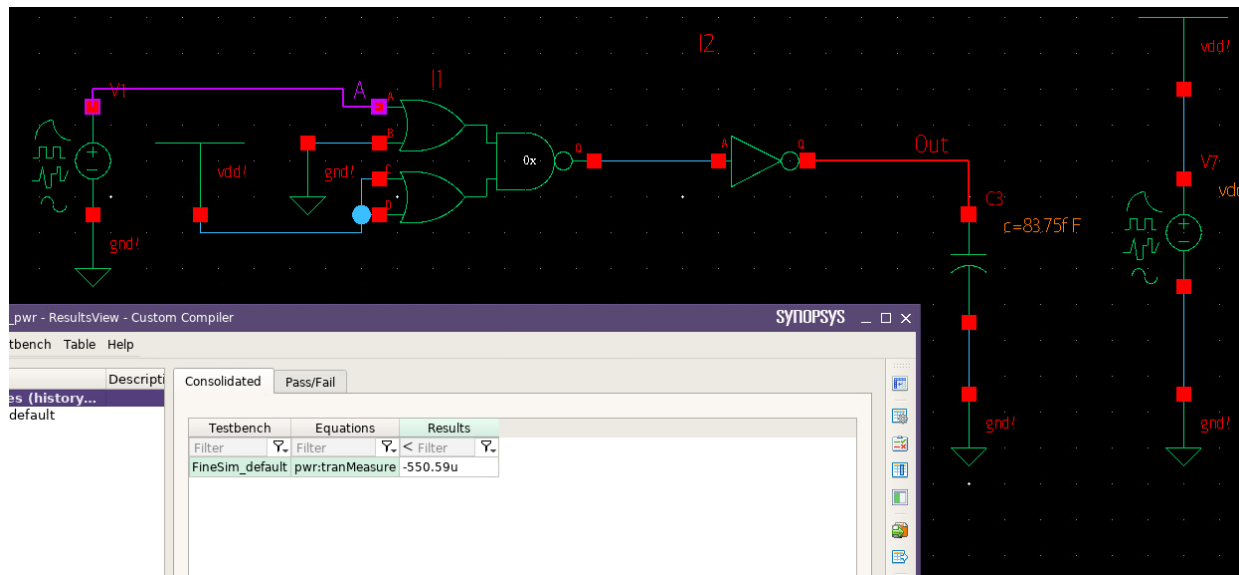


Figura 23. Resultado de mediciones de consumo de potencia para implementación compleja.



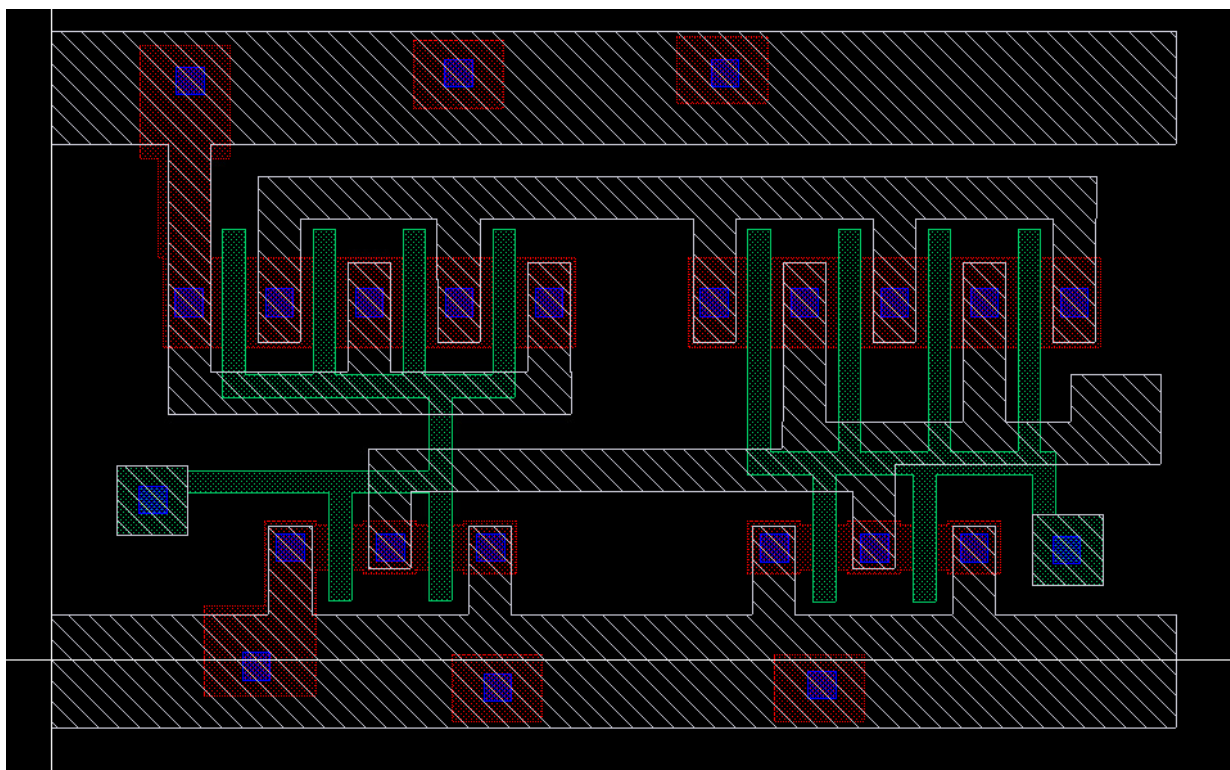


Figura 24. Trazado de compuerta NOR2 de entrada del circuito compuesto.

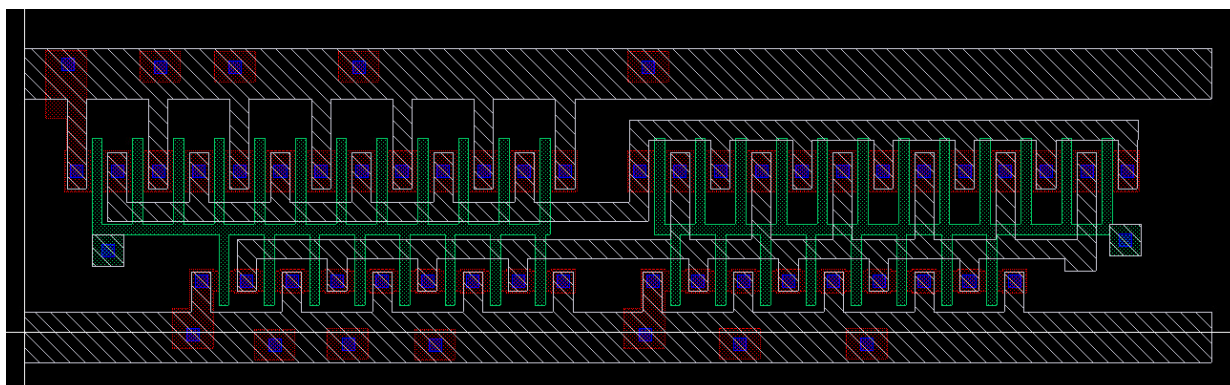


Figura 25. Trazado de compuerta NOR2 de salida del circuito compuesto.



Figura 26. Tiempos de retardo medidos en implementación con compuerta compuesta. Primero se miden los flancos de propagación y posteriormente los de contaminación.

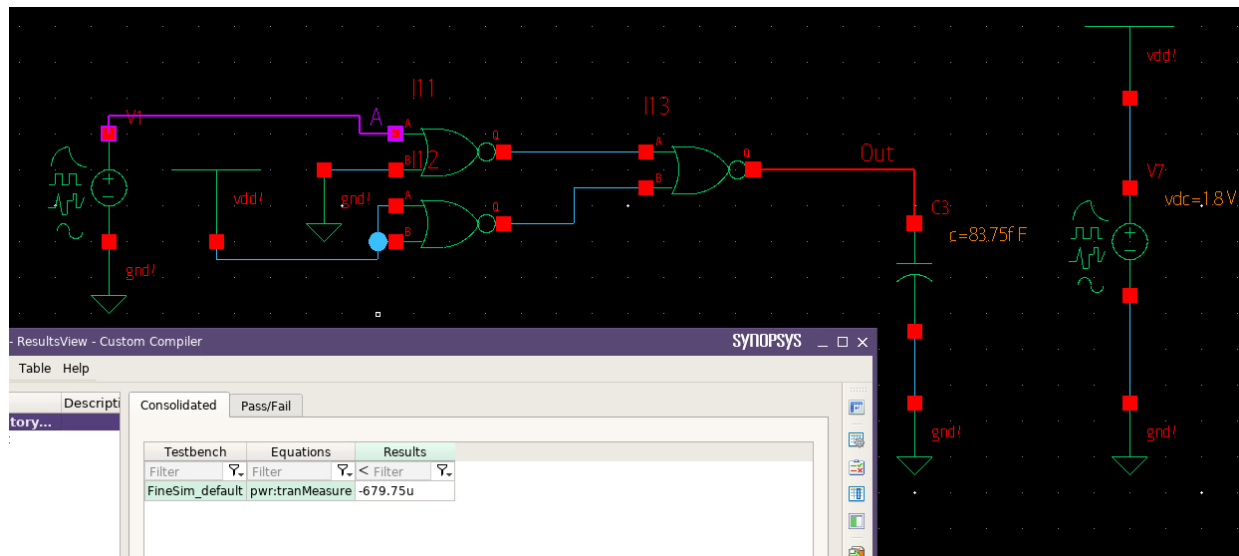


Figura 27. Resultado de mediciones de consumo de potencia para implementación compuesta

## REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design, a Circuits and Systems Perspective*. Addison-Wesley, 2011.