

Proyecto 1 VLSI

Simón Fallas Villalobos
Escuela de Ingeniería en Computadores
Instituto Tecnológico de Costa Rica
Cartago, Costa Rica
simonfallasv@estudiantec.cr

José Fernando Morales Vargas
Escuela de Ingeniería en Computadores
Instituto Tecnológico de Costa Rica
Cartago, Costa Rica
josefemova@estudiantec.cr

El repositorio con todos los archivos utilizados en las simulaciones se puede encontrar en el siguiente enlace: <https://github.com/Josfemova/EL5807.git> En el branch Ta-rea_1.

I. CÁLCULO DE RESISTENCIA EFECTIVA

La resistencia efectiva del transistor se obtiene del promedio de V_{ds}/I_{ds} durante una transición. El intervalo de tiempo desde que la tensión V_{gs} adquiere un valor de $V_{DD}/2$ hasta que la tensión V_{ds} baja o sube hasta $V_{DD}/2$ se le conoce como tiempo de propagación (t_{pd}). Si el transistor se mantiene en velocidad de saturación durante esta transición, entonces la corriente también se mantiene aproximadamente constante en I_{dsat} , y la resistencia efectiva se puede obtener con la ecuación (1), para el caso de V_{ds} cayendo de V_{DD} a $V_{DD}/2$ en un NMOS:

$$R_{eff} = \frac{\ln 2}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V}{I_{dsat}} dV \quad (1)$$

$$= \frac{3 \ln 2}{4} \frac{V_{DD}}{I_{dsat}}$$

En un transistor real, sin embargo, la corriente disminuye con V_{ds} , lo que provoca variaciones en la resistencia efectiva. Si se define una corriente I_L al inicio de la transición, y otra I_H al finalizar, entonces se puede utilizar el promedio para aproximar la resistencia, como se muestra en la ecuación (2).

$$R_{eff} = \frac{V_{DD}}{2I_{eff}} = \frac{V_{DD}}{I_H + I_L} \quad (2)$$

Para el cálculo de la resistencia de canal de transistores mínimos NMOS y PMOS para el proceso XH018, módulo LPMOS: ne, pe (1,8V), se utilizarán las ecuaciones (1) y (2), teniendo en cuenta los parámetros mostrados en la Fig. 1, obtenidos de [1], y el circuito de prueba de la Fig. 2.

Parámetro	NMOS	PMOS
$I_{ON} (I_{dsat} @ V_{gs}=V_{ds}=1.8V, W/L=10/0.18) \mu A/\mu m$	475	170
$I_{OFF} (@ V_{gs}=0V, V_{ds}=1.8V, W/L=10/0.18) pA/\mu m$	3.0	3
$k'_f (\mu C_{OX}) (@ W/L=10/10) \mu A/V^2$	256	52
S^{-1} (pendiente subumbral, @ $V_{ds}=1.8V$) decade/V	12	11
n (coeficiente subumbral, @ $V_{ds}=1.8V$)	1.447	1.534
γ (coeficiente efecto de cuerpo) (@ $W/L=10/10$) \sqrt{V}	0.7	0.86
C_{OX} (capacitancia del óxido, @ $V_{bias}=1.8V$) fF/ μm^2	8.46	8.91
μ_{eff} (movilidad efectiva)	$307 cm^2/(Vs)$	$59 cm^2/(Vs)$
C_{OV} (capacitancia de traslape)	$0.33 fF/\mu m$	$0.32 fF/\mu m$
V_T (@ $V_{DS}=0.1V, W/L=10/10$)	0.53	-0.7
V_T (@ $V_{DS}=0.1V, W/L=10/0.18$)	0.58	-0.65
V_T (@ $V_{DS}=0.1V, W/L=0.22/0.18$) V	0.45	-0.6
V_{TEX} (@ $V_{DS}=0.1V, W/L=0.22/0.18$) V	0.45	-0.6
L_{eff} (@ $L_{dib}=0.18$) μm	0.16	0.15
W_{eff} (@ $W_{dib}=0.22$) μm	0.17	0.25
ΔL (Delta longitud) μm	0.02	0.03
ΔW (Delta ancho) μm	0.05	-0.03

Figura 1. Parámetros para transistores 1.8V (ne, pe).

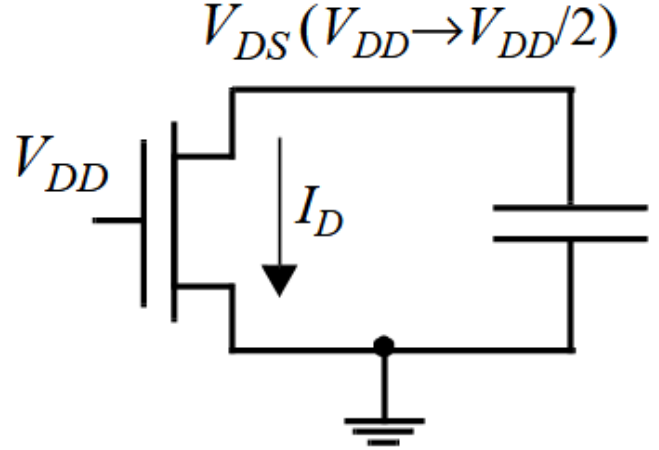


Figura 2. Circuito de ejemplo para cálculo de resistencia efectiva.

Entonces, considerando primero la ecuación (1) y el valor de corriente en saturación ($I_{dsat} = 475 \mu A/\mu m$), se obtiene la resistencia efectiva:

$$R_{eff,N} = \frac{3 \ln 2}{4} \frac{1.8V}{475 \mu A/\mu m \cdot 0.36 \mu m} \quad (3)$$

$$= 5472 \Omega$$

Se multiplica por el ancho W para mantener la corriente en μA , además, como el transistor debe ser de tamaño mínimo

(1-unit: $4\lambda/2\lambda$), se toma el ancho como $0,36\mu\text{m}$ y el largo como $0,18\mu\text{m}$.

Ahora, utilizando la ecuación (2), tomando I_{ON} como I_H e I_{OFF} como I_L , se tiene:

$$R_{eff,N} = \frac{1,8\text{V}}{(475\mu\text{A}/\mu\text{m} - 3,0\text{pA}/\mu\text{m}) \cdot 0,36\mu\text{m}} \quad (4)$$

$$= 10526 \Omega$$

En la ecuación 1 se asume que el transistor se mantiene en saturación durante toda la transición, sin embargo, esto no suele suceder en casos reales.

De manera análoga, se obtiene la resistencia para el transistor PMOS, con un ancho de $0,72\mu\text{m}$:

$$R_{eff,P} = \frac{1,8\text{V}}{(170\mu\text{A}/\mu\text{m} - 3,0\text{pA}/\mu\text{m}) \cdot 0,72\mu\text{m}} \quad (5)$$

$$= 14706 \Omega$$

II. CÁLCULO DE CAPACITANCIA EQUIVALENTE DE COMPUERTA

Para calcular la capacitancia efectiva de compuerta del transistor NMOS se utiliza la siguiente ecuación:

$$C_{gs} = W_{dib}L_{dib}C_{OX} + W_{dib}C_{OV} \quad (6)$$

Esto suponiendo que las capacitancias de difusión son iguales a la capacitancia de compuerta. Sustituyendo en la ecuación anterior se tiene:

$$C_{gs,N} = 0,36\mu\text{m} \cdot 0,18\mu\text{m} \cdot 8,46\text{fF}/\mu\text{m}^2$$

$$+ 0,36\mu\text{m} \cdot 0,33\text{fF}/\mu\text{m} \quad (7)$$

$$= 0,67 \text{ fF}$$

Con los valores de resistencia y capacitancia se puede obtener la constante RC para el proceso, como se muestra a continuación:

$$\tau_N = 3RC = 10,526 \text{ k}\Omega \cdot 0,67 \text{ fF} \quad (8)$$

$$= 21,157 \text{ ps}$$

Ahora, para el transistor PMOS:

$$C_{gs,P} = 0,72\mu\text{m} \cdot 0,18\mu\text{m} \cdot 8,91\text{fF}/\mu\text{m}^2$$

$$+ 0,72\mu\text{m} \cdot 0,32\text{fF}/\mu\text{m} \quad (9)$$

$$= 1,385 \text{ fF}$$

$$\tau_P = \frac{3}{2}RC = 14,706 \text{ k}\Omega \cdot 1,385 \text{ fF} \quad (10)$$

$$= 30,552 \text{ ps}$$

III. INVERSOR MÍNIMO

La ecuación 12 se lista como la ecuación 2.6 de [2]

$$KP = \mu C_{ox} \quad (11)$$

$$\beta = KP \frac{W}{L} \quad (12)$$

Para que sean de margen de ruido simétrico, según el capítulo 2.5.2 de [2]

$$\beta_P = \beta_N \implies \mu_N C_{ox,N} \frac{W_n}{L_n} = \mu_P C_{ox,P} \frac{W_p}{L_p}$$

Asumiendo tamaño mínimo para los transistores NMOS y PMOS ($W_N = 0,36\mu\text{m}$) y ($L_N = L_P$):

$$W_P = \frac{\mu_N C_{ox,n}}{\mu_P C_{ox,P}} W_N$$

La ecuación anterior se resuelve usando los valores de la tabla en la figura 1. Nótese que para el cálculo no es necesario tomar en cuenta otras unidades que las de W_N . Por ser una aproximación en papel, se asume también que $V_{t,N} = -V_{t,P}$.

$$W_P = \frac{(307)(8,46)}{(59)(8,91)} W_N = 4,94 W_N \approx 5 W_N = 1,8\mu\text{m}$$

El esquemático del inversor se puede ver en la Fig. 3. Se inició con el valor de $1.8 \mu\text{m}$ calculado manualmente. En la Fig. 4 se puede ver el resultado de una simulación en el tiempo con HSPICE para comprobar el correcto funcionamiento.

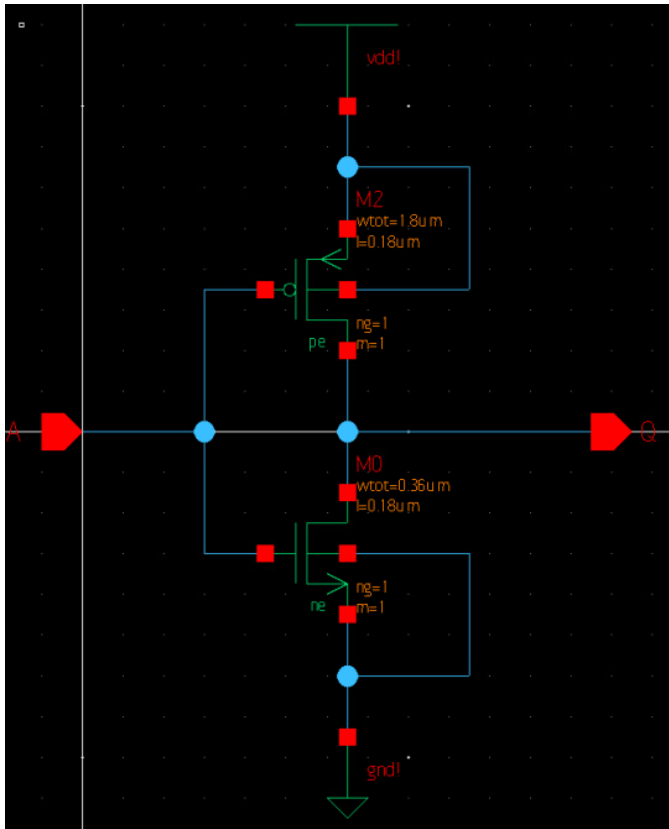


Figura 3. Esquemático de inversor mínimo en Custom Compiler.

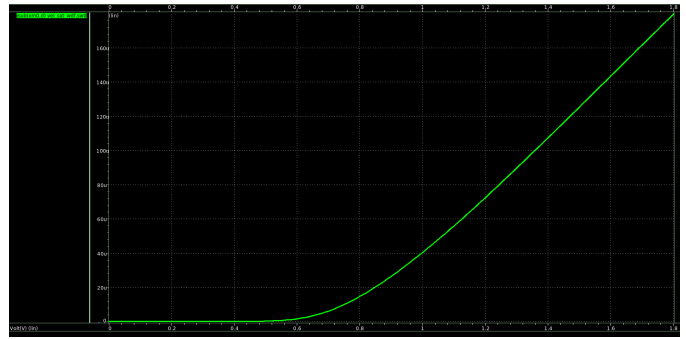


Figura 5. Curva I_d vs $V_{gs} = V_{dd}$ para determinar velocidad de saturación.

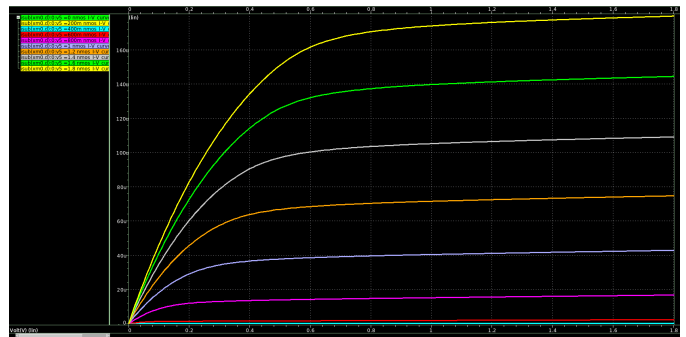


Figura 6. Curva característica del NMOS.

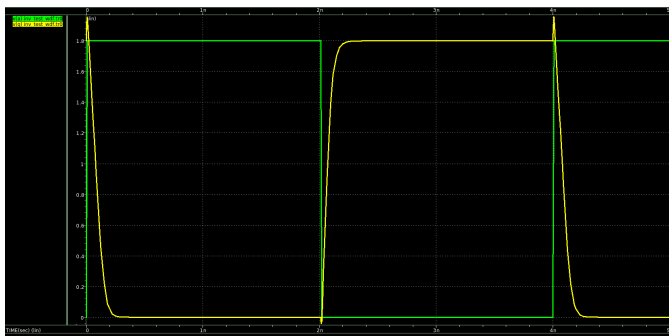


Figura 4. Captura de WaveView para simulación en el tiempo del inversor en su diseño inicial.

En Fig. 5 se puede ver una curva corriente en función de la tensión de entrada. Manteniendo la tensión de gate igual a la del drain se puede obtener una curva de corriente que, de ser cuadrática, se sabe que el transistor trabaja en saturación, mientras que si muestra un incremento lineal, entonces se deduce que el transistor está limitado por velocidad de saturación. En la Fig. 6 se muestra la curva característica del inversor NMOS, de donde se puede observar también el comportamiento de la corriente para distintos valores de tensión de gate.

En la Fig. 7 se muestran las curvas de tensión de salida contra entrada del inversor para distintas relaciones P/N, es decir, para distintos tamaños de ancho del transistor P. A partir de esto, se determina que para obtener un inversor de margen de ruido simétrico se debe utilizar un tamaño de $2.14 \mu\text{m}$, lo que se traduce a una relación P/N de 6, aproximadamente. En la Fig. 8 se muestra el comportamiento en el tiempo del inversor modificado.

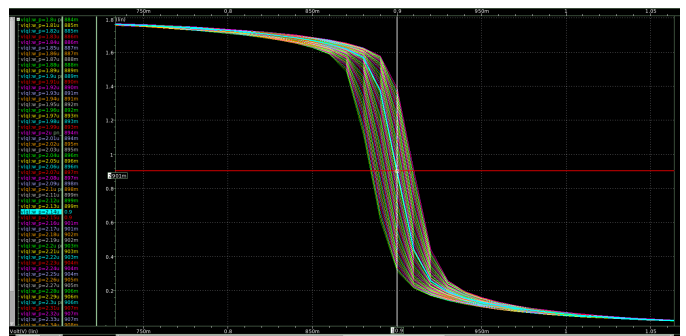


Figura 7. Curvas de tensión V_{out} vs V_{in} para distintos tamaños de ancho del transistor P.

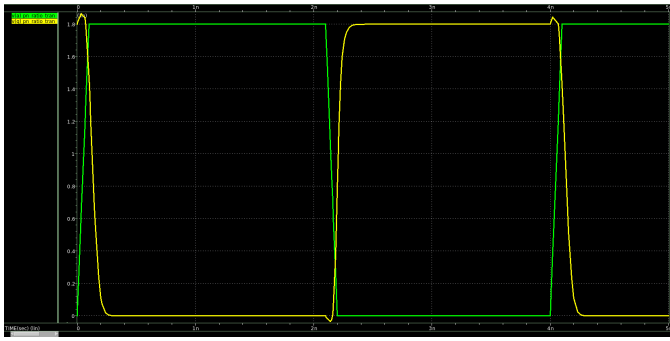


Figura 8. Comportamiento en el tiempo del inversor con la relación P/N de 6.

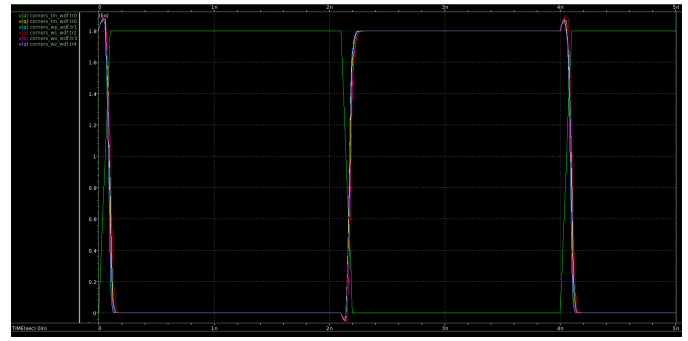


Figura 10. Curvas de tiempo del inversor para las esquinas de variabilidad wp, ws, wo, wz y tm.

En la Fig.9 se muestran los valores de corriente de corto circuito, igualmente, para distintas relaciones P/N, en donde se puede observar que para la relación P/N de 6, donde el ancho del P sería $2.14 \mu\text{m}$, se obtiene aproximadamente una corriente de $500 \mu\text{A}$.

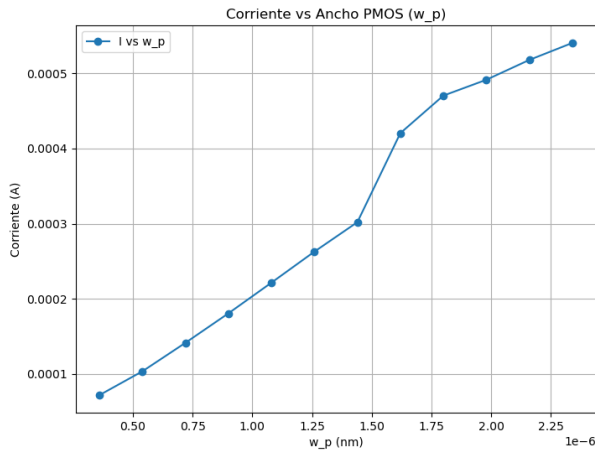


Figura 9. Corriente de corto circuito para distas relaciones P/N.

Luego se analizaron las esquinas de variabilidad, específicamente: wp (worst power), ws (worst speed), wo (worst one) y wz (worst zero), y se compararon con tm (typical medium), para observar el comportamiento en casos extremos. Los resultados se muestran en la Fig. 10.

IV. TIEMPOS DE RETARDO

Se realizó un análisis de retardos siguiendo el ejemplo 8.10 de [2], para relaciones P/N de 1.5 a 7. Los resultados de curvas en el tiempo se muestran en la Fig. 11. A partir de estos datos se determina que para una relación P/N de 2 los retardos t_{pdr} y t_{pdf} son 141.4 ps y 102.7 ps, respectivamente.

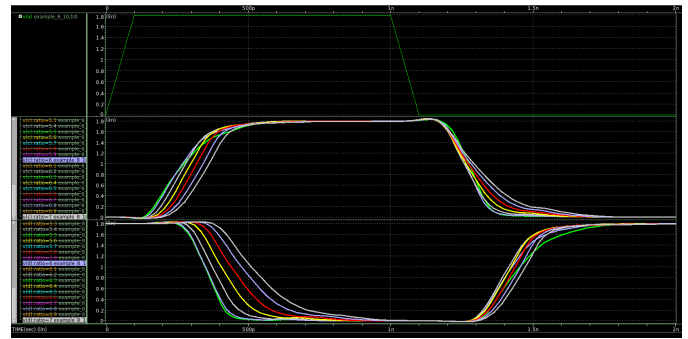


Figura 11. Retardos del ejemplo 8.10 de [2] para distintas relaciones P/N.

Los valores de t_{pdr} y t_{pdf} se graficaron en función de la relación P/N para encontrar manualmente el punto de intersección que determina la mejor relación de retardos. Esta gráfica se muestra en la Fig. 12. A partir de esta se deduce que la mejor relación P/N es de aproximadamente 4.7. También, se obtuvieron los valores de potencia consumida para las distintas relaciones P/N, los cuales se pueden ver en la Fig. 13. Para el punto de optimización la potencia consumida es de 4.6 mW, aproximadamente, mientras que para el caso de la relación P/N de 2, la potencia consumida es cercana a 2.5 mW.

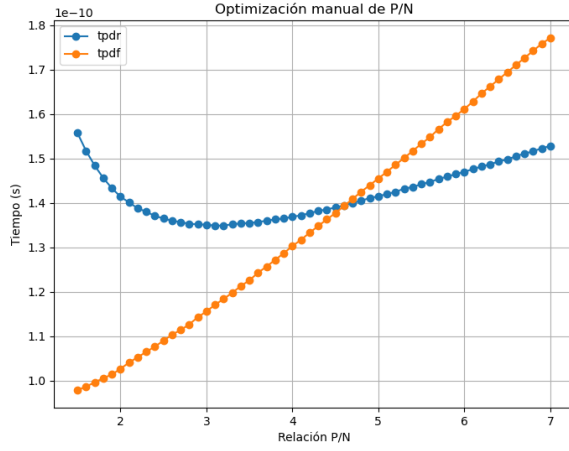


Figura 12. Valores de t_{pdr} y t_{pdf} vs relación P/N.

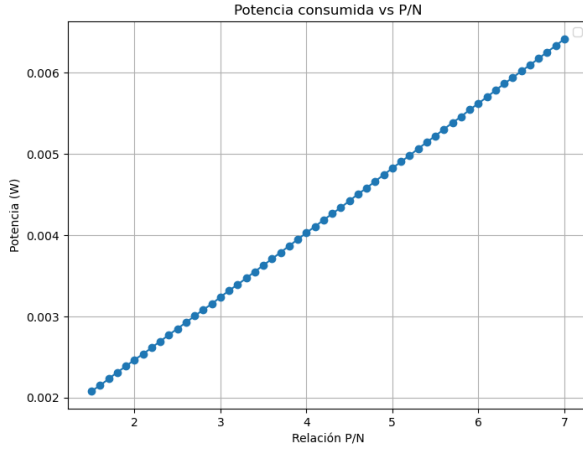


Figura 13. Valores de potencia consumida vs relación P/N.

En base al ejemplo 8.11 de [2] se realizó un cálculo automático de optimización, del cual se obtuvieron los resultados mostrados en la Tabla I. Se observa que la relación sugerida para P/N es de 4. Ahora, en cuanto a cual se debería utilizar será algo que dependerá de los requerimientos de diseño, como se puede observar de los resultados obtenidos, utilizar un tamaño de ancho para el transistor P más grande puede mejorar la relación entre retardos de carga y descarga, sin embargo, esto implica un aumento en área y consumo de potencia que también deben ser considerados. Valores más pequeños de ancho pueden disminuir el retardo, como se muestra en la Fig. 11, pero también se perdería simetría, por tanto la decisión dependería de los requerimientos de la aplicación.

V. RESISTENCIA EFECTIVA A PARTIR DEL RETARDO

La resistencia efectiva se puede obtener a partir de los retardos según las ecuaciones (13) y (14) de [2].

Tabla I
VALORES OBTENIDOS DE LA OPTIMIZACIÓN AUTOMÁTICA.

P1	bestratio	tpdr	tpdf	tpd	diff
16	4	1.372e-10	1.302e-10	1.337e-10	6.985e-12

$$\Delta t_{dpr} = \frac{3}{2} R_p C \quad (13)$$

$$\Delta t_{dpf} = 3 R_n C \quad (14)$$

Se obtuvieron los valores de retardos para FO3 y FO4, con una relación P/N de 2, los cuales se muestran en la Tabla II. Allí mismo se muestran los valores de las diferencias entre fanouts, los cuales se utilizaron para calcular las resistencias de las ecuaciones (13) y (14), esto con la capacitancia calculada en (7) y (9).

Tabla II
DIFERENCIAS DE RETARDOS PARA FANOUTS 3 Y 4

h	t_{pdr}	t_{pdf}
3	1.127e-10	8.288e-11
4	1.414e-10	1.027e-10
Δ	2.87e-11	1.982e-11

$$R_p = \frac{2}{3} \frac{\Delta t_{dpr}}{C}$$

$$R_p = 13815 \, \Omega$$

$$R_n = \frac{1}{3} \frac{\Delta t_{dpf}}{C}$$

$$R_n = 9861 \, \Omega$$

Los valores encontrados de resistencias son similares a los calculados inicialmente, sin embargo las resistencias iniciales son un poco mayores, por lo que utilizarlas como referencia puede ser de utilidad si se desea trabajar considerando el peor caso como punto de partida.

REFERENCIAS

- [1] A. C. Rodríguez, *Parámetros de primer orden para tecnología XFAB 0.18m (Bulk CMOS XH018)*, Instituto Tecnológico de Costa Rica, 2018.
- [2] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design, a Circuits and Systems Perspective*. Addison-Wesley, 2011.