

Proyecto 3 VLSI - Caracterización de Flip-Flop Estático Amo-Esclavo

Simón Fallas Villalobos
Escuela de Ingeniería en Computadores
Instituto Tecnológico de Costa Rica
Cartago, Costa Rica
simonfallasv@estudiantec.cr

José Fernando Morales Vargas
Escuela de Ingeniería en Computadores
Instituto Tecnológico de Costa Rica
Cartago, Costa Rica
josefemova@estudiantec.cr

I. INTRODUCCIÓN

Esta tarea tiene como propósito extraer por medio de simulaciones los tiempos de setup y hold para un flip-flop estático amo-esclavo de 1 bit. Los archivos utilizados en las simulaciones, así como los datos de los resultados de estas, se encuentran en el siguiente repositorio, en el branch Tarea_3: <https://github.com/Josfemova/EL5807.git>

II. INSTANCIACIÓN DE COMPONENTES

Para las pruebas se utilizó el flip-flop DFFHDLLX0 de la biblioteca D_CELLS_HDLL. El esquemático se puede ver en la Fig. 1, mientras que el layout se presenta en la Fig. 2.

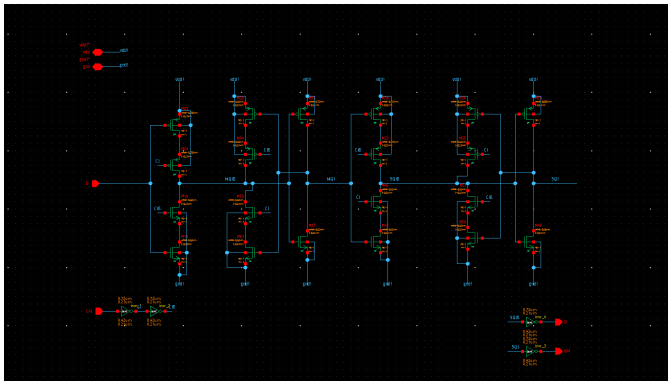


Figura 1. Esquemático del flip-flop.

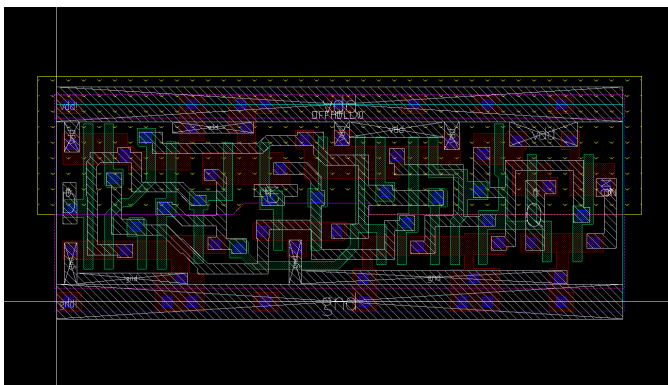


Figura 2. Layout del flip-flop.

III. RELOJ CON INVERSORES

El flip-flop es controlado por un reloj de flanco negativo que se conecta al puerto CN, conexión que se realiza en Metal 3. En la Fig. 3 se muestra la modificación del layout del flip-flop luego de agregar estas capas adicionales. En la Fig. 4 se presenta un esquemático del reloj, al cual se le colocan dos inversores para obtener una señal más realista, señal que se puede ver en la Fig. 5.

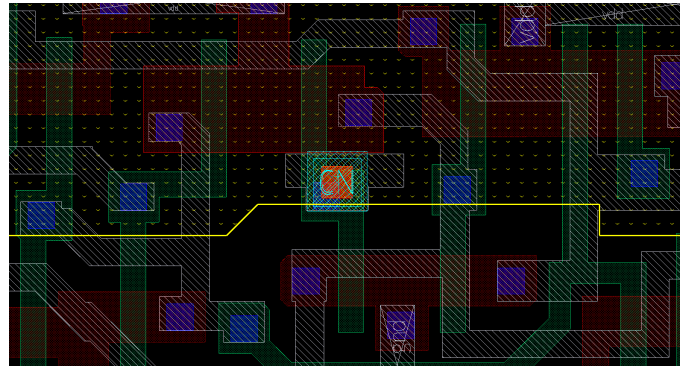


Figura 3. Conexión en Metal 3 en flip-flop para señal del reloj.

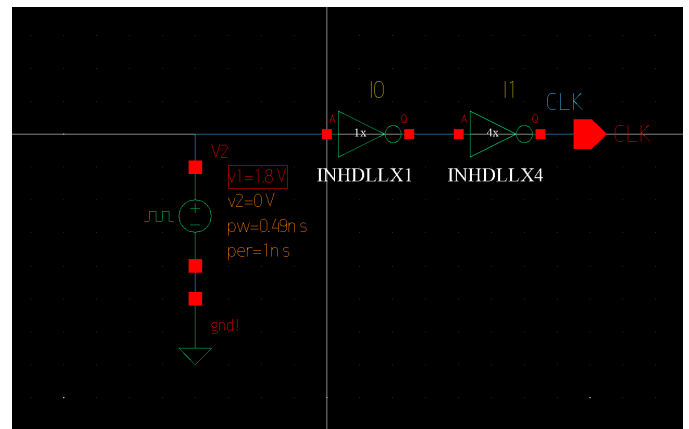


Figura 4. Esquemático del reloj con inversores.

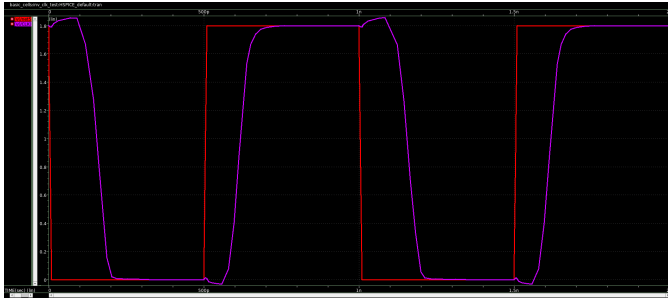


Figura 5. Señal en el tiempo del reloj.

IV. OBTENCIÓN DE TIEMPOS DE SETUP Y HOLD

Para la obtención de los tiempos de setup y hold se realiza una técnica de variación de t_{DC} midiendo t_{CQ} , como se explica en [1] y [2]. En la Fig. 6 se puede ver un ejemplo extraído de [1] donde se definen los valores t_{DC} , t_{CQ} y t_{DQ} . Al graficar esos valores se puede extraer el tiempo de setup, donde la pendiente de t_{CQ} es -1. Es en este valor donde también el tiempo t_{DQ} se aproxima a su valor mínimo.

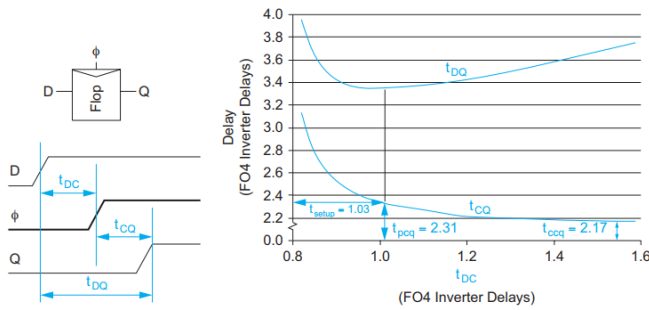


Figura 6. Retardos del flip flop y obtención de tiempo de setup.

Para la obtención de los tiempos de hold se utiliza como referencia la técnica implementada en [1], que se puede ver en la Fig. 7, donde también se puede ver que existen distintos tiempos de setup y hold para los dos datos de entrada posibles, 0 y 1.

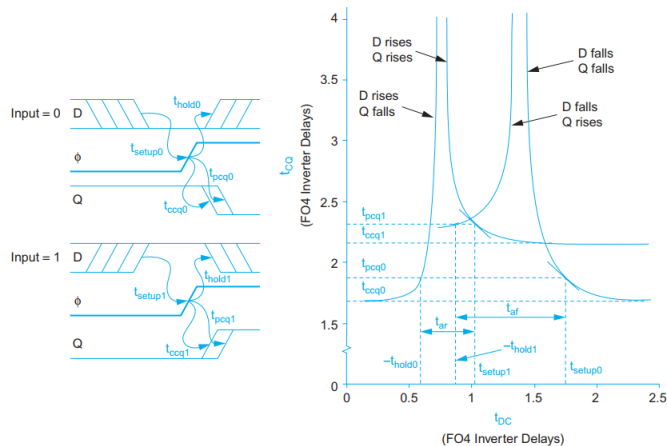


Figura 7. Obtención de tiempos de setup y hold para entradas 0 y 1.

V. SIMULACIONES

Para las pruebas se montó el circuito que se muestra en la Fig. 8. En las Figs. 9, 10, 11 y 12 se muestran los barridos de t_{DC} realizados para obtener cada una de las 4 curvas presentadas en 7. En estas figuras se presenta el flanco negativo del reloj en la parte superior, el cambio en el valor de entrada en el medio para distintos t_{DC} , y el cambio en la salida del cual se obtiene t_{CQ} .

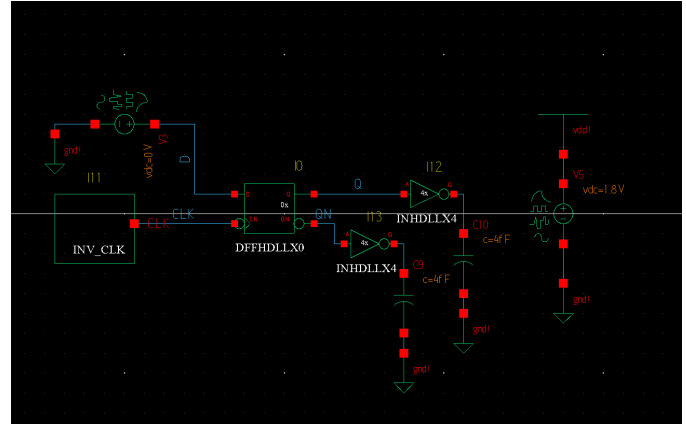


Figura 8. Circuito para pruebas de retardos.

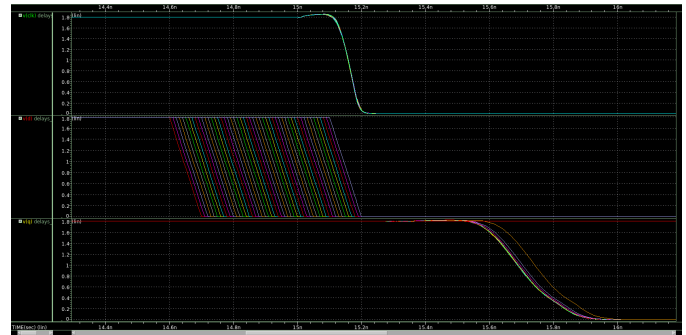


Figura 9. Barrido de t_{DC} , t_{CQ} para dato de entrada 0, D fall, Q fall.

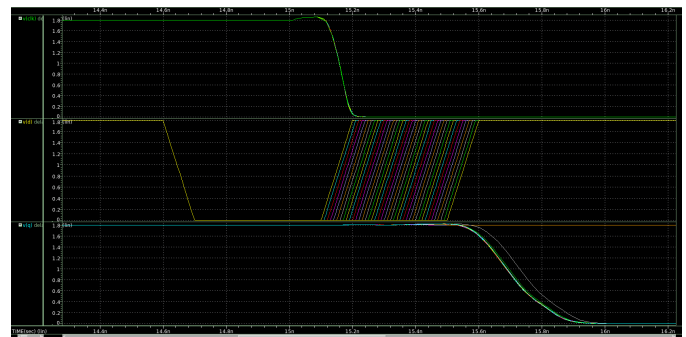


Figura 10. Barrido de t_{DC} , t_{CQ} para dato de entrada 0, D rise, Q fall.

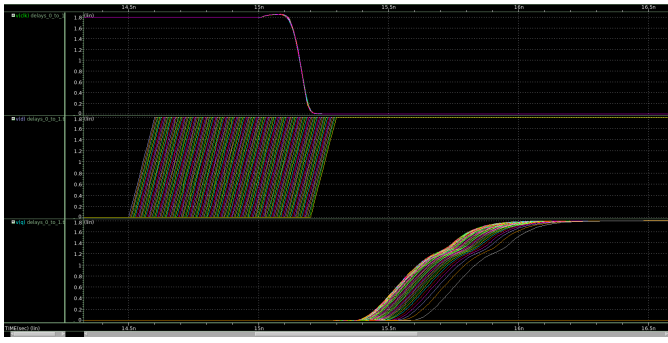


Figura 11. Barrido de t_{DC} , t_{CQ} para dato de entrada 1, D rise, Q rise.

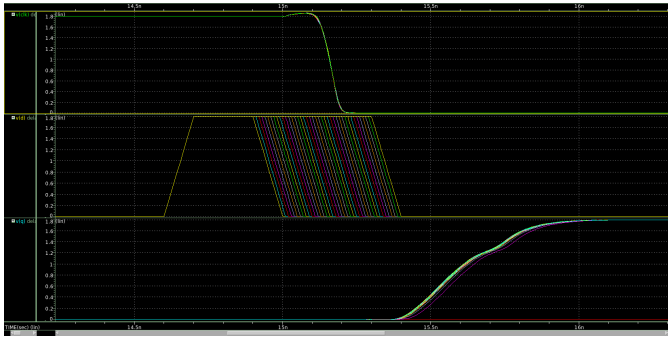


Figura 12. Barrido de t_{DC} , t_{CQ} para dato de entrada 1, D fall, Q rise.

VI. RESULTADOS

A partir de los datos obtenidos se montaron las gráficas de las Figs. 13 y 14 para los dos datos de entrada 0 y 1. En estas gráficas son una combinación de las gráficas de [1] de las Figs. 6 y 7, donde se presentan los valores de t_{CQ} para entradas y salidas crecientes y decrecientes (D, Q, rise, fall), además de la curva t_{DQ} para observar como, en efecto, los tiempos de setup están donde t_{DQ} se aproxima a su valor mínimo.

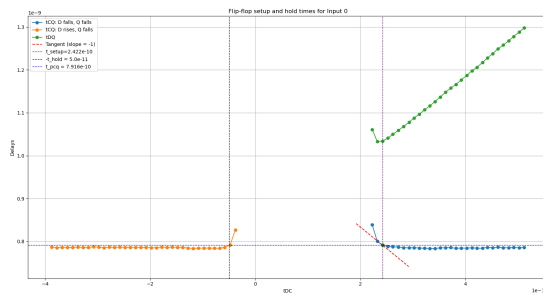


Figura 13. Obtención de tiempos de setup y hold para dato de entrada 0.

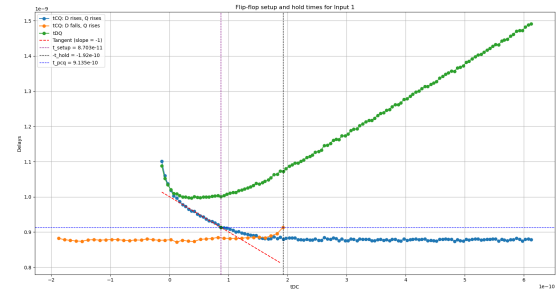


Figura 14. Obtención de tiempos de setup y hold para dato de entrada 1.

A partir de estas curvas se determina que para un dato de entrada 0 los tiempos de setup y hold son 242 ps y 50 ps, respectivamente, mientras que para un dato de entrada 1 los tiempos son 87 ps para setup y -192 ps para hold.

Con la ayuda de la herramienta LibertyDisplayer se extrajeron los datos de tiempos del fabricante del flip-flop, los cuales se muestran en la Fig. 15.

- related pin CN
- constraint pin CN
 - * min_pulse_width default:
 - constraint pin D
 - constraint pin D_falling default:
- setup_falling/hold_falling default:

constraint: from D to CN

CN slope [ns]	0.0144	1.1206	2.7798	5.5452									
D slope [ns]													
setup D rising to CN falling [ns]	0.0144	0.106	-0.338	-0.683	-1.049								
	1.1206	0.241	-0.192	-0.575	-0.971								
	2.7798	0.273	-0.163	-0.555	-0.979								
	5.5452	0.224	-0.220	-0.613	-1.058								
CN slope [ns]	0.0144	1.1206	2.7798	5.5452									
D slope [ns]													
setup D falling to CN falling [ns]	0.0144	0.221	0.023	-0.152	-0.406								
	1.1206	0.489	0.257	0.074	-0.179								
	2.7798	0.761	0.504	0.306	0.037								
	5.5452	1.150	0.880	0.675	0.402								
CN slope [ns]	0.0144	1.1206	2.7798	5.5452									
D slope [ns]													
hold D rising to CN falling [ns]	0.0144	0.135	0.529	0.889	1.375								
	1.1206	0.063	0.478	0.857	1.358								
	2.7798	0.122	0.541	0.936	1.452								
	5.5452	0.323	0.743	1.142	1.670								
CN slope [ns]	0.0144	1.1206	2.7798	5.5452									
D slope [ns]													
hold D falling to CN falling [ns]	0.0144	-0.137	0.104	0.365	0.762								
	1.1206	-0.346	-0.074	0.194	0.591								
	2.7798	-0.526	-0.237	0.047	0.456								
	5.5452	-0.769	-0.473	-0.186	0.229								

Figura 15. Tiempos del fabricante para el flip-flop.

Se toman como referencia los tiempos con las pendientes más pequeñas, de 14 ps, por ser los más cercanos. Aún así, se pueden observar variaciones con respecto a los resultados obtenidos experimentalmente, esto se puede deber a múltiples factores, siendo uno de estos los propios tiempos de las pendientes, ya que para las pruebas se utilizaron pendientes de aproximadamente 100 ps, mientras que en los valores presentados por el fabricante no hay datos para pendientes cercanas a esta. Aún así, si se toma como referencia los valores mínimos igual se pueden notar ciertas similitudes con los tiempos obtenidos de las simulaciones. En la Tabla I se muestra un resumen de los datos experimentales y los teóricos.

Tabla I
TIEMPOS DE SETUP Y HOLD OBTENIDOS EN SIMULACIÓN Y TEÓRICOS.

Tiempo	Simulación (slope 100 ps)	Teórico (slope 14.4 ps)
Setup (Entrada 0)	242 ps	221 ps
Hold (Entrada 0)	50 ps	135 ps
Setup (Entrada 1)	87 ps	106 ps
Hold (Entrada 1)	-192 ps	-137 ps

REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design, a Circuits and Systems Perspective*. Addison-Wesley, 2011.
- [2] J. Rabaey, A. Chandrakasan, and B. Nikolic, *Circuitos integrados digitales*, segunda ed. Prentice Hall, 2005.