

# Proyecto 4 VLSI - Contador de 8 bits

Simón Fallas Villalobos  
Escuela de Ingeniería en Computadores  
Instituto Tecnológico de Costa Rica  
Cartago, Costa Rica  
simonfallasv@estudiantec.cr

José Fernando Morales Vargas  
Escuela de Ingeniería en Computadores  
Instituto Tecnológico de Costa Rica  
Cartago, Costa Rica  
josefemova@estudiantec.cr

## I. INTRODUCCIÓN

Esta tarea tiene como propósito diseñar un contador arriba-abajo de 8 bits con carga paralela, con reset asincrónico, que pueda correr a 100 MHz. Los archivos utilizados en las simulaciones, así como los datos de los resultados de estas, se encuentran en el siguiente repositorio: <https://github.com/Josfemova/EL5807.git>, en branch Tarea\_4. O también en la ruta: /mnt/vol\_NFS\_rh003/Est\_VLSI\_II\_2024/sfallas/EL5807/Tarea\_4.

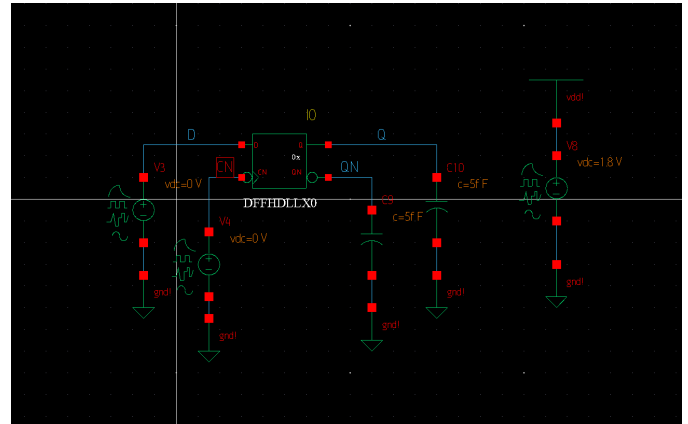


Figura 2. Esquemático de prueba del flip-flop de 1 bit.

## II. MEDICIONES DEL SUMADOR Y FLIP FLOP A NIVEL DE ESQUEMÁTICO

Para las pruebas se utilizó el flip-flop DFFHDLLX0 y el sumador FAHDLLX0. Los esquemáticos para las pruebas del sumador, y el registro de 1 y 8 bits, se pueden ver en las Figs. 1, 2 y 3.

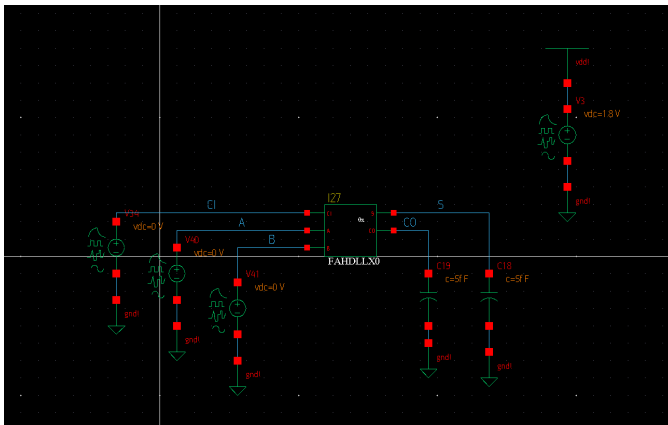


Figura 1. Esquemático de prueba del sumador.

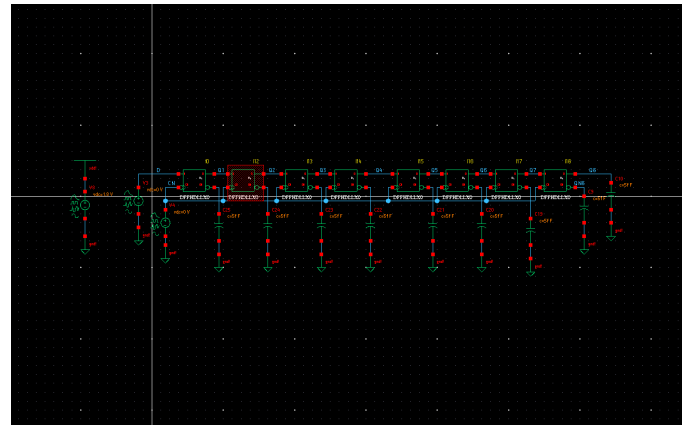


Figura 3. Esquemático de prueba de 8 flip-flops.

Se corrieron varias pruebas para el sumador, para determinar los retardos de las distintas transiciones posibles, luego se revisaron los valores con un script de python, en la Fig. 4 se puede ver los valores máximos de retardos para las distintas rutas. De acá se extrae que la ruta crítica es de A a S, con un retardo máximo de 567 ps.

The maximum value in column a\_to\_s is 5.672e-10, at time\_offset 2.2e-08.  
The maximum value in column a\_to\_co is 3.994e-10, at time\_offset 1.2e-08.  
The maximum value in column b\_to\_s is 5.666e-10, at time\_offset 1.2e-08.  
The maximum value in column b\_to\_co is 3.763e-10, at time\_offset 2.2e-08.  
The maximum value in column ci\_to\_s is 5.188e-10, at time\_offset 1.7e-08.  
The maximum value in column ci\_to\_co is 3.674e-10, at time\_offset 1.7e-08.

Figura 4. Retardos máximos para todas las rutas del sumador.

En cuanto a consumo de potencia, en la Tabla I se resumen los valores para las 3 configuraciones. Se utilizó un periodo de 10 ns, que es el periodo mínimo al que el circuito debe operar, equivalente a 100 MHz.

Tabla I  
CONSUMOS DE POTENCIA EN ESQUEMÁTICO PARA SUMADOR Y REGISTROS.

Celda	Sumador	FF 1bit	FF 8bit
Potencia [uW]	8.0507	12.359	80.319

### III. MEDICIONES DEL SUMADOR Y FLIP FLOP A NIVEL DE TRAZADO

Para esta parte se utilizaron los mismos circuitos de prueba que el punto anterior, con la diferencia de que se utilizan los trazados con parásitas extraídas para las celdas básicas. En este caso el retardo de la ruta crítica del sumador aumento a 593 ps. En el caso de la potencia consumida, esta también aumentó para los 3 casos, como se puede ver en la Tabla II, lo cual tiene sentido debido a los capacitores y resistencias agregadas a los circuitos.

Tabla II  
CONSUMOS DE POTENCIA EN TRAZADO PARA SUMADOR Y REGISTROS.

Celda	Sumador	FF 1bit	FF 8bit
Potencia [uW]	8.5748	15.962	107.82

### IV. CONTADOR DE 8 BITS EN VERILOG

Para crear el contador primero se realizó un diseño de un contador completo de 1 bit, tomando como base el modelo de [1]. En la Fig. 5 se puede ver el diagrama de dicho circuito, el cual se utilizó como unidad para el contador completo de 8 bits. A partir de este se creo la lógica para la prueba digital a nivel de verilog. El esquemático para la prueba se encuentra en la Fig. 6. En la Fig. 7 se puede ver una simulación del contador de 8 bits, donde se aprecian las distintas etapas, primero un reset (asíncrono), luego un load para cargar un 9 al contador, seguido comienza a contar hacia abajo, llega a 0 donde se activa el terminal count (TC), y vuelve a contar desde 255 hacia abajo. Seguido se aplica un hold en el valor 250, para después cambiar el modo a conteo ascendente en 248.

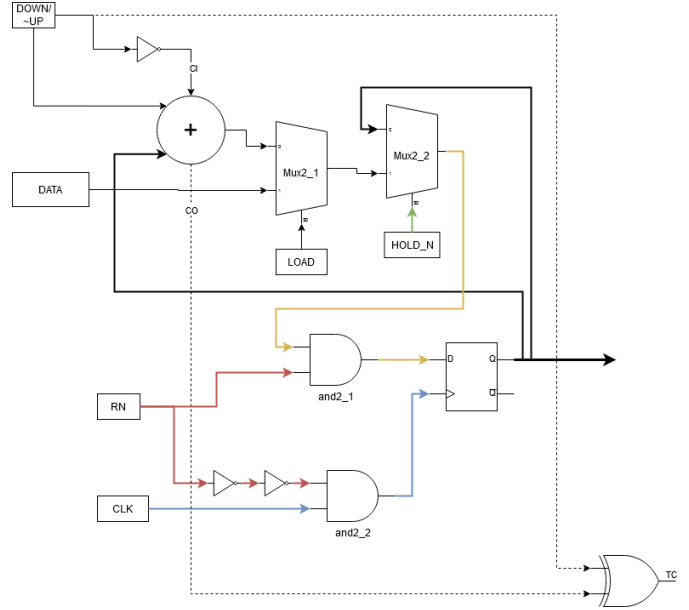


Figura 5. Diagrama de contador de 1 bit completo.

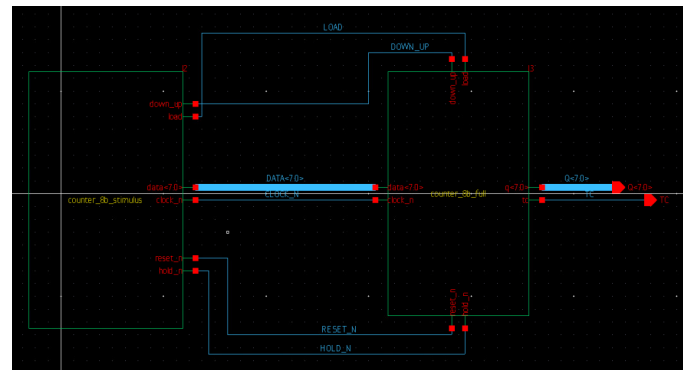


Figura 6. Esquemático de prueba digital del contador.

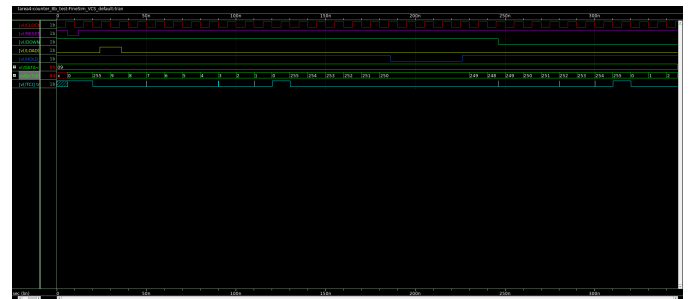


Figura 7. Test de funcionalidad de los modos del contador.

### V. CONTADOR DE 8 BITS EN ESQUEMÁTICO

Luego se realiza la implementación en esquemático del contador. En la Fig. 8 se presenta el diseño de la unidad básica de 1 bit, mientras que en la Fig. 9 se muestra la implementación del contador completo de 8 bits, a partir de estas unidades básicas.

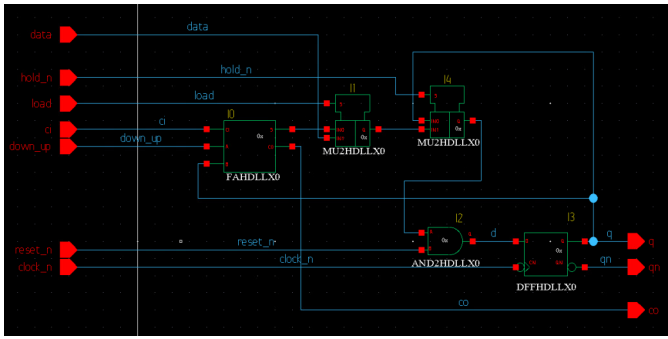


Figura 8. Esquemático de unidad de 1 bit para contador completo.

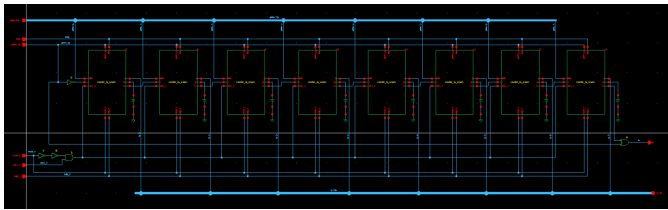


Figura 9. Esquemático del contador completo de 8 bits.

Se realizó una prueba de funcionalidad con una simulación mixta, en la Fig. 10 se puede ver como el contador se mantiene funcionando correctamente. También se realizó una medición del consumo de potencia, de la que se extrajo un consumo de 123.3 uW, con el circuito trabajando a 100 MHz en conteo ascendente continuo.

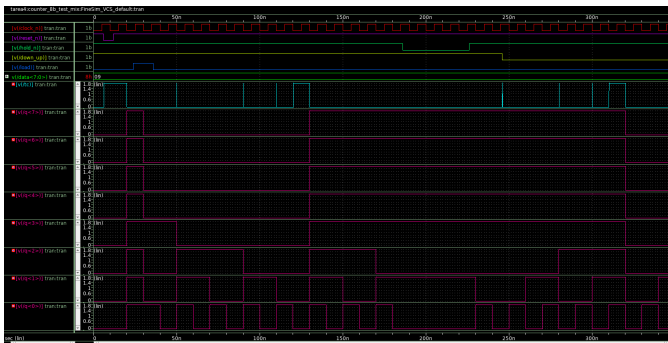


Figura 10. Funcionalidad del contador completo de 8 bits en prueba mixta.

## VI. CONTADOR DE 8 BITS EN TRAZADO

En la Fig. 11 se muestra la unidad de 1 bit para el contador en trazado, con las resistencias y capacitancias parásitas extraídas. Esta se utilizó como unidad base para el contador de 8 bits.

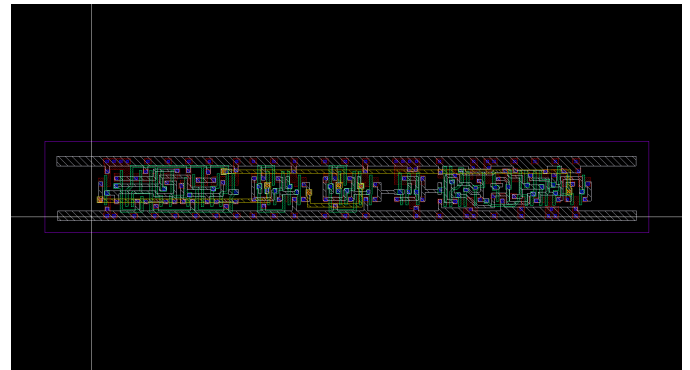


Figura 11. Trazado de unidad de 1 bit para contador completo, con parásitos.

El resultado del test mixto, ahora con el contador con parásitos se muestra en la Fig. 12.

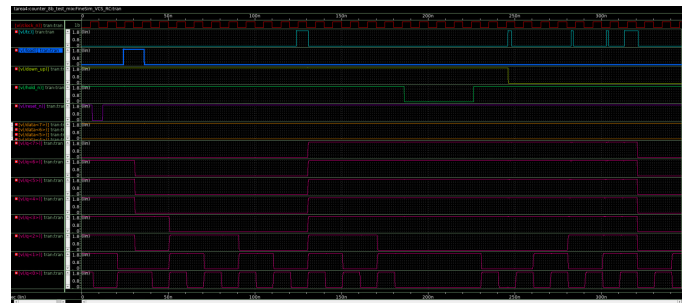


Figura 12. Funcionalidad del contador completo de 8 bits en prueba mixta, con parásitos.

También se realizó un análisis de potencia, igual que en el diseño de esquemático, donde se extrajo que en este nuevo diseño, con resistencias y capacitancias parásitas incluidas, el contador consume 163.21 uW, un aumento de alrededor de 40 uW en comparación con el diseño en esquemático.

## REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design, a Circuits and Systems Perspective*. Addison-Wesley, 2011.