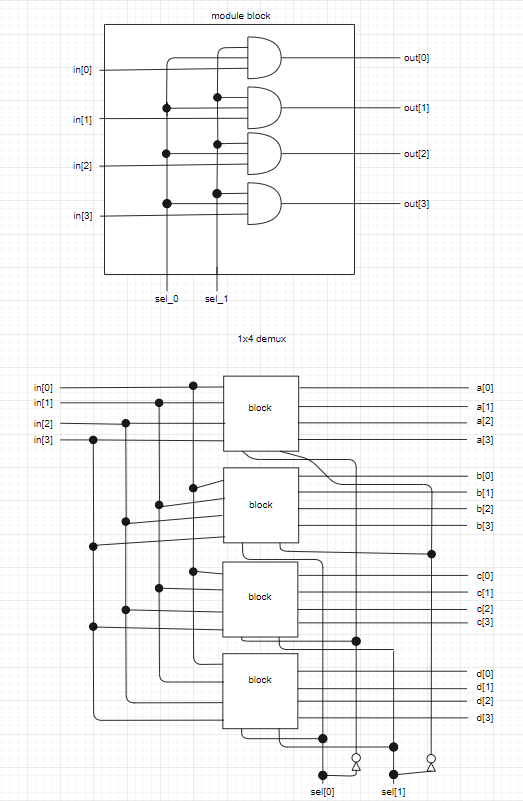
Team 20 Lab 1 report

109062222 徐嘉徽

109062119 李佳栩

1.



我們先將demux中的and gate利用module先簡化，才不會使圖形出現過多重複的設計。

每個block的功能就是當sel\_0及sel\_1都是1的時候，output才會出現input的值，否則output都會是0。

之後再讓4個block分別接上2bits的sel，每一種sel都只會讓1個block輸出in[3:0]，其餘都只會輸出0，便達到1x4 demux的效果。

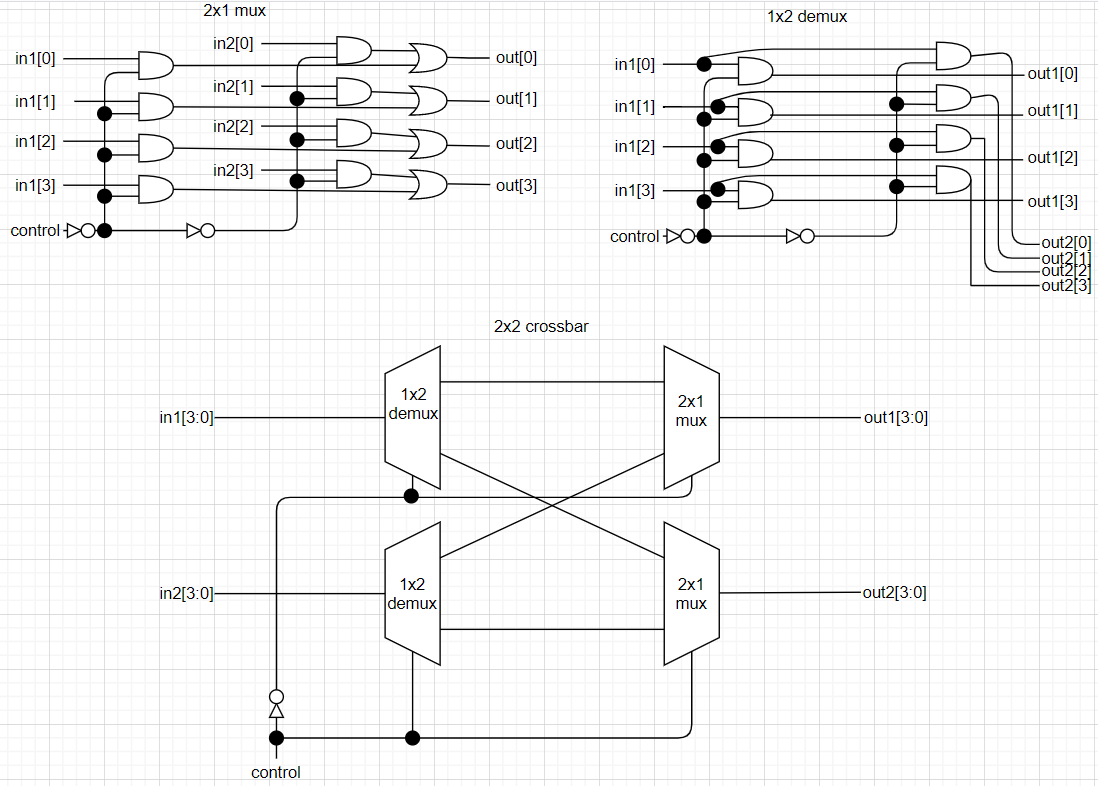
我們的測試方法就是將in[3:0]固定為1010，並間隔1ns將sel[1:0]設為

2’b00,2’b01,2’b10,2’b11,2’b00。結果:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| sel | 00 | 01 | 10 | 11 | 00 |
| a[3:0] | 1010 | 0000 | 0000 | 0000 | 1010 |
| b[3:0] | 0000 | 1010 | 0000 | 0000 | 0000 |
| c[3:0] | 0000 | 0000 | 1010 | 0000 | 0000 |
| D[3:0] | 0000 | 0000 | 0000 | 1010 | 0000 |

由此可知，達到1x4 demux的效果

2.



我先將in1[3:0],in2[3:0]的初始值設為1010,0101。並每隔1ns將control設為

0,1,0,結果會是:

|  |  |  |  |
| --- | --- | --- | --- |
| control | 0 | 1 | 0 |
| out1[3:0] | 5(0101) | a | 5 |
| out2[3:0] | a(1010) | 5 | a |

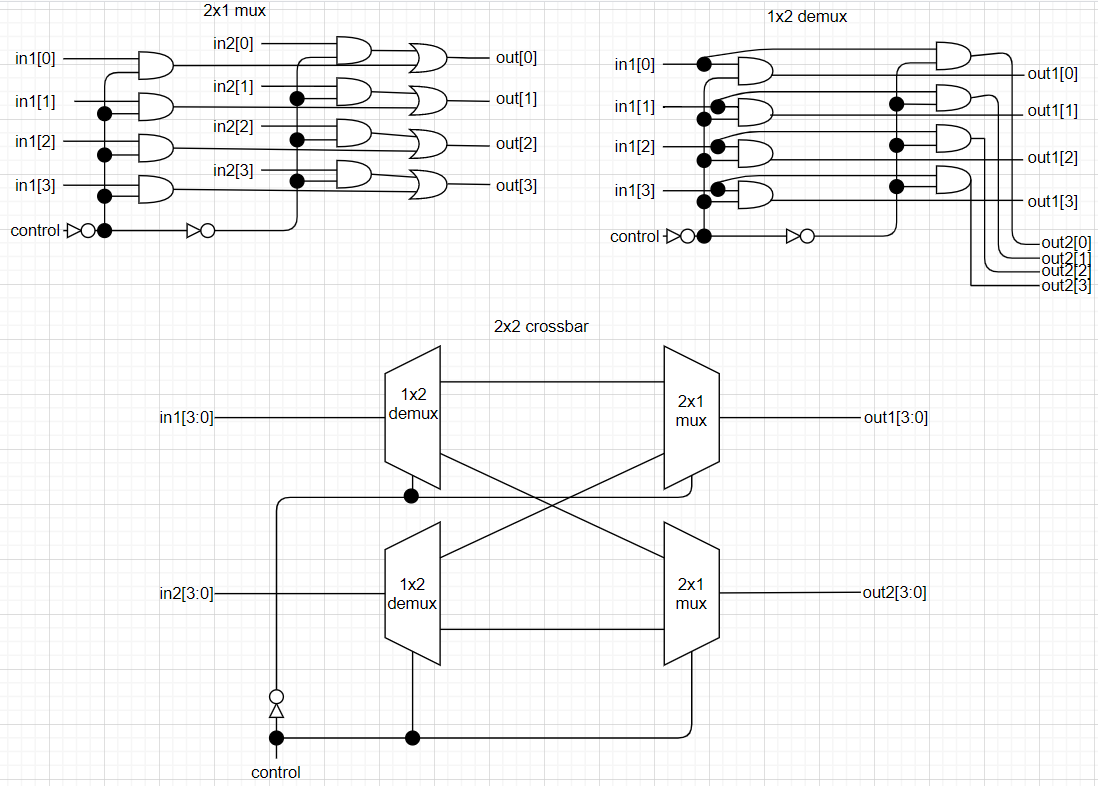
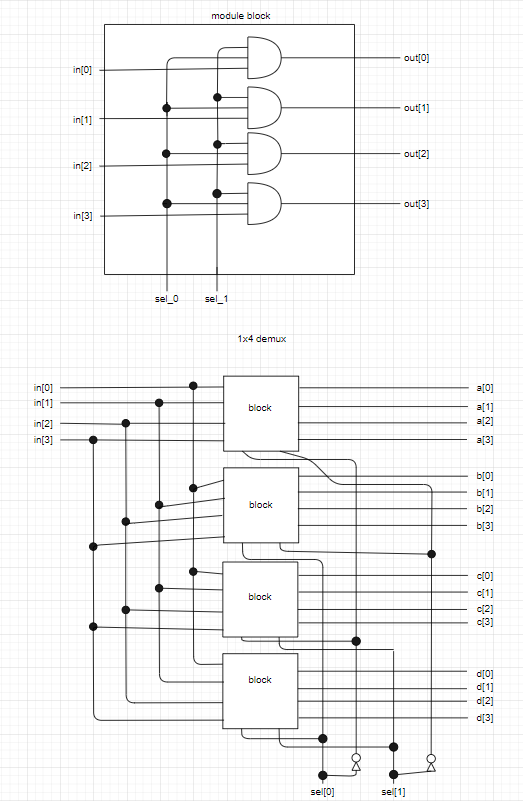
接著再將in1[3:0],in2[3:0]的值設為1111,0001。並每隔1ns將control設為

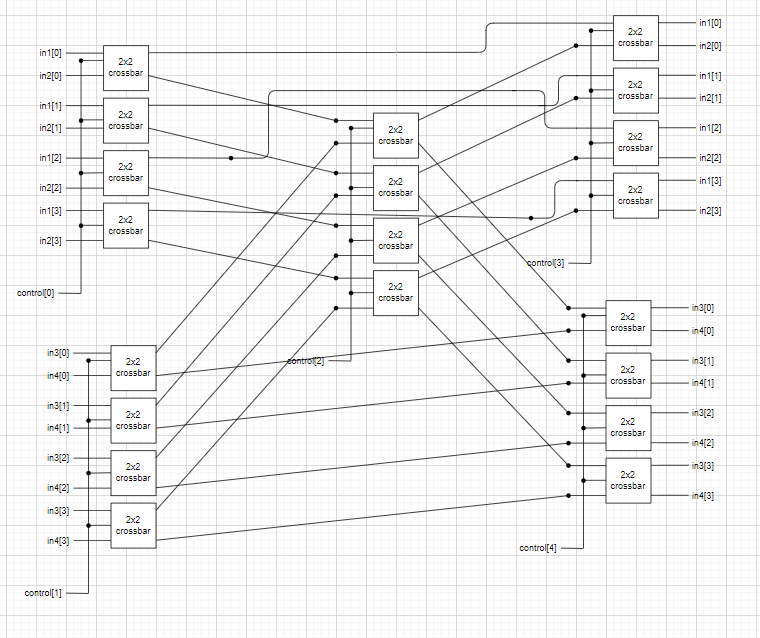
1,0,1,結果會是:

|  |  |  |  |
| --- | --- | --- | --- |
| control | 0 | 1 | 0 |
| out1[3:0] | f(1111) | 1 | f |
| out2[3:0] | 1(0001) | f | 1 |

我們先利用module打出之前學過的2x1 mux以及1x2 demux，並且照著pdf接法照接一次就完成了。

3.





這一題與第二題十分相似，利用已經寫好的2x2 crossbar照著pdf就可以接好了

我先將in1[3:0],in2[3:0] ,in3[3:0] ,in4[3:0]的初始值設為0001,0010,0100,1000。並每隔1ns將control加1,總共會有2的五次方種可能，結果為

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Control | 00000 | 00010 | 00100 | 01000 | 10000 | 10101 | 11111 |
| Out1 | 8 | 6 | 5 | 9 | 7 | c | 0 |
| Out2 | 2 | 4 | 6 | 8 | 8 | f | 1 |
| Out3 | 4 | A | 8 | f | a | d | 3 |
| Out4 | 1 | 3 | c | b | e | 3 | 7 |

然而根據觀察，in1以及in2是不可能同時跑到out3以及out4的，in3和in4也不會同時到out1和out2，假設in1,in2,in3,in4分別是1、2、4、8，8421、8412、4821、4812

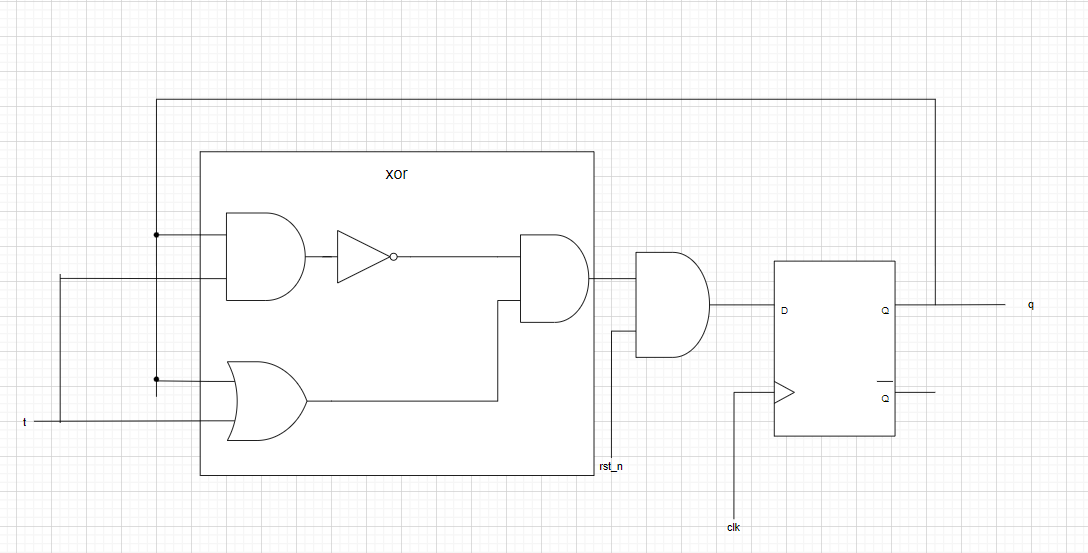
(順序是out1,out2,out3,out4)是不可能會出現的。

4.

在t flip flop中，如果t 等於1，那output就會改變，我們利用xor來達成，那我們是用truth table來得xor gate的。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | A+B | AB | (AB)’ | (A+B)(AB)’ |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |

根據t flip flop的圖，我們就可以把module做出來。



我們利用D flip flop的testbench來測試，那我們是用negative edge triggered，一開始先將rst及t設成0，隨著每一次clk，改變t以及rst的值，最後再手動改變t的值，觀察output的變化。

T = 0, q = q;

T = 1,q =~q。

5.FPGA

這題是利用第二題的code來練習FPGA，步驟相當的多，但其實只要一步一步按照助教給的pdf就可以做出來，比較麻煩的是要設定每個訊號的I/O ports，然後唯一不同的地方是要把out的訊號一個轉成兩個，而這個步驟在第一次lab就做過了，所以也不會很困難，當燈亮的那瞬間，其實還蠻有成就感的。

分工：

徐嘉徽做1.2題，

李佳栩做3.4題，

一起研究fpga的那題。

What we have learned from Lab1?

這次是我們從上學期邏輯設計後第一次寫Verilog,說實話有點陌生，我們常會用寫c語言的角度來寫，導致很難找到錯，之後應該要再對Verilog再熟一點，對gate-level也要再熟悉一點，最後，我們也期待能從我們所學的東西在期末好好展現出來。