Tu talento, sin limites

Becas de grado para estudiantes excelentes con recursos económicos limitados *Hasta el 3 de junio. Infórmate aquí*

Becas

Tema 3 Prueba Evaluación Continua

Universidad de Granada - Grado en Ingeniería Informática Arquitectura de Computadores

La nota es 10. Así que todas están correctas 😊

Preguntas: 10

Respuestas válidas:

Puntuación:

Nota:

El código siguiente permite implementar un cerrojo (lock(k)) en el que k=0 significa que el cerrojo está cerrado y k=1 que está abierto:

lock(k) {
while (test_and_set(k)==1) {};
}
Usuaria Profesores

test_and_set(k) {
test_and_set(k) {
temp=k
k-1
return k;

F -> Porque 1 significana que está abierto pero las threado se quedanan en el while.

El código siguiente permite implementar un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto:

F → Porque estaña siempre abierto (si hay un O en el and,

Si en la secuencia de instrucciones siguiente se tiene que r1=1, r2=0, r3=0, dicha secuencia implementa un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto.

b=r1; do

compare&swap(r2,b,k); // si r2==k, k y b se intercambian while (b==r3); $^{\circ}$

Usuaria Profesores

F → Cuando k==r2==0, b=0 y no saldra del bucle pero k=0 significa abierto



En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado E (exclusivo) solo en una cache del V/F multiprocesador

Usuaria Profesores





Si una línea de la cache del nodo N1 está en el estado M del protocolo MSI 5 para mantener la coherencia de caché, el contenido de esa línea es V/F coherente con su contenido en memoria principal.

Usuaria Profesores

F



En un multiprocesador, el procesador P1 ejecuta las instrucciones 6

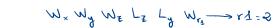
V/F

(1) while
$$(Z==0) \{ \}$$
; $(Z=0) \{ \}$; $(Z=0) \{ \}$

en paralelo con las instrucciones que ejecuta el procesador P2:

(a) X=1; \mathcal{W}_{\times}

(b) Y=2; W₄



(c) Z=1; W_{*}

Si el modelo de consistencia de memoria de un multiprocesador NO respeta el orden W→R (SÍ respeta todos los demás), e inicialmente X=Y=Z=r1=0 (donde X,Y,y Z son variables en memoria compartida y r1 es un registro de P1), al final se podría tener r1=2

Usuaria Profesores





En un multiprocesador NUMA con 16 nodos, 4 GBytes por nodo, y líneas de cache de 128 Bytes, el directorio de memoria utilizado en cada nodo para V/F mantener la cache en un protocolo MSI sin difusión tiene 2^25 (2 elevado a 22 230/27 = 226 ->V 25) entradas

Usuaria Profesores







En un multiprocesador NUMA con 16 nodos, 4 GBytes por nodo, y líneas de cache de 128 Bytes, el número de bits que tiene cada una de las entradas V/F del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio y codificación de bit completo es igual a 9

Usuaria Profesores Seria 17

F



Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo se pueden producir accesos a V/F memoria entre la ejecución de la lectura (LL) y la ejecución de la escritura (SC) a la dirección de memoria del cerrojo.

Usuaria Profesores



En un multiprocesador NUMA con protocolo MSI basado en directorios de 10 vector de bits completo puede haber una entrada en uno de los directorios V/F con un único bit a uno (hay una copia del bloque correspondiente en una cache de la máquina) y el bit de estado del bloque en memoria igual a 1 (estado Válido en memoria)





