



## TEMA 5 - ELECTRÓNICA DIGITAL

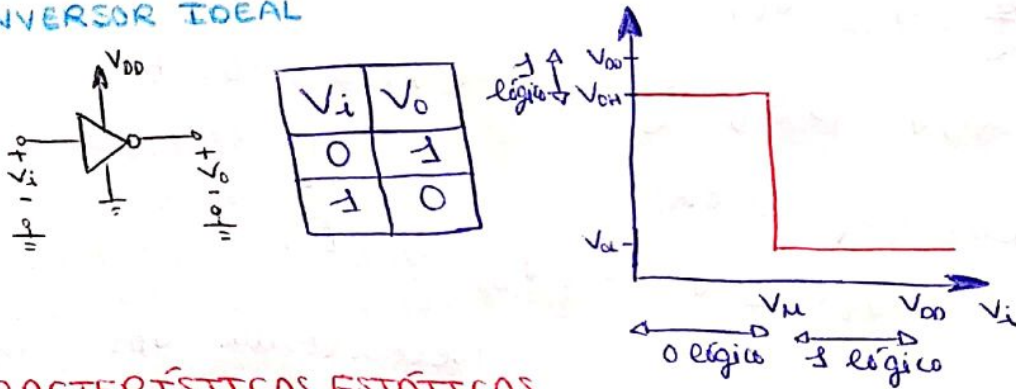
Hay 2 tipos de señales:

- **Análogas:** Toman infinitos valores a lo largo del tiempo, es decir, cambian de forma continua. 
  - **Digitales:** Toman un n° finito de valores definidos y cambia de valor por saltos (niveles lógicos). 
- Se han impuesto por inmunidad al ruido, menor complejidad de diseño y facilidad de acoplamiento de unos bloques con otros.

En este tema implementaremos circuitos sencillos mediante transistores MOSFET.

### Caracterización de un circuito lógico

#### ► INVERSOR IDEAL



### CARACTERÍSTICAS ESTÁTICAS

- $V_{IH} \equiv$  Valor mínimo de tensión de entrada asociado a un 1 lógico. Si  $V_i \in [V_{IH}, V_{DD}]$ , la entrada se considera un 1 lógico.
- $V_{IL} \equiv$  Valor máximo de tensión de entrada asociado a un 0 lógico. Si  $V_i \in [0, V_{IL}]$ , la entrada se considera un 0 lógico.
- $V_{OH} \equiv$  Valor mínimo de tensión de salida asociado a un 1 lógico. Si  $V_o \in [V_{OH}, V_{DD}]$ , la salida se considera un 1 lógico.
- $V_{OL} \equiv$  Valor máximo de tensión de salida asociado a un 0 lógico. Si  $V_o \in [0, V_{OL}]$ , la salida se considera un 0 lógico.

#### 1. Márgenes de ruido en el inversor ideal

Miden la inmunidad de un circuito al ruido (señal positiva que se suma a la del circuito).

MARGEN DE RUIDO EN ESTADO BAJO

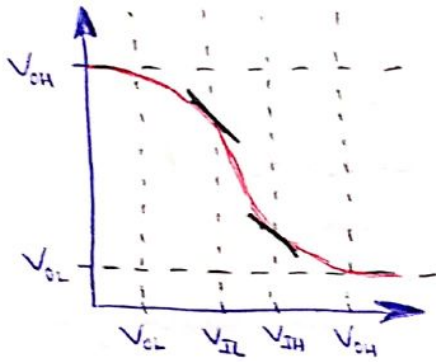
$$NM_L = V_M - V_{OL}$$

MARGEN DE RUIDO EN ESTADO ALTO

$$NM_H = V_{OH} - V_M$$



## ► INVERSOR REAL



- Se calcula  $V_{IL}$  con el primer valor de entrada para el que la tg a la característica de transferencia tiene pendiente  $-1$ .
- Se calcula con el segundo valor de entrada para el que la tg a la característica de transferencia tiene pendiente  $-1$ .

### CARACTERÍSTICAS ESTÁTICAS

MARGEN DE RUIDO  
EN ESTADO BAJO

$$NM_L = V_{IL} - V_{OL}$$

MARGEN DE RUIDO  
EN ESTADO ALTO

$$NM_H = V_{OH} - V_{IH}$$

### Características dinámicas

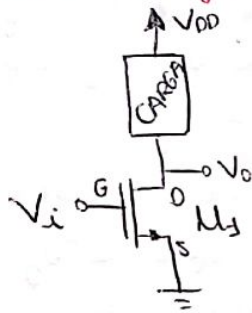
Las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos. Tiempos característicos:

1. **TIEMPO DE BAJADA O FALL TIME ( $t_f$ ):** Tiempo necesario para que la amplitud de un pulso disminuya desde el 90% hasta el 10% de su valor. (Pulso de salida).
2. **TIEMPO DE SUBIDA O RISE TIME ( $t_r$ ):** Tiempo necesario para que la amplitud de un pulso de salida crezca desde el 10% hasta el 90% de su valor.
3. **TIEMPO DE PROPAGACIÓN DE ESTADO ALTO A ESTADO BAJO ( $t_{PHL}$ ):** Tiempo transcurrido entre la transición de estado bajo a alto en la entrada y el momento en el que la salida disminuye hasta el 50% del valor de su amplitud.
4. **TIEMPO DE PROPAGACIÓN DE ESTADO BAJO A ESTADO ALTO ( $t_{PLH}$ ):** Tiempo transcurrido entre la transición de estado alto a bajo en la entrada y el momento en el que la salida aumenta hasta el 50% del valor de su amplitud.
5. **TIEMPO DE PROPAGACIÓN O DE RETARDO ( $t_p$ ):**

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

# Puertas lógicas básicas con tecnología MOSFET

## Estructura general del inversor NMOS



$M_3 \equiv$  MOSFET Tipo n

Se cumple que:  $V_i = V_{GS}$   $V_0 = V_{DS}$

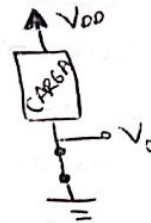
La carga puede ser:

1. Una resistencia.
2. Un NMOS con la puerta y el drenador cortocircuitados.
3. Un PMOS  $\Rightarrow$  Lógica CMOS

## El inversor NMOS como interruptor

- Si  $V_i = 0$  lógico  $\Rightarrow V_{GS} < V_T \Rightarrow I_D \approx 0$
- $V_0 = 1$  lógico.
- Interruptor abierto

- Si  $V_i = 1$  lógico  $\Rightarrow V_{GS} > V_T \Rightarrow I_D \neq 0$
- $V_0 = 0$  lógico
- Puede estar en región lineal o en saturación.
- Interruptor cerrado.



## 1. Con resistencia como carga

①  $V_i = V_{GS}$

②  $V_0 = V_{DS}$

③  $V_{DD} = R_D I_D + V_{DS} = R_D I_D + V_0$

① Si  $V_i = V_{GS} < V_T \Rightarrow$  NMOS OFF  $\Rightarrow I_D = \frac{V_{DD} - V_0}{R_D} \approx 0 \Rightarrow V_{DD} = V_0 = V_{OH}$

② Si  $V_i = V_{GS} > V_T$ :

a) SATURACIÓN:  $V_i = V_{GS} > V_T \Rightarrow$  NMOS ON

$V_0 = V_{DS} > V_{GS} - V_T = V_i - V_T \Rightarrow$  NMOS en sat.

$$I_D = \frac{k}{2} \underbrace{(V_{GS} - V_T)^2}_{V_i} = \frac{V_{DD} - V_0}{R_D} \Rightarrow V_0 = V_{DD} - \frac{k R_D}{2} (V_i - V_T)^2$$

b) LINEAL:  $V_0 = V_{DS} < V_{GS} - V_T = V_i - V_T \Rightarrow$  NMOS en lin.

$$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] = \frac{V_{DD} - V_0}{R_D}$$

$$V_0 = \frac{1 + k R_D (V_i - V_T)}{k R_D} - \frac{\sqrt{(1 + k R_D (V_i - V_T))^2 - 2 k R_D V_{DD}}}{k R_D}$$



## 2. Con transistor NMOS como carga

①  $V_i = V_{GS1}$

②  $V_o = V_{DS1}$

③  $V_{DD} = V_{DS1} + V_{DS2}$

④  $I_{D1} = I_{D2}$

Transistor  $M_1$ :

- Funciona como inversor.

- $V_{DS1} = V_o \Rightarrow V_{DS2} = V_{DD} - V_o$

- $V_{GS1} = V_i$

Transistor  $M_2$ :

- Actúa como carga.

- $V_{GS2} = V_{DS2} \Rightarrow V_{DS2} > V_{GS2} - V_T$

(siempre en saturación)

$$I_{D2} = \frac{k_2}{2} (V_{GS2} - V_{T2})^2 = \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2$$

### ANÁLISIS

① Si  $V_i < V_{T1} \Rightarrow M_1 \text{ OFF} \Rightarrow I_{D1} = I_{D2} = 0 \Rightarrow I_{D2} = \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2 = 0$   
 $\Rightarrow V_o = V_{DD} - V_{T2} = V_{OH}$

② Si  $V_i > V_{T1} \Rightarrow M_1 \text{ ON (en sat.)}$

$$\Rightarrow I_{D1} = \frac{k_1}{2} (V_i - V_{T1})^2 \quad I_{D1} = I_{D2}$$

$$\frac{k_1}{2} (V_i - V_{T1})^2 = \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2 \Rightarrow V_i - V_{T1} = \sqrt{\frac{k_2}{k_1}} (V_{DD} - V_o - V_{T2})$$

③  $M_1 \text{ ON (en lineal)}$

$$I_{D1} = \frac{k_1}{2} [2(V_i - V_{T1})(V_o - V_o^2)] \quad I_{D1} = I_{D2}$$

$$\frac{k_1}{2} [2(V_i - V_{T1})(V_o - V_o^2)] = \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2$$

¿Cómo construimos una puerta lógica con esta estructura?

①  $\overline{V_o}$ . Creamos la red NMOS:

- Un NMOS por variable.

- Variables que multipliquen  $\Rightarrow$  Transistores en serie.

- Variables que sumen  $\Rightarrow$  Transistores en paralelo.

② Referencia en el transistor de más abajo. (fuente)

③ Salida en el drenador del transistor de más arriba.

④ Conectamos carga y alimentación a la salida.

¿Comprobación?

Igual que con la resistencia como carga.

## Puntos de interés

### ① PASO DE SAT. A LINEAL

$$V_{DS} = V_O = V_{GS} - V_T = V_i - V_T$$

$$V_O^* = V_{DD} - R_D I_D = V_{DD} - \frac{k R_D}{2} (V_i^* - V_T)^2$$

$$V_O^* = V_i^* - V_T$$

$$V_O^* = \frac{-1 + \sqrt{1 + 2kR_D V_{DD}}}{kR_D}$$

### ② En la región lineal, calculo $V_{OL}$ como $V_O$ en el que

$$V_i = V_{OH} = V_{DD}$$

$$V_{OL} = \frac{1 + kR_D(V_{DD} - V_T)}{kR_D} - \frac{\sqrt{(1 + kR_D(V_{DD} - V_T))^2 - 2kR_D V_{DD}}}{kR_D}$$

## VENTAJAS Y DESVENTAJAS

- $V_{OH}$  es el máximo posible  $\Rightarrow$  buen margen de ruido en estado alto.
- $R_D$  grande  $\Rightarrow$  buen margen de ruido en estado bajo.
- $R_D$  grandes: potencias disipadas pequeñas pero problemas de integración.

¿Cómo construir puertas lógicas con esta estructura?

①  $\overline{V_O}$ . Creamos la red NMOS teniendo en cuenta que las variables que se multiplican alimentan transistores en serie y las que se suman alimentan transistores en paralelo.

② Referencia en la fuente del transistor de más abajo.

③ Salida en el drenador del transistor de más arriba.

④ Conectamos la carga y la alimentación a la salida.

¿Cómo comprobar el funcionamiento de una puerta lógica con dicha estructura?

Pruebas todas las combinaciones posibles de variables y tratas los transistores como interruptores.

NMOS  $\rightarrow$  1 lógico  $\Rightarrow$  Interruptor cerrado  $\Rightarrow$  Región lineal

$\rightarrow$  0 lógico  $\Rightarrow$  Interruptor abierto  $\Rightarrow$  Región Corte

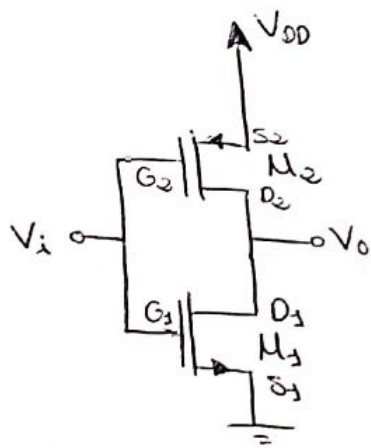
- Si hay un camino desde tierra a  $V_O$ ,  $V_O = 0$  lógico.

- Si hay un camino desde alimentación a  $V_O$ ,  $V_O = 1$  lógico (sin caminos a tierra)

- Si no existen dichos caminos, indeterminación.



### 3. Con transistor PMOS como carga



$$① V_{DD} = V_{OS1} + V_{SD2} = V_{DS1} - V_{DS2}$$

$$② I_{O1} = |I_{O2}|$$

Transistor  $M_1$ :

- Funciona como inversor.
- $V_{OS1} = V_o \Rightarrow V_{DS2} = V_o - V_{DD}$
- $V_{GS1} = V_i$

Transistor  $M_2$ :

- Funciona como carga.
- $V_{GS2} = V_i - V_{DD} \Rightarrow |V_{GS2}| = V_{DD} - V_i$
- $V_{OS2} = V_o - V_{DD} \Rightarrow |V_{OS2}| = V_{DD} - V_o$

#### ANÁLISIS

- $M_1$  {
- $M_1$  OFF si  $V_{GS1} < V_T \Rightarrow V_i < V_{Tn}$
  - $M_1$  ON:  $V_{GS1} > V_T \Rightarrow V_i > V_{Tn}$ 
    - Lineal  $\rightarrow V_{OS1} < V_{GS1} - V_{Tn} \Rightarrow V_o < V_i - V_{Tn} \Rightarrow V_i > V_o + V_{Tn}$
- $$I_{O1} = \frac{k_n}{2} [2(V_i - V_{Tn})(V_o - V_o^2)]$$
- Saturación  $\rightarrow$  Si  $V_{OS1} > V_{GS1} - V_{Tn} \Rightarrow V_o > V_i - V_{Tn} \Rightarrow V_i < V_o + V_{Tn}$
- $$I_{O1} = \frac{k_n}{2} (V_i - V_{Tn})^2$$

- $M_2$  OFF si  $|V_{GS2}| < |V_{Tp}| \Rightarrow V_{DD} - V_i < |V_{Tp}| \Rightarrow V_i > V_{DD} - |V_{Tp}|$
- $M_2$  ON si  $|V_{GS2}| > |V_{Tp}| \Rightarrow V_i < V_{DD} - |V_{Tp}|$ :
  - Lineal  $\rightarrow |V_{OS2}| < |V_{GS2}| - |V_{Tp}| \Rightarrow V_{DD} - V_o < V_{DD} - V_i - |V_{Tp}|$
  - $\Rightarrow V_i < V_o - |V_{Tp}|$

$$|I_{O2}| = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

- Saturación  $\rightarrow |V_{OS2}| > |V_{GS2}| - |V_{Tp}| \Rightarrow V_i > V_o - |V_{Tp}|$

$$|I_{O2}| = \frac{k_p}{2} \underbrace{(V_{DD} - V_i - |V_{Tp}|)}_{|V_{GS2}|}^2$$

## ANÁLISIS INVERSOR CMOS

### Región I

- $V_i < V_{Tn} \Rightarrow M_1 \text{ OFF (Corte)} \Rightarrow I_{D1} = 0$
  - $I_{D1} = I_{D2} = 0$
  - $M_2$  no está en corte ya que  $V_i > |V_{DD} - |V_{Tp}||$  es incompatible con que  $V_i < V_{Tn}$ .
- Tampoco en saturación:

$$|I_{D2}| = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2 = 0 \text{ pues solo se cumple para } V_i = V_{DD} - |V_{Tp}|$$

Está en región lineal:

$$|I_{D2}| = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2] = 0$$

pues se cumple para cualquier valor de  $V_i$  siempre que  $V_{DD} = V_o \Rightarrow V_{OH} = V_{DD}$

### Región II

- Cuando  $M_1$  está en saturación,  $M_2$  sigue en región lineal.
- Para la característica de transferencia:

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

Al despejar  $V_o$  en función de  $V_i$  se obtiene que si  $V_i$  aumenta,  $V_o$  disminuye (función decreciente).

### Región III

- $M_1$  sigue en saturación pero  $M_2$  pasa de lineal a saturación.
- Usando  $|I_{D2}| = I_{D1}$ :

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

Al resolver, existe un único valor de  $V_i$  para el que ambos están en saturación:

$$V_i^* = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{k_n}{k_p}}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

- CMOS Simétrico:  $V_i^* = \frac{V_{DD}}{2}$  y ocurre cuando  $V_{Tn} = |V_{Tp}|$  y  $k_n = k_p$



## Región IV

- $M_1$  lineal y  $M_2$  en saturación.
- Usando que  $I_{D1} = I_{D2}$ :

$$\frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2] = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

- Al despejar  $V_o$  en función de  $V_i$ , se obtiene una función decreciente.

## Región V

- $M_1$  en región lineal y  $M_2$  en corte.  $\Rightarrow I_{D2} = 0$
- Usando que  $I_{D1} = I_{D2}$ :

$$\frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2] = 0$$

Cierta si  $V_o = 0 \Rightarrow V_{OL} = 0$

\* Aquí siempre se necesitan 2 transistores por cada variable (uno tipo P y otro tipo N).

¿Cómo construimos una puerta lógica con CMOS?

1°  $\overline{V_o}$ . Creamos la red NMOS:

- Si multiplican  $\Rightarrow$  En serie - Si suman  $\Rightarrow$  En paralelo

2° Creamos la red PMOS:

- Si multiplican  $\Rightarrow$  En paralelo - Si suman  $\Rightarrow$  En serie

3° Colocar referencia en la fuente del transistor tipo N de más abajo.

4° Colocar salida en el drenador del transistor tipo N de más arriba.

5° Colocar alimentación en la fuente del transistor tipo P que esté más arriba.

6° Colocar la red PMOS cortocircuitando la salida con el drenador de la red PMOS que se encuentre más abajo.

¿Cómo comprobamos su funcionamiento?

1 lógico  $\rightarrow$  NMOS lineal  
 $\rightarrow$  PMOS corte

0 lógico  $\rightarrow$  NMOS corte  
 $\rightarrow$  PMOS lineal