

**UNIVERSIDAD DE GRANADA.**

**ESCUELA TECNICA SUPERIOR DE  
INGENIERIAS INFORMATICA Y DE  
TELECOMUNICACIÓN.**



**Departamento de Arquitectura y  
Tecnología de Computadores.**

**TECNOLOGÍA Y ORGANIZACIÓN DE  
COMPUTADORES.**

**TEMA 3. SISTEMAS COMBINACIONALES.  
GUÍA DE AYUDA PARA EL APRENDIZAJE  
AUTÓNOMO**

**1º GRADO EN INGENIERÍA INFORMÁTICA.**



## TEMA 3º. SISTEMAS COMBINACIONALES.

### GUÍA DE AYUDA PARA EL APRENDIZAJE AUTÓNOMO.

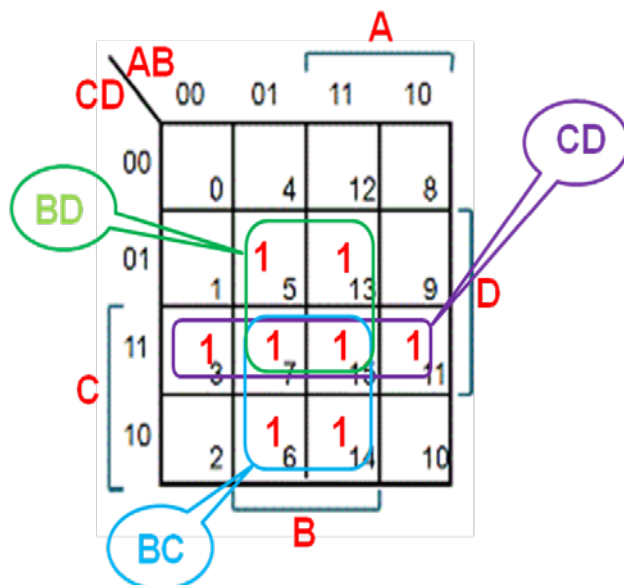
#### 3.1.- PARTE TEÓRICA: El estudiante deberá:

- Descargar de la plataforma docente y leer detenidamente el material del Tema 3º ubicado en el fichero 03.-TEMA\_3\_TOC\_SISTEMAS\_COMBINACIONALES.PDF.
- Visualizar en los enlaces de más abajo dos videoclases referentes al Tema 3º de la asignatura:  
Tema 3. Clase 1. <https://drive.google.com/open?id=1LYnJsHz1OUzPIDzAcr6vIaYK1XLKCTeb>  
Tema 3. Clase 2. <https://drive.google.com/open?id=1WJY2ZxF5grFL4WfDU2vcmlVtuPiZXT7O>

#### 3.2.- PARTE DE EJERCICIOS:

- Las acciones de una compañía están repartidas en poder de cuatro accionistas de la siguiente forma: A, 12%; B, 23%; C, 30%; D, 35%. Las decisiones se toman por mayoría y cada uno de los accionistas tiene un botón particular de la mesa de juntas que se utiliza para las votaciones. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que indique si se aprueban las propuestas presentadas por la junta de accionistas.
  - Tabla de Verdad que modela el problema y mapa de Karnaugh para la simplificación: se entiende que  $f = 1$  significa que se aprueba la moción presentada a votación y  $f = 0$  en otro caso.

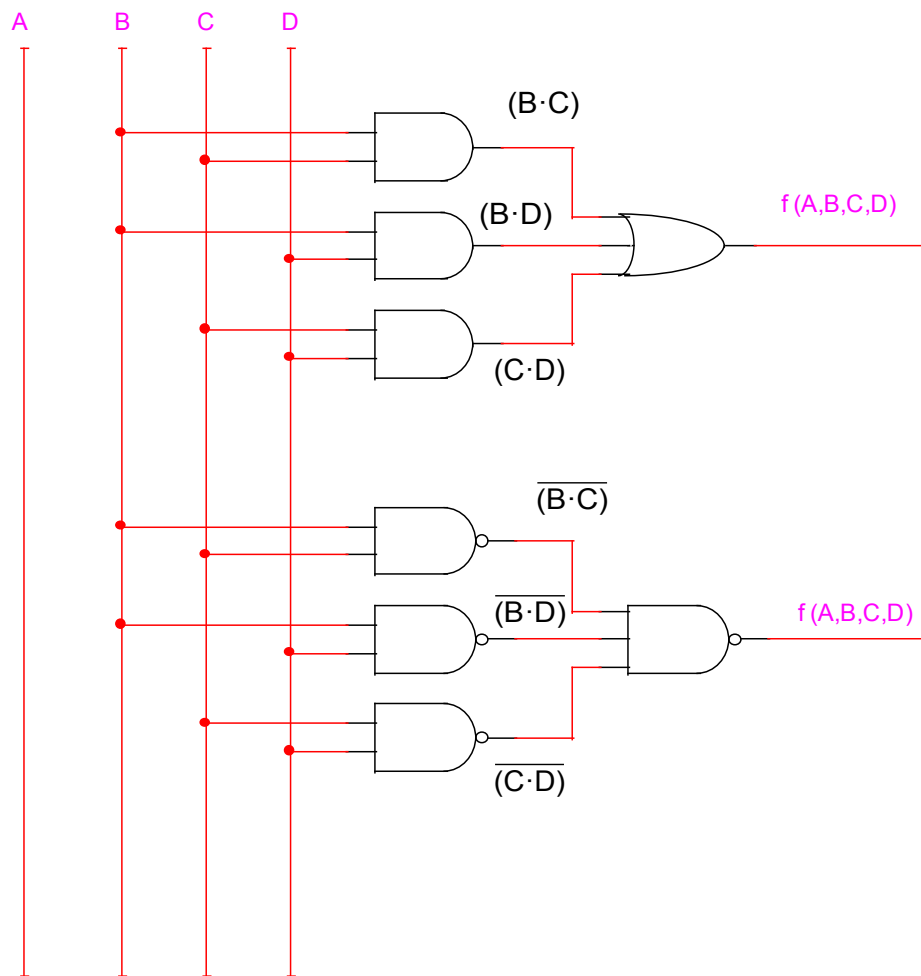
A B C D	% VOTOS	f
0 0 0 0	0 %	0
0 0 0 1	35 %	0
0 0 1 0	30 %	0
0 0 1 1	65%	1
0 1 0 0	23%	0
0 1 0 1	58%	1
0 1 1 0	53%	1
0 1 1 1	88%	1
1 0 0 0	12%	0
1 0 0 1	47%	0
1 0 1 0	42%	0
1 0 1 1	77%	1
1 1 0 0	35%	0
1 1 0 1	70%	1
1 1 1 0	65%	1
1 1 1 1	100%	1



- Expresión mínima AND/OR y NAND/NAND de la función de conmutación: todos los implicantes primos obtenidos en paso anterior son esenciales, por tanto, la expresión mínima de la función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND será:

$$f(A,B,C,D) = (B \cdot C) + (B \cdot D) + (C \cdot D) = \overline{\overline{(B \cdot C)} + \overline{(B \cdot D)} + \overline{(C \cdot D)}} = \overline{\overline{(B \cdot C)} \cdot \overline{(B \cdot D)} \cdot \overline{(C \cdot D)}}$$

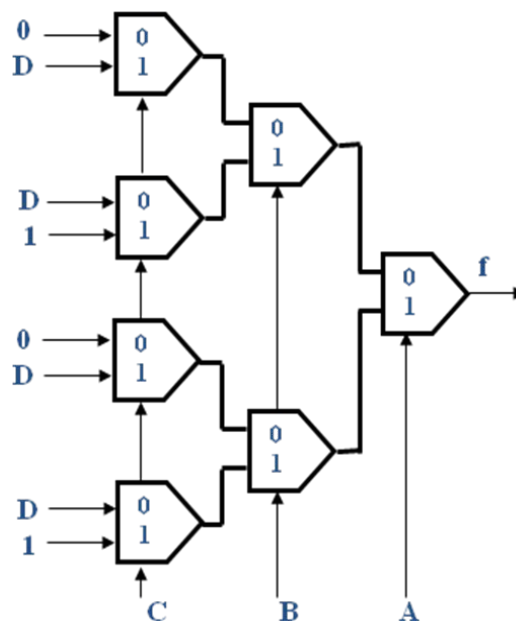
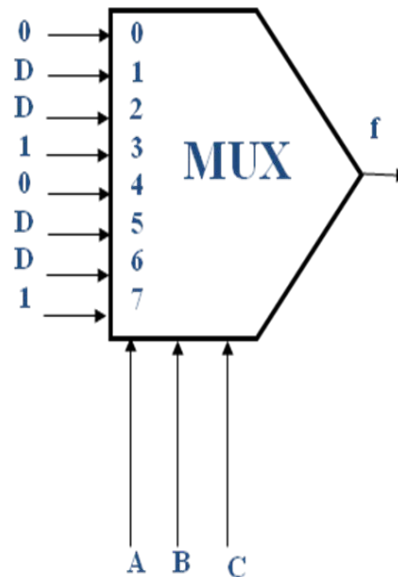
- c) Esquema del circuito mínimo que implementa la función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND:



- d) (Addenda) Realice la función  $f$  utilizando un multiplexor de 8 a 1 (3 entradas de control) y multiplexores de 2 a 1 (1 entrada de control).

Se reagrupa la tabla de verdad de la función de conmutación:

A B C D	% VOTOS	f	Valor parcial
0 0 0 0	0 %	0	$f(000D) = 0$
0 0 0 1	35 %	0	
0 0 1 0	30 %	0	$f(001D) = D$
0 0 1 1	65 %	1	
0 1 0 0	23 %	0	$f(010D) = D$
0 1 0 1	58 %	1	
0 1 1 0	53 %	1	$f(011D) = 1$
0 1 1 1	88 %	1	
1 0 0 0	12 %	0	$f(100D) = 0$
1 0 0 1	47 %	0	
1 0 1 0	42 %	0	$f(101D) = D$
1 0 1 1	77 %	1	
1 1 0 0	35 %	0	$f(110D) = D$
1 1 0 1	70 %	1	
1 1 1 0	65 %	1	$f(111D) = 1$
1 1 1 1	100 %	1	



Este último esquema sirve como ejemplo de la implementación de un multiplexor de 8 a 1 (3 entradas de control) con multiplexores 2 a 1 (1 entrada de control).

3. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que opere con dos datos de dos bits,  $A = a_1a_0$  y  $B = b_1b_0$ , y realice la función  $Z = 2 \cdot A \cdot B$ .

- a) Tabla de Verdad que modela el problema: Los datos A y B son datos de dos bits (se suponen números enteros positivos sin signo) cuyos valores están comprendidos entre 0 y 3. Por tanto, el producto aritmético de  $A \cdot B$  estará comprendido entre un mínimo de 0 (cuando  $A = B = 0$  ;  $a_1a_0 = b_1b_0 = 00$ ) y un máximo de 9 (cuando  $A = B = 3$  ;  $a_1a_0 = b_1b_0 = 11$ ). Consecuentemente, el producto aritmético de  $2 \cdot A \cdot B$  estará comprendido entre un mínimo de 0 (cuando  $A = B = 0$  ;  $a_1a_0 = b_1b_0 = 00$ ) y un máximo de 18 (cuando  $A = B = 3$  ;  $a_1a_0 = b_1b_0 = 11$ ) y el resultado será siempre un número par. Por tanto, como el valor máximo del resultado puede llegar a ser  $18_{10} = 10010_2$ , el máximo número de bits que requiere el resultado es 5 bits ( $Z = z_4 z_3 z_2 z_1 z_0$ )

$a_1 a_0$	$b_1 b_0$	$2 \cdot A \cdot B$ DECIMAL	$z_4$	$z_3$	$z_2$	$z_1$	$z_0$
0 0	0 0	0	0	0	0	0	0
0 0	0 1	0	0	0	0	0	0
0 0	1 0	0	0	0	0	0	0
0 0	1 1	0	0	0	0	0	0
0 1	0 0	0	0	0	0	0	0
0 1	0 1	2	0	0	0	1	0
0 1	1 0	4	0	0	1	0	0
0 1	1 1	6	0	0	1	1	0
1 0	0 0	0	0	0	0	0	0
1 0	0 1	4	0	0	1	0	0
1 0	1 0	8	0	1	0	0	0
1 0	1 1	12	0	1	1	0	0
1 1	0 0	0	0	0	0	0	0
1 1	0 1	6	0	0	1	1	0
1 1	1 0	12	0	1	1	0	0
1 1	1 1	18	1	0	0	1	0

$$Z_4 = \Sigma m(15)$$

$$Z_3 = \Sigma m(10, 11, 14)$$

$$Z_2 = \Sigma m(6, 7, 9, 11, 13, 14)$$

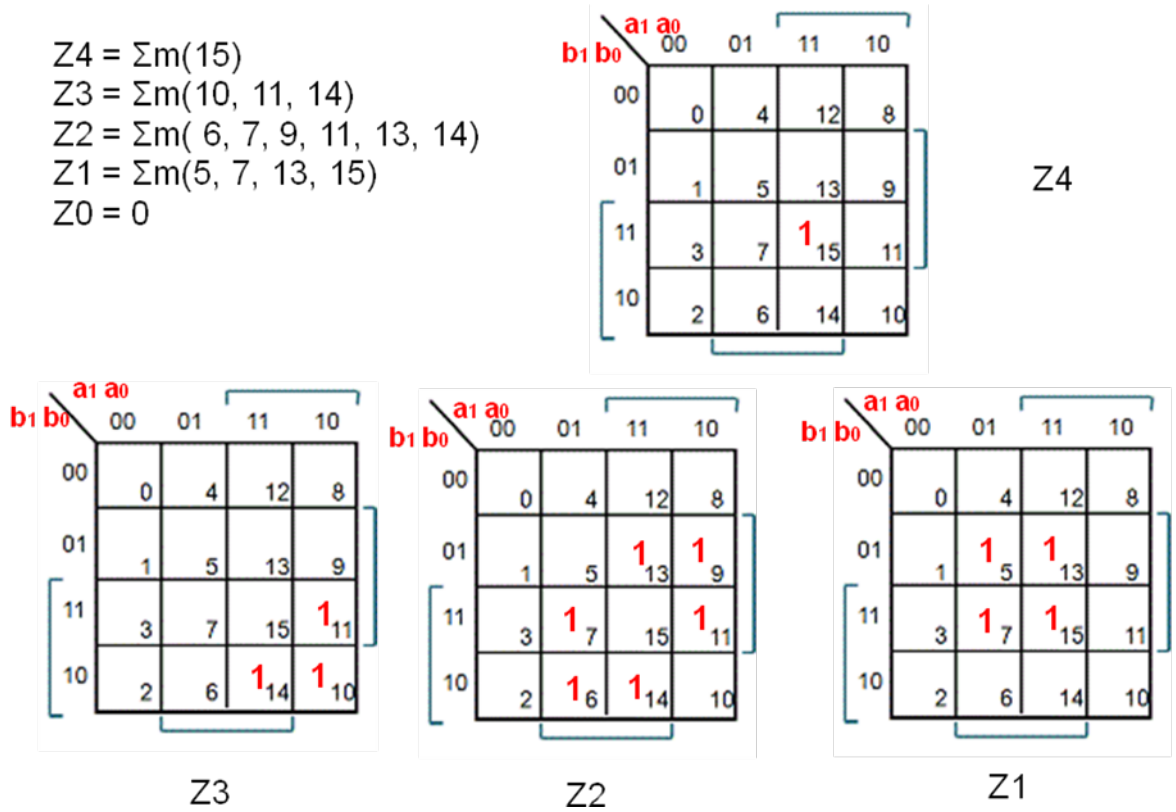
$$Z_1 = \Sigma m(5, 7, 13, 15)$$

$$Z_0 = 0$$

Nótese que  $z_0 = 0$  siempre, dado que el resultado es un número entero positivo par.

b) Mapas de Karnaugh para la simplificación:

$$\begin{aligned} Z_4 &= \Sigma m(15) \\ Z_3 &= \Sigma m(10, 11, 14) \\ Z_2 &= \Sigma m(6, 7, 9, 11, 13, 14) \\ Z_1 &= \Sigma m(5, 7, 13, 15) \\ Z_0 &= 0 \end{aligned}$$



c) Expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación: todos los implicantes primos de todas las funciones obtenidos en paso anterior son esenciales, por tanto, la expresión mínima de cada función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND será:

$$z_4 = a_1 \cdot a_0 \cdot b_1 \cdot b_0 = \overline{\overline{a_1 \cdot a_0 \cdot b_1 \cdot b_0}}$$

$$z_3 = (a_1 \cdot \overline{a_0} \cdot b_1) + (a_1 \cdot b_1 \cdot \overline{b_0}) = \overline{\overline{(a_1 \cdot \overline{a_0} \cdot b_1) + (a_1 \cdot b_1 \cdot \overline{b_0})}} = \overline{\overline{(a_1 \cdot \overline{a_0} \cdot b_1)} \cdot \overline{\overline{(a_1 \cdot b_1 \cdot \overline{b_0})}}}$$

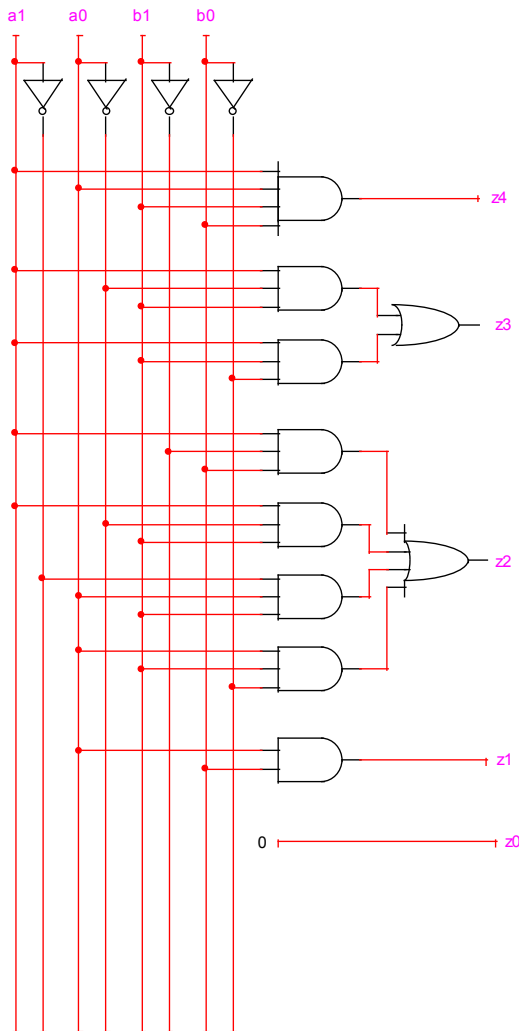
$$\begin{aligned} z_2 &= (a_1 \cdot \overline{b_1} \cdot b_0) + (a_1 \cdot \overline{a_0} \cdot \overline{b_0}) + (\overline{a_1} \cdot a_0 \cdot b_1) + (a_1 \cdot b_0 \cdot \overline{b_1}) = \overline{\overline{(a_1 \cdot \overline{b_1} \cdot b_0) + (a_1 \cdot \overline{a_0} \cdot \overline{b_0}) + (\overline{a_1} \cdot a_0 \cdot b_1) + (a_1 \cdot b_0 \cdot \overline{b_1})}} = \\ &= \overline{\overline{(a_1 \cdot \overline{b_1} \cdot b_0)} \cdot \overline{\overline{(a_1 \cdot \overline{a_0} \cdot \overline{b_0})}} \cdot \overline{\overline{(\overline{a_1} \cdot a_0 \cdot b_1)}} \cdot \overline{\overline{(a_1 \cdot b_0 \cdot \overline{b_1})}}} \end{aligned}$$

$$z_1 = a_0 \cdot b_0 = \overline{\overline{a_0 \cdot b_0}}$$

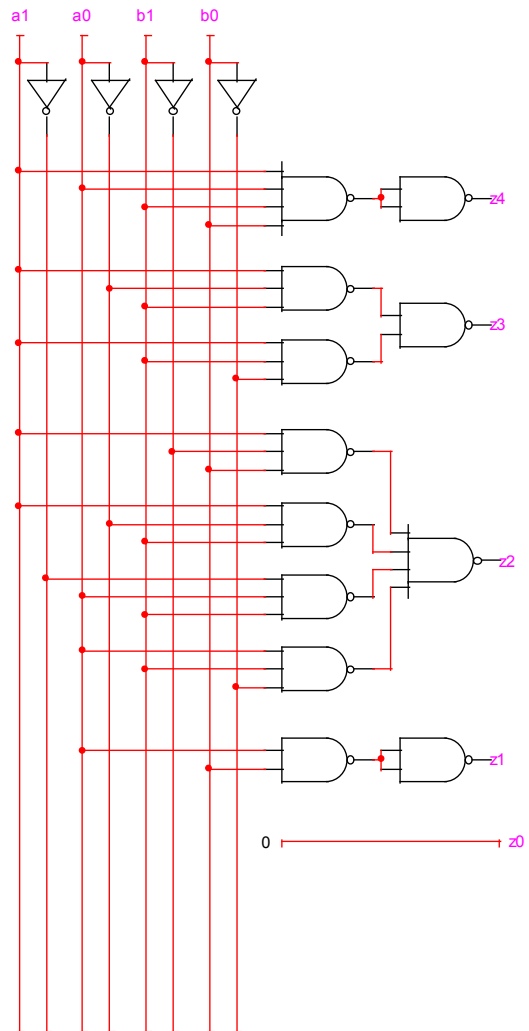
$$z_0 = 0$$

d) Circuitos mínimos resultantes:

Circuito AND/OR



Circuito NAND/NAND



5. Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.

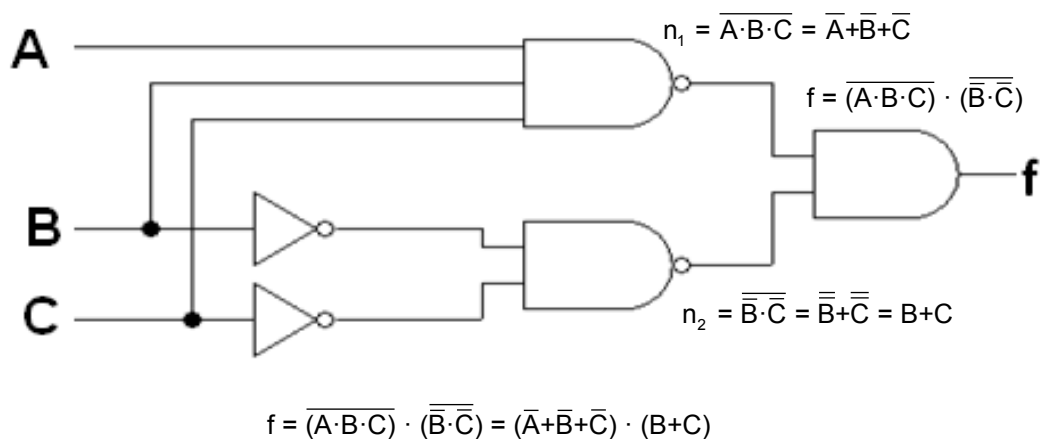
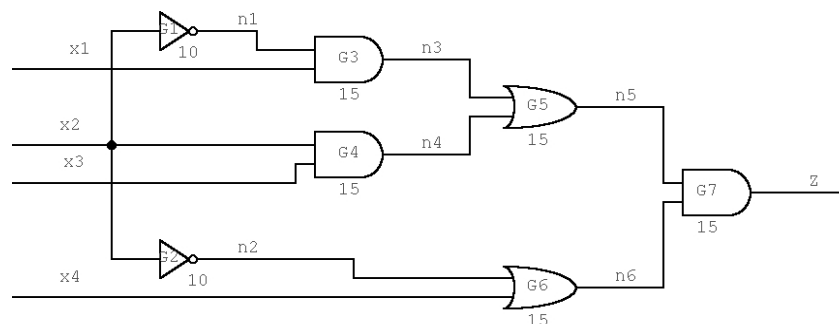




Tabla de verdad de f:

A B C	$m_i$	$n_1 = \overline{A+B+C}$	$n_2 = B + C$	$f = n_1 \cdot n_2$
0 0 0	0	1	0	0
0 0 1	1	1	1	1
0 1 0	2	1	1	1
0 1 1	3	1	1	1
1 0 0	4	1	0	0
1 0 1	5	1	1	1
1 1 0	6	1	1	1
1 1 1	7	0	1	0

7. Considere el circuito de la siguiente figura:



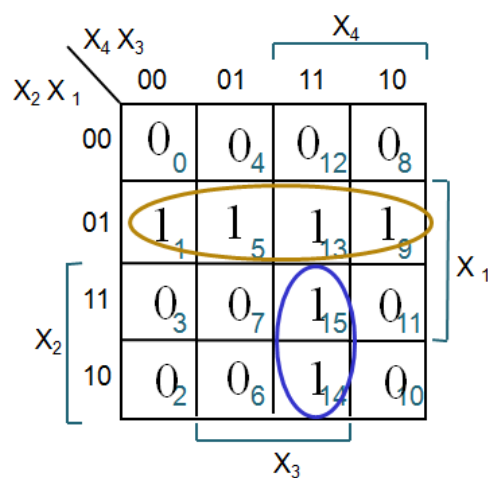
a) Represente la función Z que realiza el circuito en un mapa-K.

a.1) Expresión algebraica de la función z:

$$\begin{aligned}
 z &= n_5 \cdot n_6 = (n_3 + n_4) \cdot (x_4 + \bar{x}_2) = [(\bar{x}_2 \cdot x_1) + (x_3 \cdot x_2)] \cdot (x_4 + \bar{x}_2) = [(\bar{x}_2 \cdot x_1) \cdot (x_4 + \bar{x}_2)] + [(x_3 \cdot x_2) \cdot (x_4 + \bar{x}_2)] = \\
 &= [(x_4 \cdot \bar{x}_2 \cdot x_1) + (\bar{x}_2 \cdot \bar{x}_2 \cdot x_1)] + [(x_4 \cdot x_3 \cdot x_2) + (x_3 \cdot x_2 \cdot \bar{x}_2)] = (x_4 \cdot \bar{x}_2 \cdot x_1) + (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2) = \\
 &= [(x_4 + 1) \cdot (\bar{x}_2 \cdot x_1)] + (x_4 \cdot x_3 \cdot x_2) = (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2)
 \end{aligned}$$

a.2) Tabla de verdad y mapa de Karnaugh de la función z:

$x_4$	$x_3$	$x_2$	$x_1$	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



- b) Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que realice la misma función z.

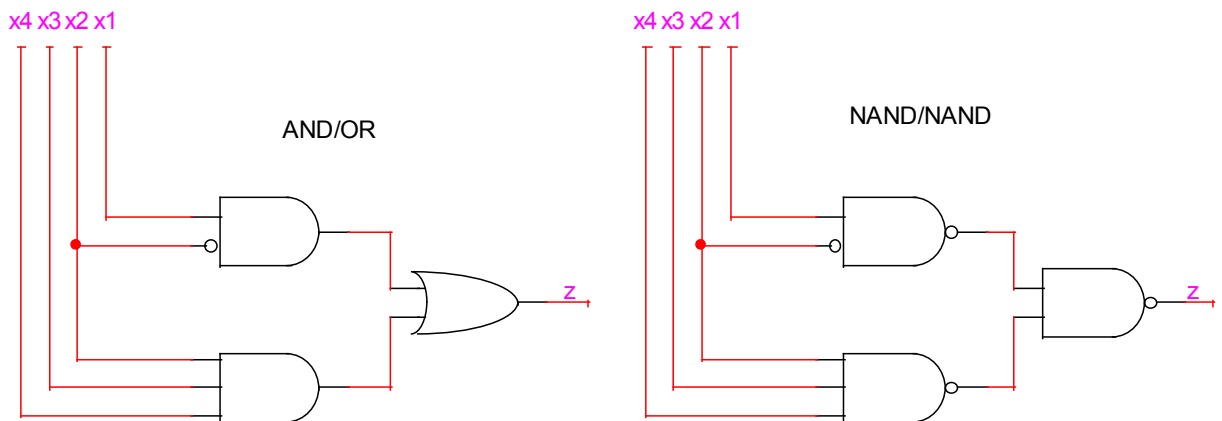
b.1) Minimización de la función z usando su mapa de Karnaugh:

Ver el mapa de Karnaugh de más arriba. Se forman dos cubos con los unos de la función y ambos dan lugar a dos implicantes primos que son esenciales.

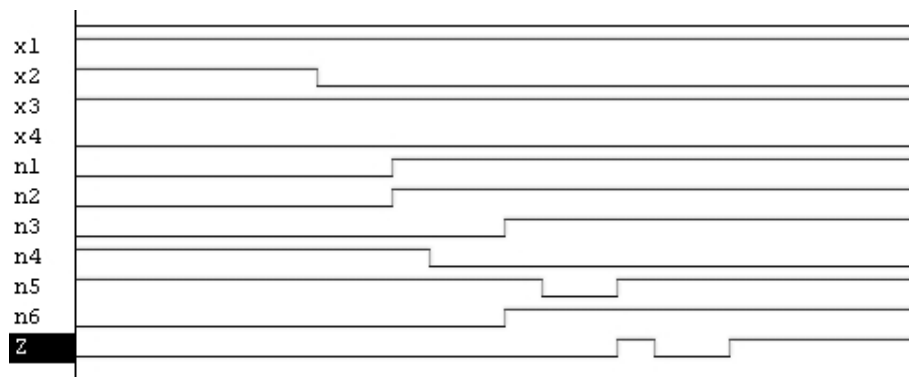
b.2) Expresión mínima AND/OR (Suma de Productos o forma mínima disyuntiva) y NAND/NAND de la función z:

$$z = (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2) = \overline{(\bar{x}_2 \cdot x_1)} \cdot \overline{(x_4 \cdot x_3 \cdot x_2)} = (\overline{\bar{x}_2} \cdot \overline{x_1}) \cdot (\overline{x_4} \cdot \overline{x_3} \cdot \overline{x_2})$$

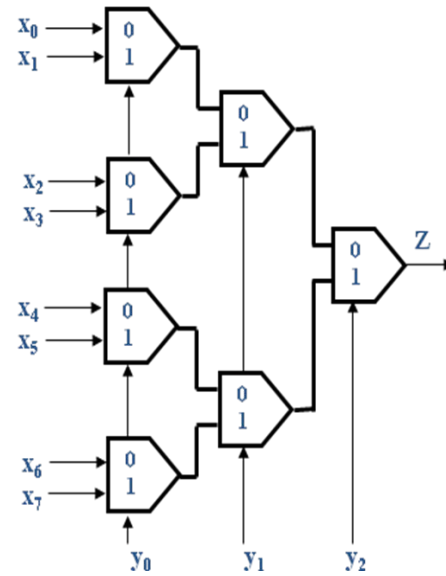
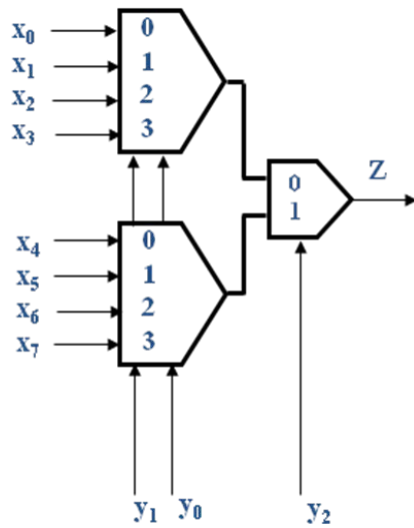
b.3) Circuitos mínimos AND/OR y NAND/NAND de la función z:



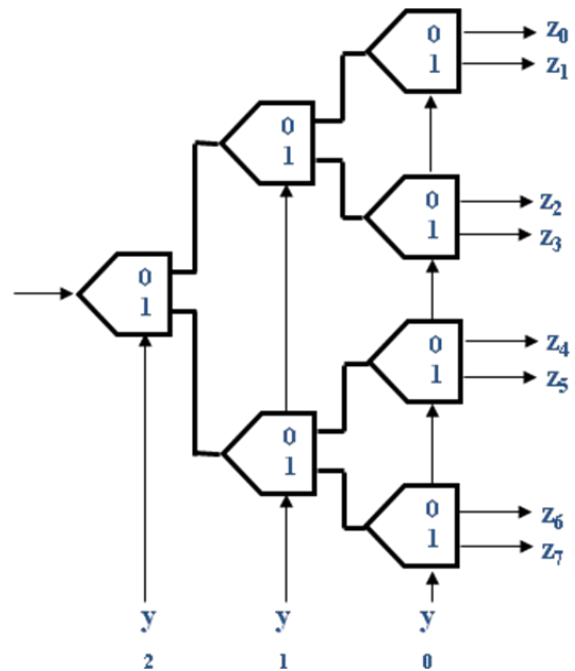
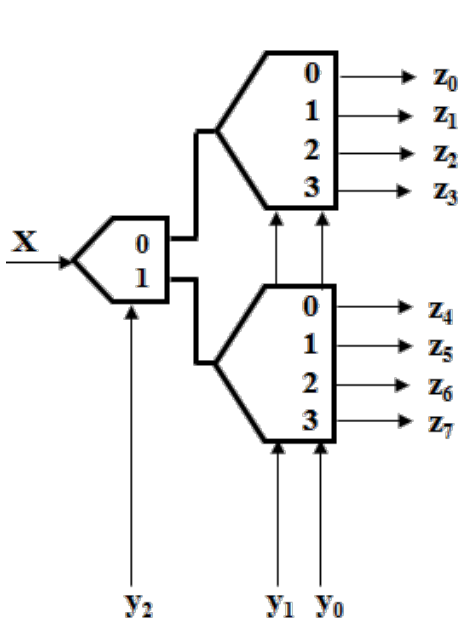
- c) Complete el siguiente diagrama de tiempos, teniendo en cuenta el retardo de propagación (en nanosegundos) indicado para cada puerta.



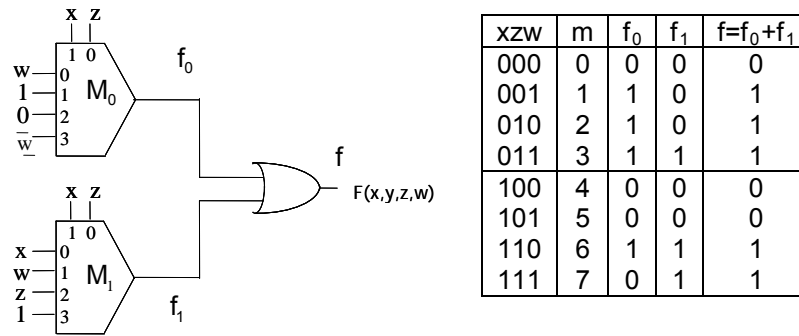
20. Implemente un multiplexor 8-a-1 a partir de 2 multiplexores 4-a-1 y un multiplexor 2-a-1 y con multiplexores 2 a 1.



21. Implemente un demultiplexor 1-a-8 a partir de 2 demultiplexores 1-a-4 y un demultiplexor 1-a-2 y con demultiplexores de 1 a 2.



22. Obtenga la tabla de verdad y el mapa de Karnaugh de la función que realiza el circuito de la Figura.



- Minimice dicha función en la forma AND/OR
- Impleméntela utilizando un multiplexor de 8 a 1 (3 variables de control).
- Impleméntela utilizando un multiplexor de 4 a 1 (2 variables de control).
- Impleméntela utilizando multiplexores de 2 a 1 (1 variable de control).

Resolución:

Tabla de Verdad y Mapa de Karnaugh de la función: Se va a obtener primero la expresión algebraica de la función de conmutación resultante  $f$ .

En el multiplexor superior ( $M_0$ ) se genera una función  $f_0$ :

$$f_0 = (\bar{x}\bar{z}\bar{w}) + (\bar{x}\bar{z}\cdot 1) + (x\bar{z}\cdot 0) + (x\bar{z}\bar{w}) = (\bar{x}\bar{z}\bar{w}) + (\bar{x}\bar{z}) + (x\bar{z}\bar{w})$$

En el multiplexor inferior ( $M_1$ ) se genera una función  $f_1$ :

$$f_1 = (\bar{x}\bar{z}\cdot x) + (\bar{x}\bar{z}\cdot w) + (x\bar{z}\cdot z) + (x\bar{z}\cdot 1) = (\bar{x}\bar{z}\cdot w) + (x\bar{z})$$

$$\text{Por tanto como } f = f_0 + f_1 = (\bar{x}\bar{z}\bar{w}) + (\bar{x}\bar{z}) + (x\bar{z}\bar{w}) + (\bar{x}\bar{z}\cdot w) + (x\bar{z})$$

Por tanto, la tabla de verdad y mapa de Karnaugh de la función resultante  $f$  es:

xzw	f
000	0
001	1
010	1
011	1
100	0
101	0
110	1
111	1

x \ zw	00	01	11	10
0	0 <sub>0</sub>	1 <sub>1</sub>	1 <sub>3</sub>	1 <sub>2</sub>
1	0 <sub>4</sub>	0 <sub>5</sub>	1 <sub>7</sub>	1 <sub>6</sub>

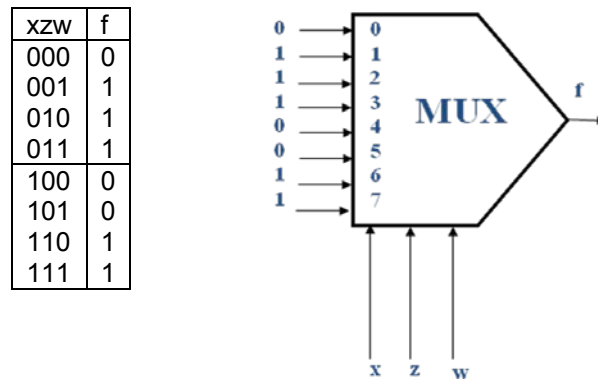
$f$

- Minimice dicha función en la forma AND/OR

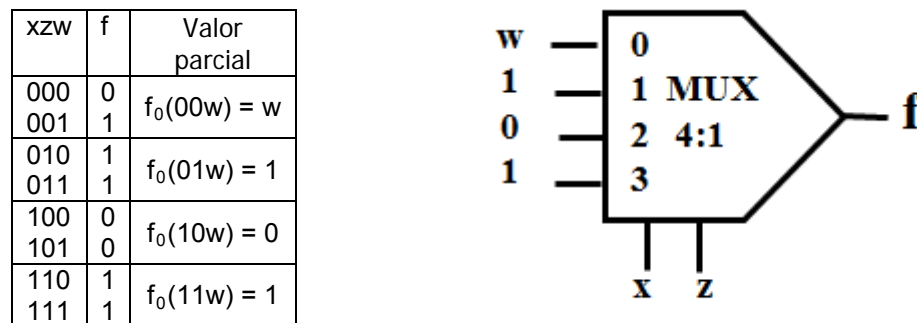
x \ zw	00	01	11	10
0	0 <sub>0</sub>	1 <sub>1</sub>	1 <sub>3</sub>	1 <sub>2</sub>
1	0 <sub>4</sub>	0 <sub>5</sub>	1 <sub>7</sub>	1 <sub>6</sub>

$f = (\bar{x}\cdot w) + z$

b) Impleméntela utilizando un multiplexor de 8 a 1 (3 variables de control).

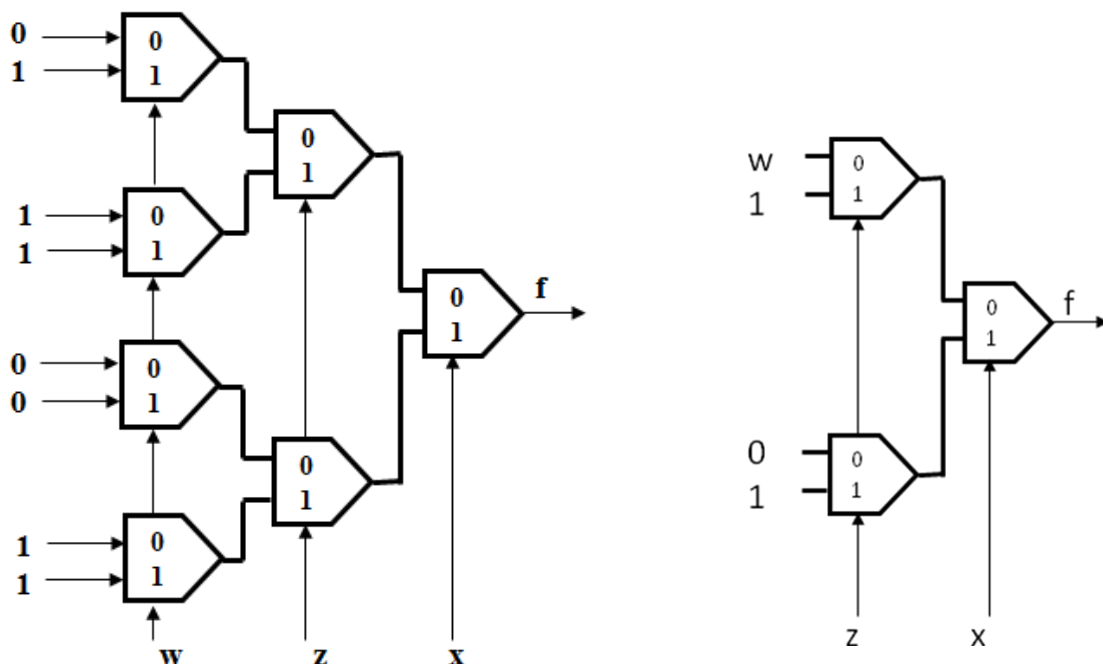


c) Impleméntela utilizando un multiplexor de 4 a 1 (2 variables de control).



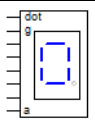
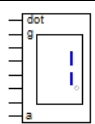
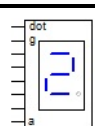
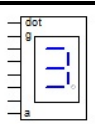
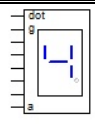
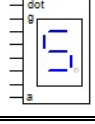
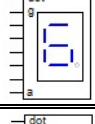
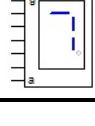
d) Impleméntela utilizando multiplexores de 2 a 1 (1 variable de control).

Hay dos formas de hacerlo: sin reducción del número de multiplexores (izquierda) o con reducción del número de multiplexores (derecha), empleando la tabla de valores parciales del apartado c).

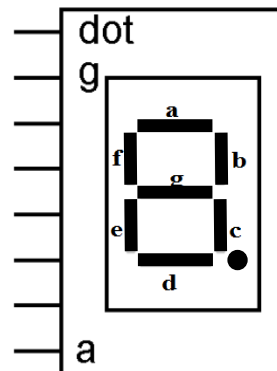


30. Diseñe un conversor de un dato binario de 3 bits a un visualizador de 7 segmentos utilizando una memoria ROM de tamaño adecuado. Dibuje tanto la estructura de la ROM como su implementación interna.

a) Tabla de Verdad que modela el problema:

xyz	Nº	a	b	c	d	e	f	g	VIS.
000	0	1	1	1	1	1	1	0	
001	1	0	1	1	0	0	0	0	
010	2	1	1	0	1	1	0	1	
011	3	1	1	1	1	0	0	1	
100	4	0	1	1	0	0	1	1	
101	5	1	0	1	1	0	1	1	
110	6	1	0	1	1	1	1	1	
111	7	1	1	1	0	0	0	0	

Visualizador de 7 Segmentos



Funciones:

$$a(x,y,z) = \sum m(0, 2, 3, 5, 6, 7)$$

$$b(x,y,z) = \sum m(0, 1, 2, 3, 4, 7)$$

$$c(x,y,z) = \sum m(0, 1, 3, 4, 5, 6, 7)$$

$$d(x,y,z) = \sum m(0, 2, 3, 5, 6)$$

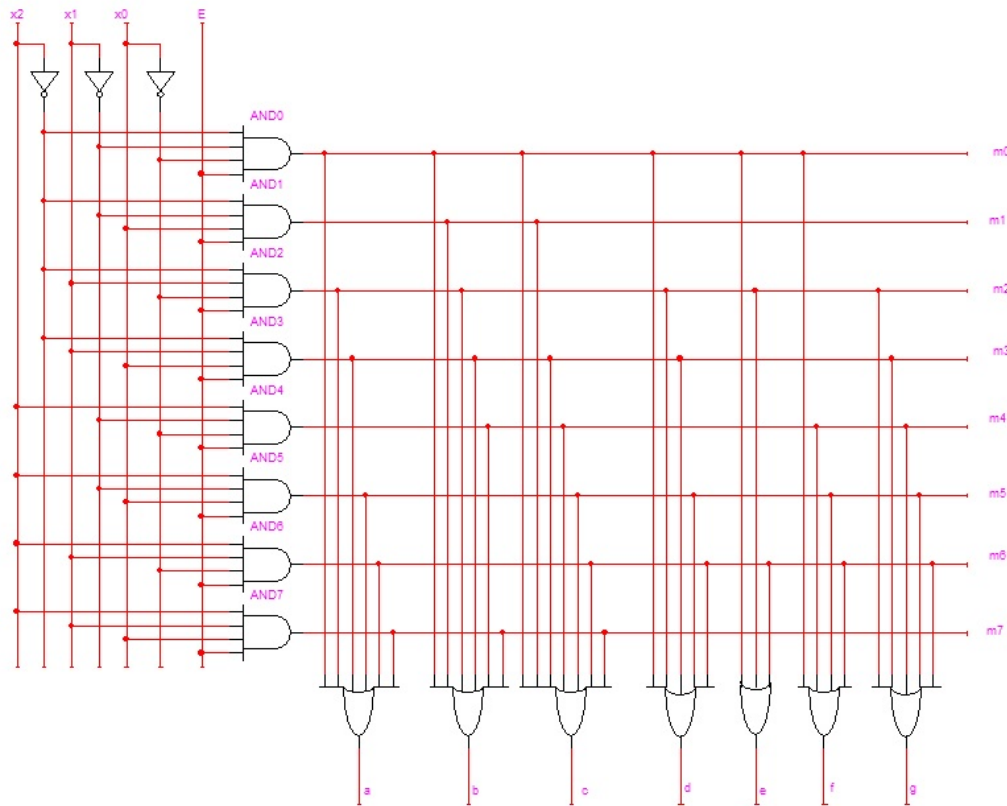
$$e(x,y,z) = \sum m(0, 2, 6)$$

$$f(x,y,z) = \sum m(0, 4, 5, 6)$$

$$g(x,y,z) = \sum m(2, 3, 4, 5, 6)$$

NO hay que minimizar las funciones. Se implementa en el plano AND los 8 minterms de las 3 variables y se hace la OR de los minterms correspondientes para cada función.

- b) Circuito de la memoria ROM: Tamaño  $3 \cdot 2^3 \cdot 7$  (3 entradas, 8 términos producto AND minterms y 7 salidas) con entrada de habilitación E.



31. Dadas las siguientes funciones de conmutación, en las que " $x_0$ " representa la variable menos significativa:

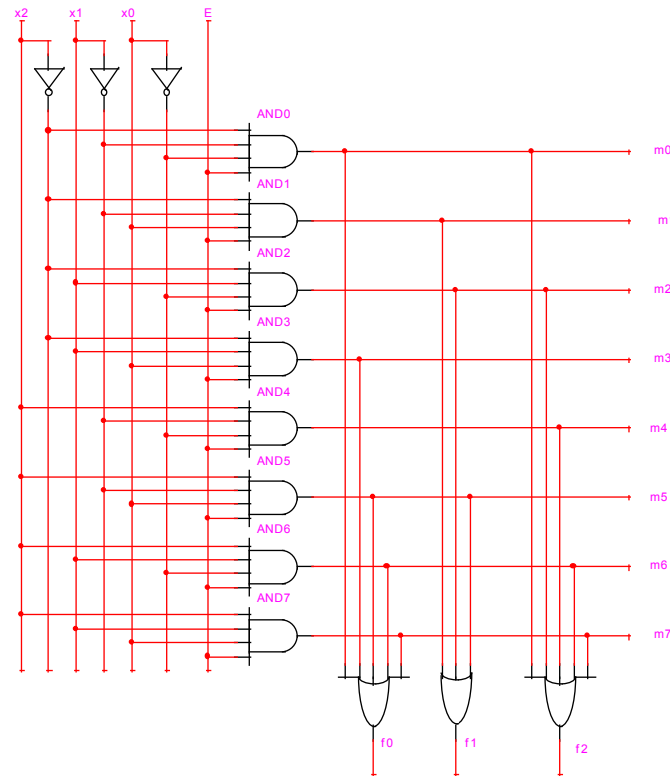
- $f_0(x_2, x_1, x_0) = \sum m(0, 3, 5, 6, 7)$
- $f_1(x_2, x_1, x_0) = \sum m(1, 2, 5)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 2, 4, 6, 7)$

a) Implemente dichas funciones mediante una memoria ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM (plano AND y plano OR programado con las conexiones adecuadas para implementar dichas funciones).

Las tablas de verdad de las tres funciones son:

$x_2$	$x_1$	$x_0$	$f_0$	$f_1$	$f_2$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	1	1	0
0	1	0	1	0	1
0	1	1	1	0	1

Circuito de la memoria ROM: Tamaño  $3 \cdot 2^3 \cdot 3$  (3 entradas, 8 términos producto AND minterms y 3 salidas) con entrada de habilitación E.



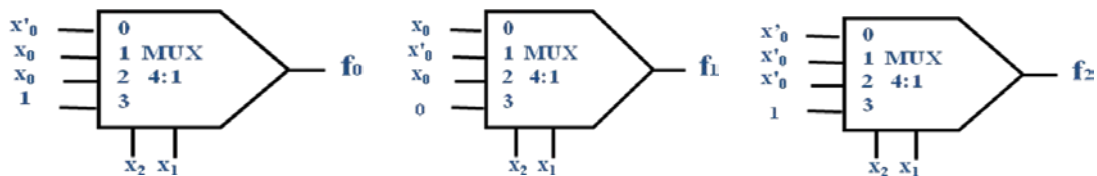
- b) Implemente dichas funciones con tres multiplexores de 4 a 1 (uno para cada función). En las entradas de control se aplican las variables  $x_2, x_1$ . Teniendo en cuenta que se dispone de la variable  $x_0$  y de su complemento como entradas, dibuje los multiplexores indicando en sus entradas los valores posibles de:  $\{0, 1, x_0 \text{ ó complemento de } x_0\}$ . Dentro del símbolo del multiplexor se deben especificar las entradas en decimal de las combinaciones de  $(x_2, x_1)$  para las que se selecciona cada entrada.

Se reagrupan las tablas de verdad de las funciones de conmutación:

$x_2$	$x_1$	$x_0$	$f_0$	Valor parcial
0	0	0	1	$f_0(00x_0) = \bar{x}_0$
0	0	1	0	
0	1	0	0	$f_0(01x_0) = x_0$
0	1	1	1	
1	0	0	0	$f_0(10x_0) = x_0$
1	0	1	1	
0	1	0	1	$f_0(11x_0) = 1$
0	1	1	1	

$x_2$	$x_1$	$x_0$	$f_1$	Valor parcial
0	0	0	0	$f_1(00x_0) = x_0$
0	0	1	1	
0	1	0	1	$f_1(01x_0) = \bar{x}_0$
0	1	1	0	
1	0	0	0	$f_1(10x_0) = x_0$
1	0	1	1	
0	1	0	0	$f_1(11x_0) = 0$
0	1	1	0	

$x_2$	$x_1$	$x_0$	$f_2$	Valor parcial
0	0	0	1	$f_2(00x_0) = \bar{x}_0$
0	0	1	0	
0	1	0	1	$f_2(01x_0) = \bar{x}_0$
0	1	1	0	
1	0	0	1	$f_2(10x_0) = \bar{x}_0$
1	0	1	0	
0	1	0	1	$f_2(11x_0) = 1$
0	1	1	1	





32. Determine las salidas de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos. La señal E es la de habilitación.

<p>Decodificador Binario</p>	<p>Decodificador Binario</p>	<p>Codificador Binario de prioridad</p>	<p>Codificador Binario de prioridad</p>
------------------------------	------------------------------	---	---

**Realice los ejercicios siguientes:**

- Ejercicios de la relación de problemas del Tema 3º ubicado en el fichero 03.-TEMA\_3\_TOC\_SISTEMAS\_COMBINACIONALES\_PROBLEMAS.PDF.
- Ejercicios del Tema 5º del libro [PRI06]: Prieto, A., Lloris, A., Torres, J. C.. Introducción a la Informática, 4ª Edición, McGraw-Hill, 2006.