

Nombre:	
DNI:	Grupo:

Examen de Problemas (3,0 p)

1. Ensamblador. (1 punto). Suponga una función f que acepta un argumento de tipo unsigned long y devuelve un resultado de tipo unsigned long:

```
unsigned long f(unsigned long x){
    return operación-sobre-x;
}
```

Escriba en la segunda columna de la siguiente tabla la implementación en lenguaje máquina x86-64 del cuerpo de cada función f indicado en la columna izquierda.

Restricciones:

1. No puede usar las instrucciones mul/imul ni div/ldiv.
2. No escriba la instrucción ret final.
3. Puede escribir como mucho tres instrucciones máquina en cada fila.

Cuerpo de la función f	Implementación de f en lenguaje máquina (no escriba la instrucción ret final, puede escribir como mucho tres instrucciones para cada función)
return x + x;	
return x * 5;	
return x * 8;	
return x * 16;	
return x / 16;	
return x * 12;	
return x % 8;	
return x & 0xffffffff;	
return x & 1;	
return x != 0;	

2. Unidad de control (0.4 puntos). Un procesador con una unidad de control microprogramada tiene una memoria de control de 2048 palabras de 41 bits, de las cuales 100 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación? Razone la respuesta con dos dibujos, uno sin nanoprogramación y otro con nanoprogramación.

3. Entrada/Salida (0.6 puntos). Disponemos de un microprocesador de 8 bits (bus de datos de 8 bits y bus de direcciones de 16 bits) con E/S independiente. Diseñe un sistema de E/S que permita acceder a los siguientes puertos: puerto 0x0440 de salida y 0x0441 de entrada. Utilice lógica de decodificación distribuida. No emplee decodificadores.

4. Mapa de memoria (0.6 puntos). Una implementación de la arquitectura ARM9 tiene un mapa de memoria de 4 GB dividido en las zonas indicadas más abajo (comenzando por la dirección 0 hasta la dirección 0xFF...FF):

- ¿Cuál es el valor de n (número de zonas de tamaño 256 MB situadas en la parte más alta del mapa de memoria)?
- Indique la primera y última dirección en hexadecimal de cada una de las zonas del mapa de memoria indicadas en la siguiente tabla:

	Zona de 4 MB
	Zona de 4 MB
	Zona de 248 MB
	Zona 1 de 256 MB
...	
	Zona n de 256 MB

5. Memoria cache (0.4 puntos). Una implementación de la arquitectura ARM9, cuya memoria es direccionable por bytes, tiene una memoria cache de 4KB de instrucciones y otra de datos del mismo tamaño. Ambas caches son asociativas por conjuntos con 4 vías, con un tamaño de línea de 8 palabras (32 bytes). El procesador puede direccionar 4 GB de memoria física. Muestre un esquema de una dirección de memoria física dividida en los campos necesarios para el acceso a cache, con el nombre y tamaño de cada campo.

Dirección física de memoria principal desde el punto de vista de la cache: