

# ARQUITECTURA DE COMPUTADORES

## BENCHMARK del TEMA 3

Estudiante: Jose Alberto Hoces Castro  
→ Hebras en paralelo

1. En un microprocesador SMT (multihebra simultánea), se procesan varias hebras concurrentemente, aunque en cada ciclo solo se pueden enviar a ejecutar instrucciones de la misma hebra. ( F )
2. En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado M solo en una cache del multiprocesador ( V )
3. En el protocolo MSI, si en la cache de un nodo N1 hay un bloque B en estado M (Modificado), y ese nodo detecta que otro nodo, N2, intenta escribir un dato que está en el bloque B, dicho bloque pasará finalmente al estado I (inválido) en la cache de N1 ( V )
4. En un multiprocesador NUMA con 64 nodos, 8 GBytes por nodo, y líneas de cache de 128 Bytes. ¿Cuántas entradas tiene el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión?

$$8 \text{ GBytes} / 128 \text{ (Bytes/línea)} = 2^3 * 2^{30} / 2^7 = 2^{26} \text{ (líneas)} \text{ ---- Hay una entrada por línea: } 2^{26} \text{ entradas}$$

5. En el multiprocesador NUMA descrito en la pregunta anterior ¿Cuántos bits tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache?

$$64+1= 65 \text{ (Un bit por nodo más un bit de validez)}$$

6. ¿Qué valores se puede observar en R si el modelo de consistencia de memoria del computador donde están los procesadores que ejecutan estos códigos tienen un modelo de consistencia secuencial, e inicialmente X=Y=0? (R es un registro del procesador donde se ejecuta P2 y X e Y son direcciones de memoria compartida)

P1: X=2 Y=1	P2: R=1; if (Y==1) R=X;
----------------	----------------------------

R=1 o R=2

8. ¿Qué valores se observarían en el registro R del problema anterior si no se garantiza el orden W→R?

Lo mismo (no cambia el orden de las escrituras en P1) R=1 o R=2

8. En el modelo de consistencia de liberación no se garantizan los órdenes W→W y W→R, pero sí los R→RW.

( F )

9. ¿Qué valor pondría en a para que la secuencia de instrucciones siguiente implemente un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y 0 que está abierto?

```
b=1;
a=0
do
    compare&swap(a,b,k); // lect-mod-escritura atómica
while (b==1);
```

10. ¿Cómo implementaría un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y 0 que está abierto con una primitiva del tipo test\_&set?

```
lock(k){
    while (test_&set(k)==1) {} // k se inicializa a 0
```

## ARQUITECTURA DE COMPUTADORES

### BENCHMARK del TEMA 3

Estudiante:

1. En un microprocesador SMT (multihebra simultánea), se procesan varias hebras concurrentemente y en un ciclo determinado se pueden enviar a ejecutar instrucciones de hebras diferentes.

( V )

2. En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado E solo en una cache del multiprocesador

( V )

3. En el protocolo MSI, si en la cache de un nodo N1 hay un bloque B en estado M (Modificado), y ese nodo detecta que otro nodo, N2, intenta leer un dato que está en el bloque B, dicho bloque pasa al estado I (inválido) en la cache de N1

( F )

4. En un multiprocesador NUMA con 32 nodos, 16 GBytes por nodo, y líneas de cache de 128 Bytes. ¿Cuántas entradas tiene el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión?

**16 GBytes / 128 (Bytes/línea) =  $2^4 * 2^{30} / 2^7 = 2^{27}$  (líneas) ---- Hay una entrada por línea:  $2^{27}$  entradas**

5. En el multiprocesador NUMA descrito en la pregunta anterior ¿Cuántos bits tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache?

**32+1= 33 (Un bit por nodo más un bit de validez)**

6. ¿Qué valores se puede observar en R si el modelo de consistencia de memoria del computador donde están los procesadores que ejecutan estos códigos tienen un modelo de consistencia secuencial, e inicialmente X=Y=0? (R es un registro del procesador donde se ejecuta P2 y X e Y son direcciones de memoria compartida)

P1:	X=2	P2:	R=1;
	Y=1		if (Y==1) R=X;

**R=1 o R=2**

7. ¿Qué valores se observarían en el registro R del problema anterior si no se garantiza el orden W→W?

**R=1, R=2, o R=0**

8. En el modelo de consistencia de liberación no se garantizan los órdenes W→W y W→R, pero sí los R→RW.

( F )

9. ¿Qué valor pondría en a para que la secuencia de instrucciones siguiente implemente un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y 0 que está abierto?

```
b=1;
a=0
do
    compare&swap(a,b,k); // lect-mod-escritura atómica
while (b==1);
```

10. ¿Cómo implementaría un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y 0 que está abierto con una primitiva del tipo fetch\_and\_or?

**while (fetch\_and\_or(k,1)!=1) {}; // k se inicializa a 0**