

Nombre:	
DNI:	Grupo:

Examen de Problemas (3,0 p)

1. Ensamblador (0.75 puntos). La principal secuencia de instrucciones de la vulnerabilidad Meltdown es la siguiente:

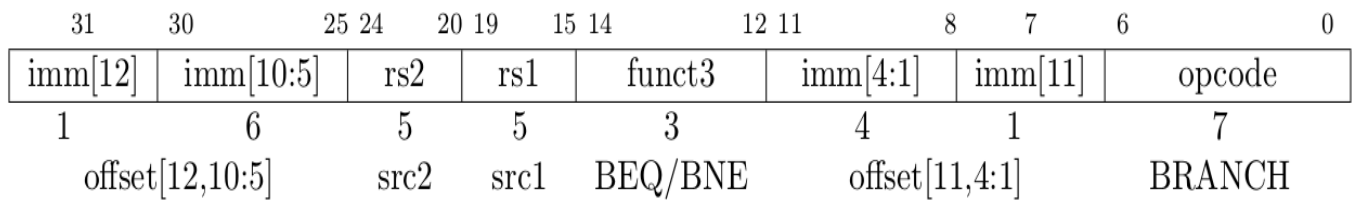
```
# rcx = dirección del kernel a acceder
# rbx = array en el espacio de usuario
retry:
    mov (%rcx), %al
    shl $0xc, %rax
    jz  retry
    mov (%rbx,%rax), %rbx
```

Suponga que inicialmente RAX vale 0, RCX vale 0x601037 (en este caso accedemos a un dato en nuestro espacio de usuario, no a una dirección prohibida del kernel), RBX vale 0x601038. A partir de la dirección 0x601037 de memoria, incluida, más de 1 M bytes están inicializados al valor 0x10. Rellene las celdas en blanco de la siguiente tabla:

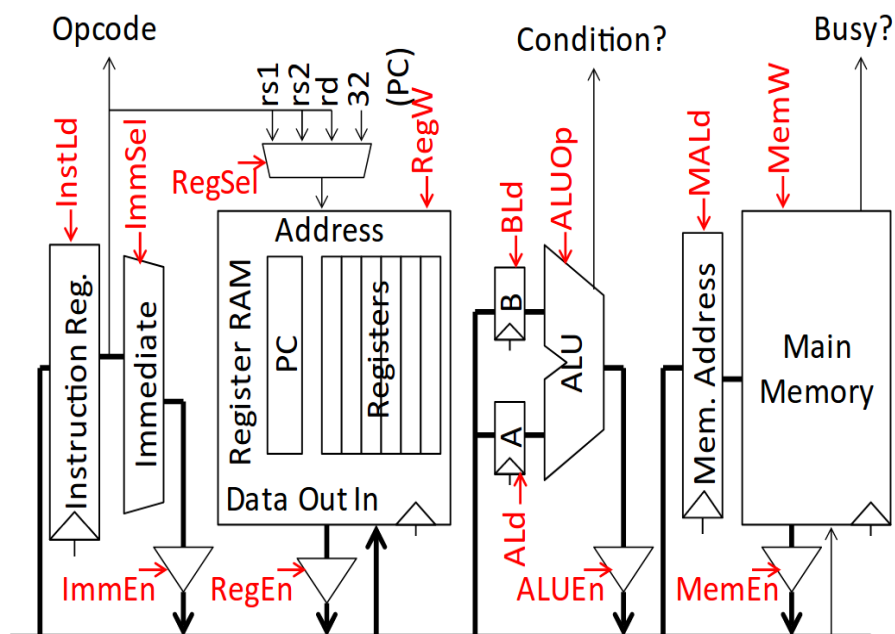
Instrucción	Fuente			Destino		
	Modo de direccionamiento	Dirección de memoria	Contenido o valor	Modo de direccionamiento	Contenido o valor antes de ejecutar la instrucción	Contenido o valor después de ejecutar la instrucción
<code>mov (%rcx), %al</code>						
<code>shl \$0xc,%rax</code>		N/A				
<code>mov (%rbx,%rax), %rbx</code>						

2. Ensamblador. (0.75 puntos). Escriba una función en ensamblador de IA32 que convierta un vector de 100 shorts de big endian a little endian. La función recibirá como argumento un puntero al vector de shorts almacenados en big endian. Al terminar, todos los shorts en el vector deben estar almacenados siguiendo el criterio de ordenación de bytes little endian.

3. Unidad de control (0.5 puntos). El repertorio de instrucciones de la arquitectura RISC-V contiene la instrucción máquina BEQ (saltar si igual) que compara dos registros rs1 y rs2 y salta a la etiqueta destino sumando una cantidad inmediata, desplazamiento u offset al contador de programa PC. El formato de esta instrucción es el siguiente:



imm[0] siempre es 0, de forma que se puede saltar en un rango de ± 4 KiB. Una posible implementación del RISC-V con un único bus es la siguiente:



Escriba las microinstrucciones (en pseudo-código) para implementar la captación de instrucción y la ejecución de la instrucción BEQ, suponiendo que existen las operaciones de la ALU $A-B$, $A+B$ y $A+4$ entre otras, una microinstrucción “wait” que espera hasta que la memoria está lista, y que Immediate extiende el signo de 13 bits del campo imm de la instrucción a 32 bits.

4. Configuración de memoria (0.5 puntos). Queremos conectar un microprocesador de 8 bits a un sistema de memoria constituido por una ROM de 8 KB y una RAM de 8 KB. El microprocesador dispone de las patillas MREQ#, RD#, WR#, A15-A0 y D7-D0. Para la ROM tenemos un chip con las patillas CE#, OE#, A0-A12 y D0-D7. Para la RAM tenemos un chip con las patillas CS#, OE#, WE#, A0-A12, D0-D7. Para la conexión disponemos de un decodificador con 1 patilla de habilitación E#, 3 patillas de selección A, B, C y 8 patillas de salida Y7-Y0.

Dibuje un esquema con la memoria y su conexión al microprocesador, de tal modo que la ROM esté ubicada en las direcciones 0x0000-0x1FFF y la RAM en las direcciones 0x2000-0x3FFF.

- 5. Memoria cache** (0.5 puntos). Las características de la jerarquía de memoria del microprocesador AMD Ryzen Threadripper 1950X, de 16 núcleos, son las siguientes:

Cache line size	64 B
Level 1 cache size	16 x 64 KB 4-way set associative instruction caches 16 x 32 KB 8-way set associative data caches
Level 2 cache size	16 x 512 KB 8-way set associative unified caches
Level 3 cache size	4 x 8 MB 16-way set associative shared caches
Physical memory	1 TB

Indique el nombre y tamaño en bits de los campos de dirección usados para la política de correspondencia, así como el tamaño total en bits de todas las memorias de etiquetas, tamaño total en bits de todas las memorias de instrucciones/datos, y porcentaje de espacio de etiquetas respecto a instrucciones/datos para cada uno de los dos casos siguientes:

- a. Dirección física de memoria principal desde el punto de vista de una L1 de instrucciones:

Tamaño total en bits ocupado por todas las etiquetas en directorios L1 (instrucciones):

Tamaño total en bits ocupado por todas las instrucciones en L1 (instrucciones):

Porcentaje de espacio ocupado por etiquetas respecto a instrucciones en L1 (instrucciones):

- b. Dirección física de memoria principal desde el punto de vista de una L1 de datos:

Tamaño total en bits ocupado por todas las etiquetas en directorios L1 (datos):

Tamaño total en bits ocupado por todos los datos en L1 (datos):

Porcentaje de espacio ocupado por etiquetas respecto a datos en L1 (datos):