

Tema 3 Prueba Evaluación Continua

Contesta V(Verdadero) o F(Falso).

- El código siguiente permite implementar un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto:

```
lock(k) {
    while test_and_set(k)==1) {};
}
```

✓
- El código siguiente permite implementar un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto:

```
lock(k) {
    while (fetch_and_and(k,0)==0) {};
}
```

F
- Si en la secuencia de instrucciones siguiente se tiene que r1=1, r2=0, r3=0, dicha secuencia implementa un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto.

```
b=r1;
do
    compare&swap(r2,b,k); // si r2==k, k y b se intercambian
while (b==r3);
```

F
- En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado E (exclusivo) solo en una cache del multiprocesador. ✓
- Si una línea de la cache del nodo N1 está en el estado M del protocolo MSI para mantener la coherencia de caché, el contenido de esa línea es coherente con su contenido en memoria principal. F
- En un multiprocesador, el procesador P1 ejecuta las instrucciones

```
(1) while (Z==0) { };
(2) r1=Y;
```

 en paralelo con las instrucciones que ejecuta el procesador P2:

```
(a) X=1;
(b) Y=2;
(c) Z=1;
```

 Si el modelo de consistencia de memoria de un multiprocesador NO respeta el orden W→W (Sí respeta todos los demás), e inicialmente X=Y=Z=r1=0 (donde X,Y,y Z son variables en memoria compartida y r1 es un registro de P1), al final SOLO se podría tener r1=2.
- En un multiprocesador NUMA con 32 nodos, 8 GBytes por nodo, y líneas de cache de 128 Bytes, el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión tiene 2²⁶ (2 elevado a 26) entradas. ✓

$$2^3 \cdot 2^{30} / 2^7 = 2^{26}$$

8. En un multiprocesador NUMA con 8 nodos, 8 GBytes por nodo, y líneas de cache de 64 Bytes, el número de bits que tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio y codificación de bit completo es igual a 9. ✓
9. Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo, los recursos hardware asociados a dicha técnica permiten detectar si, entre la ejecución de la lectura enlazada (LL) y la ejecución de la escritura condicional (SC) a la dirección de memoria del cerrojo, algún otro procesador ha accedido a dicha dirección. ✓
10. En un multiprocesador NUMA con protocolo MSI basado en directorios de vector de bits completo puede haber una entrada en uno de los directorios con varios bits a uno (hay copias del bloque correspondiente en varias caches de la máquina) y el bit de estado del bloque en memoria igual a 0 (estado No válido en memoria). ✗