

PROBLEMAS DEL TEMA 2. Unidades Funcionales de un Computador

ENUNCIADOS inspirados en el LIBRO “CONCEPTOS DE INFORMÁTICA” (Schaum) [PRI05]

1. Suponiendo que en un lenguaje máquina todas las instrucciones dispusieran de un código de operación (CO) fuesen de 16 bits ¿Cuántas instrucciones distintas se podrían formar con dicho lenguaje?
2. Un procesador dispone de los siguientes elementos: registro de dirección de memoria (AR) de 16 bits, registro de memoria (DR) de 8 bits, contador de programa (PC), registro de instrucción (IR), registros de uso general (R0, R7) y un registro temporal RT para las operaciones con la ALU. Indicar:
 - a. Número de hilos (bits) de los buses de datos y de direcciones.
 - b. Tamaño en bytes de la memoria principal.
 - c. Tamaño en bits del registro PC.
3. Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits y contador de programa (PC). Indicar:
 - a. Número de bits del bus de datos
 - b. Número de bits del bus de direcciones.
 - c. Tamaño máximo posible de la memoria principal (en MB o GB)
 - d. Tamaño en bits del registro PC
4. Suponga que un procesador dispusiese de una instrucción de *memorizar*, STORE R1 DIR que almacena en la posición DIR de memoria el contenido del registro R1 ($M(DIR) \leftarrow R1$). La instrucción tiene de código (en hexadecimal) 1100. Suponiendo que ésta instrucción se encuentra en la posición A777 de la memoria, que la dirección de almacenamiento en memoria es DIR = 5ACD y que R1 contiene el dato FFFF, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción STORE R1 5ACD, los valores que tienen en cada momento los registros PC, AR, DR e IR, y los cambios producidos en la memoria.

Fase	Microoperación	Contenidos de los registros					
		PC	IR	AR	DR	R1	M(5ACD)
Valores iniciales							
Captación de instrucción	$AR \leftarrow PC$						
	$DR \leftarrow M(AR)$						
	$IR \leftarrow DR$						
	$PC \leftarrow PC+1$						
Ejecución de instrucción	$AR \leftarrow 5ACD$						
	$DR \leftarrow R1$						
	$M(AR) \leftarrow DR$						

5. Considere un procesador que trabaja con datos de 2 Bytes y que funciona a una frecuencia de 1 GHz. Suponiendo que las transferencias en los buses no ralentizan el funcionamiento del procesador (es decir, en un ciclo de reloj se hace una transferencia de información), hacer una estimación del ancho de banda (MB/s) en los buses externos de dirección y de datos.
6. Un procesador trabaja con datos de 32 bits, funciona a una frecuencia de 66 MHz y su ancho de banda (velocidad de transferencia) es de 1.055.916.032 B/s. ¿Cuántos Bytes se transfieren por ciclo?. ¿Cuántas palabras se transmiten por ciclo?
7. Suponga un procesador que trabaja con datos de 16 bits y que se necesitan 3 ciclos de reloj para transferir un dato y que la frecuencia de reloj es de 8 MHz. ¿Qué velocidad de transferencia de datos se obtiene?.
8. En el CS1 los datos son de 8 bits, las direcciones son de 6 bits. Tiene un Repertorio de Instrucciones de 4 instrucciones (STOP, ADD, SUB, STA). La fase de captación siempre consume 2 ciclos de reloj. La fase de ejecución consume STOP (1 ciclo), ADD y SUB (3 ciclos) y STA (2 ciclos).

Si la frecuencia de reloj del CS1 es de 50 MHz y se ejecuta un programa benchmark que contiene 24 instrucciones ADD, 26 instrucciones SUB, 10 instrucciones STA y una instrucción STOP. Indicar:

- a) Número de ciclos de reloj totales consumidos por el programa.
- b) Tiempo de ejecución del programa de benchmark.
- c) Prestaciones del CS1 en MIPS (Millions Instructions Per Second).
- d) Tamaño de memoria máximo direccionable en Bytes.

9. Se tienen tres procesadores (A, B, C) que trabajan con las frecuencias de reloj que se indican en la tabla. Se ejecuta en cada uno de ellos un mismo programa de prueba (benchmark) que contiene 5 millones de instrucciones. En la tabla se indica el número de ciclos de reloj que requiere la realización de cada instrucción (fase de captación + fase de ejecución) en cada procesador. Indique, razonadamente, en la tabla:
- a) El tiempo de ciclo de cada procesador.
 - b) El tiempo de ejecución del programa benchmark en cada procesador.
 - c) Las prestaciones en MIPS (Millones de Instrucciones Por Segundo) de cada procesador.

	Frecuencia reloj (GHz)	Tiempo Ciclo (s)	Número de ciclos de reloj por instrucción.	Tiempo ejecución Benchmark (segundos)	MIPS
A	1,5		4		
B	2,0		8		
C	3,0		10		