

1.- En un microprocesador SMT (multihebra simultánea) se pueden enviar a ejecutar varias instrucciones de una misma hebra en un instante determinado. V

2.- En el protocolo MESI para mantener la coherencia de cache, una línea dada de memoria puede estar, en un momento dado, en el estado E(exclusivo) en una cache y en el estado S(compartido) en otras caches. F

3.- En el protocolo MESI, si en la cache de un nodo N1 hay un bloque B en estado E(Exclusivo), y ese nodo detecta que otro procesador en el nodo N2 intenta leer un dato que está en el bloque B, dicho bloque pasa al estado S(Compartido) en las caches del N1 y N2. V

4.- En el protocolo MSI, si en la cache de un nodo N1 hay un bloque B en estado M(Modificado), y ese nodo detecta que otro procesador en el nodo N2 intenta escribir un dato que está en el bloque B, dicho bloque pasa al estado I(no válido) en la cache del N1 y a M(Modificado) en N2. V

5.- En un multiprocesador NUMA con 8 nodos, 16 GBytes por nodo, y líneas de caché de 64 Bytes. ¿Cuántas entradas tiene el directorio de memoria utilizado en cada nodo para mantener la coherencia de cache en un protocolo MSI sin difusión? $16Gb = 2^{34}$ Bytes. $2^{34}/2^6 = 2^{28}$ líneas.

6.- En un multiprocesador NUMA descrito en la pregunta anterior ¿Cuántos bits tienen cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio? $8+1 = 9$ bits.

7.- En el mismo multiprocesador NUMA anterior con el mismo protocolo de coherencia de cache, se puede tener el estado 1 1 0 ... 0 V (1:hay copia del bloque en la cache del nodo correspondiente al bit; 0: no hay copia en la cache del nodo correspondiente al bit; V: bloque válido en memoria principal) en alguna de las entradas de alguno de los directorios. V

8.- Si el modelo de consistencia de memoria de un multiprocesador NO respeta el orden R->W (Si respeta todos los demás), e inicialmente $X=Y=Z=r1=0$ (donde X,Y y Z son variables en memoria compartida y r1 es un registro de P1), al final se podría tener $Y = 0$. F

P1:

```
while(Z==0){};  
r1=X;  
Y=r1;
```

P2:

```
X=1; Wx  
Y=2; Wy  
Z=1; Wz
```

Siempre se va a tener en P2 Wx, Lx , y el orden $W \rightarrow R$ si lo respeta. Para llegar a Wx , antes hay que llegar a Wy , y para ello hay que pasar por Wx , luego $Y=1$

9.- Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo, los recursos hardware asociados a dicha técnica permiten detectar si, entre la ejecución de la lectura enlazada (LL) y la ejecución de la escritura condicional (SC) a la dirección de memoria del cerrojo, algún otro procesador ha accedido a dicha dirección. V

10.- Si en la secuencia de instrucciones siguiente se tiene que $r1=1$, $r2=0$, $r3=0$, dicha secuencia implementa un cerrojo (lock(k)) en el que $k=1$ significa que el cerrojo está cerrado y $k=0$ que está abierto. F

```
b=r1;  
do  
    compare&swap(r2,b,k); //Si  $r2==k$ , k y b se intercambian  
while(b==r3);
```

Debería ser 1 0 1

11.- En un microprocesador SMT(multihebra simultánea), se procesan varias hebras concurrentemente y en un instante determinado solo se pueden enviar a ejecutar instrucciones de una misma hebra. F

12.- En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado E(Exclusivo) solo en una cache del multiprocesador. V

13.- En el protocolo MESI, si en la cache de un nodo N1 hay un bloque B en estado S(Compartido), y ese nodo detecta que otro procesador en el nodo N2 intenta leer un dato que está en el bloque B, dicho bloque pasa al estado S(COmpartido) en las caches del N1 y N2. V

14.- En el protocolo MSI, si en la cache de un nodo N1 hay un bloque B en estado M(Modificado), y ese nodo detecta que el procesador del nodo N2 intenta leer un dato que está en el bloque B, dicho bloque pasa al estado I(no válido) en la cache del N1 y a M(Modificado) en N2. *F. Pasaría a compartido*

15.- En un multiprocesador NUMA con 8 nodos, 8GBytes por nodo, y líneas de caché de 128 Bytes. ¿Cuántas entradas tiene el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión? 8Gbytes = 2^{33} Bytes. $2^{33}/2^7 = 2^{26}$ entradas

16.- En el multiprocesador NUMA descrito en la pregunta anterior ¿Cuántos bits tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio? $8+1=9$

17.- En el mismo multiprocesador NUMA anterior con el protocolo MSI de coherencia de cache, es posible que alguna de las entradas de alguno de los directorios esté en el estado 1 1 0 ... 0 I (1:hay copia del bloque en la cache del nodo correspondiente al bit; 0: no hay copia en la cache del nodo correspondiente al bit; I: bloque no válido en memoria principal). F

18.- Si el modelo de consistencia de memoria de un multiprocesador N0 respeta el orden R->W (Sí respeta todos los demás), e inicialmente $X=Y=Z=r1=0$ (donde X,Y y Z son variables en memoria compartida y r1 es un registro de P1), al final SOLO podría tener $Y = 1$. V

P1:		P2:	
	while($Z==0$){};		$X=1$;
	$r1=X$;		$Y=2$;
	$Y=r1$;		$Z=1$;

19.- Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo, los recursos hardware asociados a dicha técnica impiden que, entre la ejecución de la lectura (LL) y la ejecución de la escritura (SC) a la dirección de memoria del cerrojo, ningún otro procesador pueda acceder a dicha dirección de memoria del cerrojo. F

20.- Si en la secuencia de instrucciones siguiente se tiene que $r1=1$, $r2=0$, $r3=1$, dicha secuencia implementa un cerrojo (lock(k)) en el que $k=1$ significa que el cerrojo está cerrado y $k=0$ que está abierto. V

```
b=r1;
do
    compare&swap(r2,b,j);
while(b==r3);
```

21.- Un microprocesador multinúcleo no incluye memoria caché. F

22.- En un microprocesador SMT (Multihebra simultánea), en un instante determinado se pueden enviar a ejecutar instrucciones de hebras diferentes. V

23.- En un microprocesador SMT (Multihebra simultánea), se procesan varias hebras concurrentemente aunque en un instante determinado solo se pueden enviar a ejecutar instrucciones de la misma hebra. F

24.- En el protocolo MESI para mantener coherencia de cache, una línea puede estar en el estado E en varias caches del multiprocesador. F

25.- En el protocolo MSI, si en la cache de un nodo N1 hay un bloque en estado M(Modificado), y ese nodo detecta que otro procesador intenta leer un dato que está en ese bloque, el bloque pasa al estado I (no válido) en el nodo N1. F

26.- En un multiprocesador NUMA con 16 nodos, 4GBytes por nodo, y líneas de cache de 64 Bytes. ¿Cuántas entradas tiene el directorio de memoria utilizado en cada nodo para mantener la coherencia de cache en un protocolo MSI sin difusión? $2^2 * 2^{30} / 2^6 = 2^{26}$ entradas

27.- En el multiprocesador NUMA descrito en la pregunta anterior ¿Cuántos bits tiene cada una de las entradas del directorio que se utiliza para mantener

coherencia de cache? $16 + 1 = 17$

28.- ¿Qué valores se puede observar en R si el modelo de consistencia de memoria del computador donde están los procesador que ejecutan estos códigos no respeta el orden W→W (sí respeta los demás) e inicialmente $X=Y=0$?

P1:

```
X = 2;  
Y = 1;
```

P2:

```
R=1;  
if(Y==1)R=X;
```

R = 0; R = 1; R = 2;

Sí, respeta el orden W→W: R=1; R=2

29.- ¿Qué valor deben r1, r2, y r3 tener para que la secuencia de instrucciones siguiente implemente un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y 0 que está abierto?

```
b=r1;  
do  
    compare&swap(r2, b, k); //si r2==k k y b se intercambian  
while(b==r3)  
  
r1=1, r2=0, r3=1
```