

PROBLEMAS DEL TEMA 2. Unidades Funcionales de un Computador. EJEMPLOS

Nota: se considera que todos los datos están expresados en hexadecimal.

- Suponga que un procesador dispusiese de una instrucción *cargar*, LOAD R7 DIR, que almacena en el registro R7 del procesador el contenido de la posición de memoria indicada en la dirección DIR ($R7 \leftarrow M(DIR)$). La instrucción tiene de código (en hexadecimal) 0700. Suponiendo que esta instrucción se encuentra en la posición 0039 de la memoria, que en DIR se encuentra la dirección DIR = 54C2 y que en dicha posición de memoria, M(54C2), se encuentra el dato D7A2, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción LOAD R7 54C2, así como los valores que tienen en cada momento los registros PC, AR, DR, IR y R7.

Fase	Microoperación	Contenidos de los registros				
		PC	IR	AR	DR	R7
Valores iniciales		0039	XXXX	XXXX	XXXX	XXXX
Captación de instrucción	AR ← PC	0039	XXXX	0039	XXXX	XXXX
	DR ← M(AR)	0039	XXXX	0039	0700	XXXX
	IR ← DR	0039	0700	0039	0700	XXXX
	PC ← PC+1	003A	0700	0039	0700	XXXX
Ejecución de instrucción	AR ← 54C2	003A	0700	54C2	0700	XXXX
	DR ← M(AR)	003A	0700	54C2	D7A2	XXXX
	R7 ← DR	003A	0700	54C2	D7A2	D7A2

- Suponga que un procesador dispusiese de una instrucción de *memorizar*, STORE R1 DIR que almacena en la posición DIR de memoria el contenido del registro R1 ($M(DIR) \leftarrow R1$). La instrucción tiene de código (en hexadecimal) 1100. Suponiendo que ésta instrucción se encuentra en la posición A777 de la memoria, que la dirección de almacenamiento en memoria es DIR = 5ACD y que R1 contiene el dato FFFF, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción STORE R1 5ACD, los valores que tienen en cada momento los registros PC, AR, DR e IR, y los cambios producidos en la memoria.

Fase	Microoperación	Contenidos de los registros					
		PC	IR	AR	DR	R1	M(5ACD)
Valores iniciales		A777	XXXX	XXXX	XXXX	FFFF	XXXX
Captación de instrucción	AR ← PC	A777	XXXX	A777	XXXX	FFFF	XXXX
	DR ← M(AR)	A777	XXXX	A777	1100	FFFF	XXXX
	IR ← DR	A777	1100	A777	1100	FFFF	XXXX
	PC ← PC+1	A778	1100	A777	1100	FFFF	XXXX
Ejecución de instrucción	AR ← 5ACD	A778	1100	5ACD	1100	FFFF	XXXX
	DR ← R1	A778	1100	5ACD	FFFF	FFFF	XXXX
	M(AR)← DR	A778	1100	5ACD	FFFF	FFFF	FFFF

3. Suponga que un procesador dispusiese de una instrucción *saltar*, JUMP DIR, que salta a la posición de memoria indicada por la dirección DIR, ejecutándose entonces la instrucción almacenada en dicha posición de memoria (M(DIR)). La instrucción tiene de código (en hexadecimal) 1200. Suponiendo que esta instrucción se encuentra en la posición 7777 de la memoria y que en DIR se encuentra el valor DIR = 7ACD, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción JUMP 7ACD, así como los valores que tienen en cada momento los registros PC, AR, DR, e IR.

Fase	Microoperación	Contenidos de los registros				
		PC	IR	AR	DR	
Valores iniciales		7777	XXXX	XXXX	XXXX	
Captación de instrucción	AR ← PC	7777	XXXX	7777	XXXX	
	DR ← M(AR)	7777	XXXX	7777	1200	
	IR ← DR	7777	1200	7777	1200	
	PC ← PC+1	7778	1200	7777	1200	
Ejecución de instrucción	PC ← 7ACD	7ACD	1200	7777	1200	

¿Qué ocurriría en el procesador si la dirección de salto fuese DIR = 7777 que es la dirección de memoria donde se encuentra ubicada la propia instrucción que se está ejecutando?.

La secuencia de microoperaciones en ese caso sería:

Fase	Microoperación	Contenidos de los registros				
		PC	IR	AR	DR	
Valores iniciales		7777	XXXX	XXXX	XXXX	
Captación de instrucción	AR ← PC	7777	XXXX	7777	XXXX	
	DR ← M(AR)	7777	XXXX	7777	1200	
	IR ← DR	7777	1200	7777	1200	
	PC ← PC+1	7778	1200	7777	1200	
Ejecución de instrucción	PC ← 7777	7777	1200	7777	1200	

El contador de programa (PC) quedaría con el mismo valor que tenía al principio de la ejecución de la instrucción y, por tanto, el procesador volvería a ejecutar la misma instrucción indefinidamente en el tiempo, quedando “atrapado” en dicha instrucción.

4. Suponga que un procesador dispusiese de una instrucción de *sumar*, ADD R1 DIR1 DIR2 que almacena en el registro R1 del procesador la suma de los contenidos de las posiciones de memoria DIR1 y DIR2 ($R1 \leftarrow M(DIR1) + M(DIR2)$). La instrucción tiene de código (en hexadecimal) 7707. Suponiendo que ésta instrucción se encuentra en la posición B700 de la memoria, que la dirección de los datos en memoria fuesen DIR1 = 5A00 y DIR2 = 5A01, que los contenidos de dichas posiciones de memoria son $M(5A00) = 3CD2$ y $M(5A01) = 4F56$ realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción ADD R1 5A00 5A01 y los valores que tienen en cada momento los registros PC, AR, DR e IR (nota: $3CD2 + 4F56 = 8C28$). Para realizar la instrucción, suponga que el registro R1 va acumulando progresivamente los resultados de la suma.

Fase	Microoperación	Contenidos de los registros				
		PC	IR	AR	DR	R1
Valores iniciales		B700	XXXX	XXXX	XXXX	XXXX
Captación de instrucción	AR ← PC	B700	XXXX	B700	XXXX	XXXX
	DR ← M(AR)	B700	XXXX	B700	7707	XXXX
	IR ← DR	B700	7707	B700	7707	XXXX
	PC ← PC+1	B701	7707	B700	7707	XXXX
Ejecución de instrucción	R1 ← 0000	B701	7707	B700	7707	0000
	AR ← 5A00	B701	7707	5A00	7707	0000
	DR ← M(AR)	B701	7707	5A00	3CD2	0000
	R1 ← R1 + DR	B701	7707	5A00	3CD2	3CD2
	AR ← 5A01	B701	7707	5A01	3CD2	3CD2
	DR ← M(AR)	B701	7707	5A01	4F56	3CD2
	R1 ← R1 + DR	B701	7707	5A01	4F56	8C28
