

# Fundamentos Físicos y Tecnológicos

## Tema 5. Fundamentos de Electrónica Digital

Isabel M. Tienda Luna

Departamento de Electrónica y Tecnología de Computadores  
Universidad de Granada

isabelt@ugr.es

GIADE GIM  
Curso 2020-2021

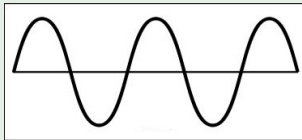
- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

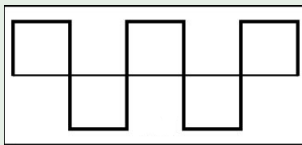
# Señales Analógicas y Señales Digitales

- Una **señal analógica** es aquella que puede tomar infinitos valores a lo largo del tiempo, esto es, que cambia de forma continua.
- Una **señal digital** es aquella que tiene un número finito de valores definidos y cambia de valor por saltos. A esos valores se les llama *estados* o *niveles lógicos*.
- ¿Por qué se ha impuesto la electrónica digital?
  - Inmunidad frente al ruido.
  - Menor complejidad en el diseño.
  - Facilidad de acoplamiento de unos bloques con otros.
  - Integración. Escalas de integración:
    - *SSI*: 100 componentes/chip
    - *MSI*: 100-1000 componentes/chip
    - *LSI*: 1000-10000 componentes/chip
    - *VLSI*: más de 10000 componentes/chip

## Señal Analógica



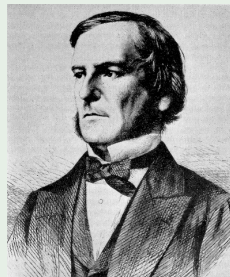
## Señal Digital



# Álgebra de Boole

- George Boole desarrolló un álgebra para investigar las leyes fundamentales de las operaciones de la mente humana que rigen los razonamientos (*Álgebra de Boole*).
- *Objetivo*: definir una serie de símbolos para representar objetos o fenómenos que, encadenados convenientemente, dan lugar a expresiones matemáticas más complejas (*funciones*  $\Rightarrow$  tabla de verdad).
- *Herramientas*: relaciones lógicas.
- *Variables binarias*: pueden tomar sólo dos valores distintos, verdadero (1) y falso (0). El 1 y el 0 **no** expresan cantidades sino estados de las variables.

George Boole



# Álgebra de Boole

- Operadores básicos en álgebra de Boole (+), ( $\cdot$ ) y ( $\overline{\phantom{x}}$ )

A	B	$A+B$
0	0	0
0	1	1
1	0	1
1	1	1

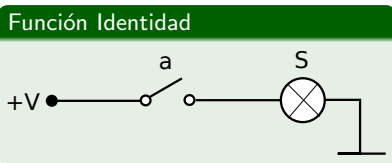
A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

A	$\overline{A}$
0	1
1	0

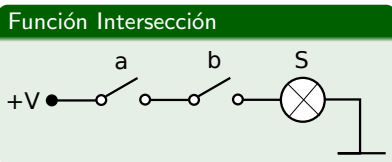
- Propiedad conmutativa:  $A + B = B + A$  y  $A \cdot B = B \cdot A$
- Propiedad distributiva:  $A \cdot (B + C) = A \cdot B + A \cdot C$  y  $A + B \cdot C = (A + B) \cdot (A + C)$
- Elementos neutros:  $A + 0 = A$  y  $A \cdot 1 = A$
- Propiedades del operador ( $\overline{\phantom{x}}$ ):  $A + \overline{A} = 1$  y  $A \cdot \overline{A} = 0$
- Propiedad de los elementos nulos:  $A + 1 = 1$  y  $A \cdot 0 = 0$
- Propiedad de idempotencia:  $A + A = A$  y  $A \cdot A = A$
- Propiedad de involución:  $A + A \cdot B = A$  y  $A \cdot (A + B) = A$
- $\overline{\overline{A}} = A$

# Funciones Lógicas: ejemplos con circuitos sencillos.

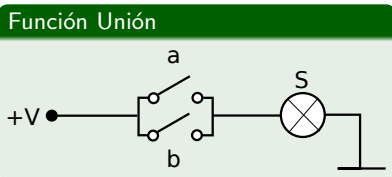
①  $S = a$



②  $S = a \cdot b$



③  $S = a + b$



# Funciones Lógicas: representación. Puertas Lógicas

AND



A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

NAND



A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

OR



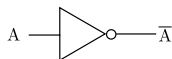
A	B	$A + B$
0	0	0
0	1	1
1	0	1
1	1	1

NOR



A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

NOT



A	$\overline{A}$
0	1
1	0

XOR



A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

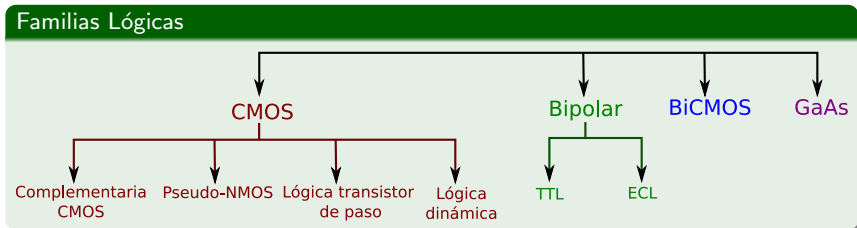
XNOR



A	B	$\overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1



# Familias Lógicas

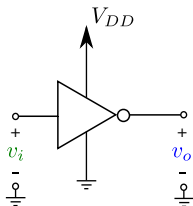


- Los miembros de cada familia se fabrican con la misma tecnología, tienen una estructura de circuito similar y las mismas características básicas.
- En este tema estudiaremos los circuitos básicos basados en transistores MOSFET.
- En el tema anterior ya vimos cómo se comportaban inversores básicos creados con MOSFETs.
- Estudiaremos las características estáticas y dinámicas de esos inversores.
- Normalmente trabajaremos con lógicas positivas: al mayor valor lógico se le asocia un 1.

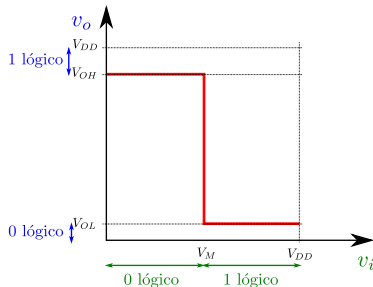
- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

# Características estáticas: Niveles lógicos en el inversor ideal

- Comenzamos estudiando el elemento más básico en el diseño de circuitos digitales: **el inversor lógico ideal**
- En este inversor la transición entre el estado alto y el bajo es abrupta.

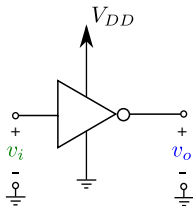


$V_i$	$V_o$
0	1
1	0

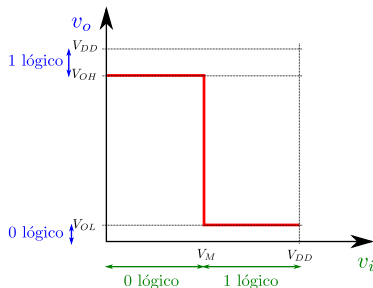


# Características estáticas: Niveles lógicos en el inversor ideal

- $V_{IH}$  es el valor mínimo de tensión de entrada asociado a un 1 lógico  $\Rightarrow$  Si  $v_i \in [V_{IH}, V_{DD}]$  la entrada se considera un 1 lógico. En el inversor ideal  $V_{IH} = V_M$ .
- $V_{IL}$  es el valor máximo de tensión de entrada asociado a un 0 lógico  $\Rightarrow$  Si  $v_i \in [0, V_{IL}]$  la entrada se considera un 0 lógico. En el inversor ideal  $V_{IL} = V_M$ .
- $V_{OH}$  es el valor mínimo de tensión de salida asociado a un 1 lógico  $\Rightarrow$  Si  $v_o \in [V_{OH}, V_{DD}]$  la salida se considera un 1 lógico.
- $V_{OL}$  es el valor máximo de tensión de salida asociado a un 0 lógico  $\Rightarrow$  Si  $v_o \in [0, V_{OL}]$  la salida se considera un 0 lógico.



$V_i$	$V_o$
0	1
1	0



# Características estáticas: Márgenes de ruido en el inversor ideal

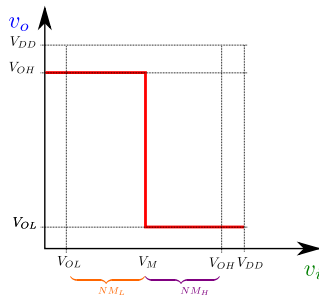
- Para cuantificar la inmunidad al ruido de un circuito lógico se usan los márgenes de ruido. En el caso del **inversor ideal** se definen de la siguiente manera

Margen de ruido en estado bajo

$$NM_L = V_M - V_{OL}$$

Margen de ruido en estado alto

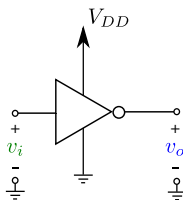
$$NM_H = V_{OH} - V_M$$



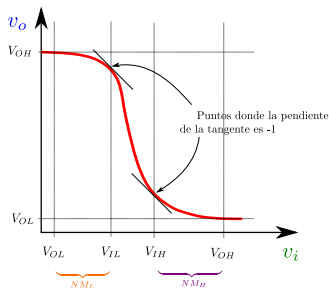
- La diferencia no tendría que ser elevada, pero la posibilidad de que se superpongan ruidos obliga a que este margen lógico sea elevado para garantizar la fiabilidad de la puerta.

# Características estáticas: Niveles lógicos en el inversor real

- Cuando el inversor es **real**, la transición entre el estado alto y el bajo no es abrupta



$V_i$	$V_o$
0	1
1	0



- Hay que establecer un criterio para determinar el rango de valores de entrada que proporcionan un 1 o un 0 lógico porque ahora la transición no es abrupta.
- Se calcula  $V_{IL}$  con el primer valor de entrada para el que la tangente a la característica de transferencia tiene pendiente -1. Derivada segunda negativa.
- Se calcula  $V_{IH}$  con el segundo valor de entrada para el que la tangente a la característica de transferencia tiene pendiente -1. Derivada segunda positiva.

# Características estáticas: Márgenes de ruido en el inversor real

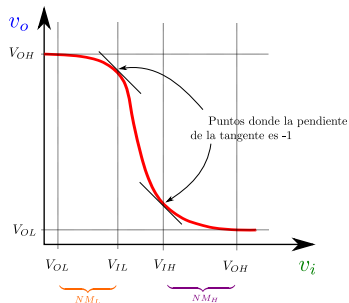
- Para cuantificar la inmunidad al ruido de un circuito lógico se usan los márgenes de ruido. En el caso del **inversor real** se definen de la siguiente manera

Margen de ruido en estado bajo

$$NM_L = V_{IL} - V_{OL}$$

Margen de ruido en estado alto

$$NM_H = V_{OH} - V_{IH}$$



- Es necesario que  $V_{OL} < V_{IL}$  y que  $V_{IH} < V_{OH}$  para asegurar que el nivel de salida de una puerta lógica es un nivel de entrada apropiado para una segunda puerta.

# Características dinámicas

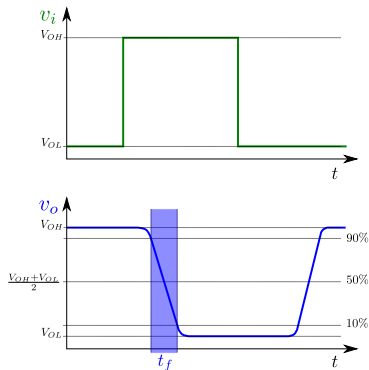
- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:
  - 1 Tiempo de bajada o fall time
  - 2 Tiempo de subida o rise time
  - 3 Tiempo de propagación de estado alto a estado bajo
  - 4 Tiempo de propagación de estado bajo a estado alto
  - 5 Tiempo de propagación o de retardo de la puerta



# Características dinámicas: tiempo de bajada

- El **tiempo de bajada o fall time** ( $t_f$ ) es tiempo necesario para que la amplitud de un pulso disminuya desde el 90 % hasta el 10 % de su valor.

Tiempo de bajada o *fall time*:  $t_f$

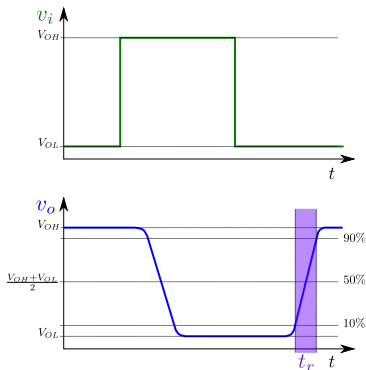


# Características dinámicas: tiempo de subida

- El **tiempo de subida o rise time** ( $t_r$ ) es tiempo necesario para que la amplitud de un pulso crezca desde el 10 % hasta el 90 % de su valor.

Tiempo de bajada o *fall time*:  $t_f$

Tiempo de subida o *rise time*:  $t_r$



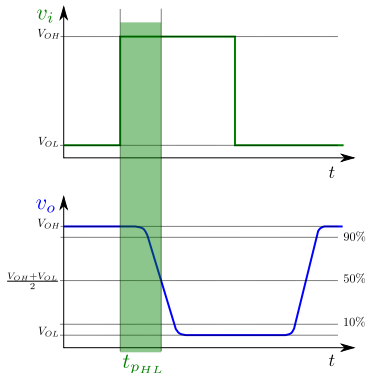
# Características dinámicas: propagación de alto a bajo

- El **tiempo de propagación de estado alto a estado bajo** ( $t_{pHL}$ ) es tiempo transcurrido entre la transición de estado bajo a alto en la entrada y el momento en el que la salida disminuye hasta el 50 % del valor de su amplitud.
- Definición si la entrada no es un pulso perfecto.

Tiempo de bajada o *fall time*:  $t_f$

Tiempo de subida o *rise time*:  $t_r$

Tiempo de propagación de nivel  
alto a bajo:  $t_{pHL}$



# Características dinámicas: propagación de bajo a alto

- El **tiempo de propagación de estado bajo a estado alto** ( $t_{p_{LH}}$ ) es tiempo transcurrido entre la transición de estado alto a bajo en la entrada y el momento en el que la salida aumenta hasta el 50% del valor de su amplitud.
- Definición si la entrada no es un pulso perfecto.

Tiempo de bajada o *fall time*:  $t_f$

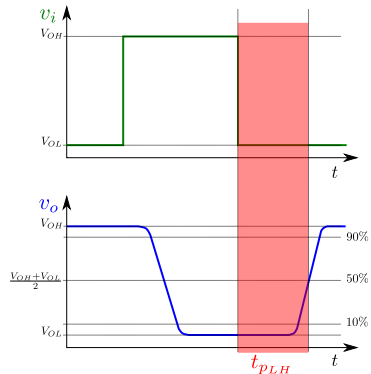
Tiempo de subida o *rise time*:  $t_r$

Tiempo de propagación de nivel

alto a bajo:  $t_{p_{HL}}$

Tiempo de propagación de nivel

bajo a alto:  $t_{p_{LH}}$



# Características dinámicas: tiempo de propagación

- El tiempo de propagación o de retardo ( $t_p$ ) tiene en cuenta el retraso en los cambios de la salida con respecto a los cambios en la entrada.
- $t_p$  se usa para comparar la velocidad entre circuitos lógicos  $\Rightarrow$  cuanto menor sea su valor, más rápida es la puerta y a mayor frecuencia podrá operar.

Tiempo de bajada o *fall time*:  $t_f$

Tiempo de subida o *rise time*:  $t_r$

Tiempo de propagación de nivel

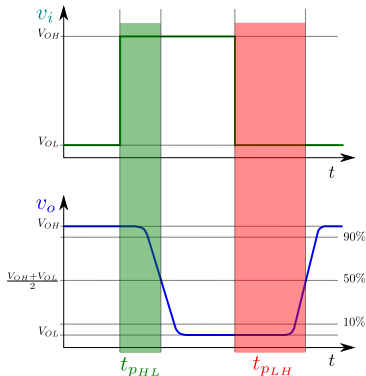
alto a bajo:  $t_{pHL}$

Tiempo de propagación de nivel

bajo a alto:  $t_{pLH}$

Tiempo de propagación o de retardo

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$



# Potencia consumida por una puerta

- **Potencia estática:** es la que se consume cuando no hay actividad en el circuito, esto es, la salida tiene un valor dado, no hay transición entre estados. Su valor depende de la corriente que circula por el circuito y del potencial suministrado por la fuente de alimentación.
- **Potencia dinámica:** es la que se consume cuando el circuito lógico está realizando una operación. Su valor depende de la frecuencia a la que se trabaje, de las características capacitivas del circuito y de su alimentación.
- Minimización de la disipación de potencia:
  - Ventajas de tipo funcional: fuentes menos costosas, mayor autonomía, menor coste en refrigeración.
  - Cuanto más reducido sea el consumo por puerta, más puertas se podrán integrar en un mismo circuito manteniendo constante la capacidad de disipación de calor del mismo  $\Rightarrow$  Menor área de Silicio por puerta lógica
- Producto retardo-potencia.
  - Cuando uno de ellos aumenta el otro disminuye y viceversa.
  - Parámetro que resume las características mas relevantes de una determinada tecnología.
  - Interesan valores tan pequeños como sea posible.

# Potencia consumida por una puerta: Fan-in y Fan-out

Debido a la energía máxima que una puerta lógica puede absorber o consumir se impone un límite al número máximo de entradas o salidas que puede tener.

## Fan-in

- El Fan-in es el número máximo de puertas que se pueden conectar a la entrada sin estropear el funcionamiento de la puerta.
- Si se excede este valor la puerta lógica producirá una salida en un estado indeterminado o incorrecto.

## Fan-out

- El Fan-out es el número máximo de puertas que se pueden conectar a la salida de la puerta.
- El fan-out depende de la cantidad de corriente que una puerta es capaz de suministrar o consumir al estar conectada a otras puertas.
- Un fan-out mayor que el recomendado puede producir aumento de la temperatura del dispositivo (perjudicando su funcionamiento), aumento de los tiempos de subida y bajada, aumento del retardo, etc..

- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET**

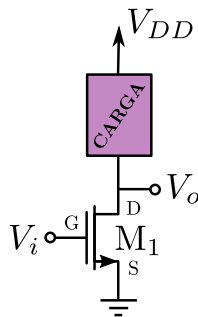


# Lógica MOS

- Es una de las cuatro tecnologías más utilizadas para hacer circuitos digitales.
- Permite implementar con una mayor densidad: Cada transistor NMOS utilizado ocupa un espacio inferior al de los bipolares.
- Simplicidad de la topología.
- Para entender el funcionamiento de esta lógica conviene ver el NMOS como interruptor.

# Estructura general del inversor NMOS

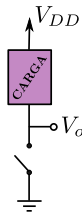
- $M_1$  es un transistor MOSFET tipo n con la fuente a tierra. La entrada se coloca en la puerta y la salida se mide en el drenador.
- Siempre se cumple que:
  - 1  $V_i = V_{GS}$
  - 2  $V_o = V_{DS}$
- La carga puede ser:
  - 1 Una resistencia.
  - 2 Un NMOS con la puerta y el drenador cortocircuitados.
  - 3 Un PMOS  $\Rightarrow$  lógica CMOS.



# El inversor NMOS como interruptor

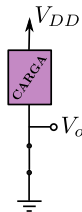
## Análisis Abierto

- Si  $V_i = 0$  lógico  $\Rightarrow V_{GS} < V_T \Rightarrow I_D \simeq 0$
- $V_o = 1$  lógico
- **Interruptor Abierto**



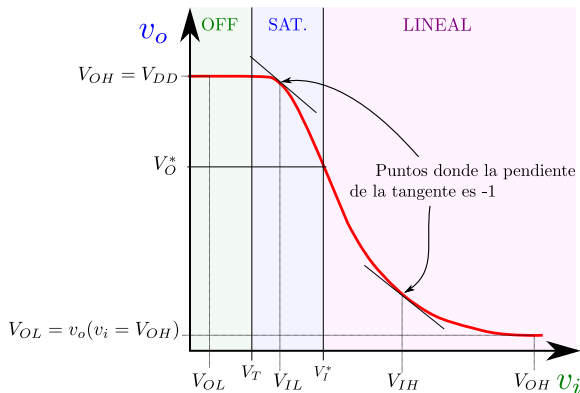
## Análisis Cerrado

- Si  $V_i = 1$  lógico  $\Rightarrow V_{GS} > V_T \Rightarrow I_D \neq 0$
- $V_o = 0$  lógico
- Dos posibilidades:  $V_{DS} < V_{GS} - V_T$  (Lineal)  
o  $V_{DS} > V_{GS} - V_T$  (Saturación)
- **Interruptor Cerrado**

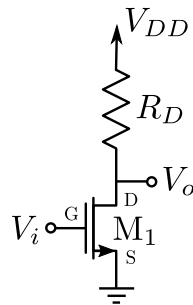


# El inversor NMOS con resistencia como carga

## Característica de Transferencia



## Circuito



# El inversor NMOS con resistencia como carga

1 Si  $V_i = V_{GS} < V_T \Rightarrow$  NMOS OFF  $\Rightarrow I_D = \frac{V_{DD} - V_o}{R_D} \simeq 0 \Rightarrow V_o = V_{DD} = V_{OH}$ .

2 Si  $V_i = V_{GS} > V_T$  hay dos posibilidades:

a **NMOS Saturación:** al principio,  $V_i = V_{GS} > V_T$  (sólo un poco)  $\Rightarrow$  NMOS ON  $\Rightarrow V_o = V_{DS} > V_{GS} - V_T = V_i - V_T \Rightarrow$  NMOS en Saturación.

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 = \frac{V_{DD} - V_o}{R_D} \Rightarrow V_o = V_{DD} - \frac{kR_D}{2} (V_i - V_T)^2$$

b **NMOS Lineal:** sigue aumentando  $V_i \Rightarrow V_o$  disminuye hasta que  $V_o = V_{DS} = V_{GS} - V_T = V_i - V_T \Rightarrow$  el transistor pasa a la región lineal donde  $V_o = V_{DS} < V_{GS} - V_T = V_i - V_T$ .

$$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] = \frac{V_{DD} - V_o}{R_D} \Rightarrow$$

$$V_o = \frac{1 + kR_D(V_i - V_T)}{kR_D} - \frac{\sqrt{(1 + kR_D(V_i - V_T))^2 - 2kR_DV_{DD}}}{kR_D}$$

# El inversor NMOS con resistencia como carga

Puntos de interés:

- 1 Paso de saturación a lineal. Ocurre cuando  $V_{DS} = V_o = V_{GS} - V_T = V_i - V_T$ . Llamo a  $V_o$  en el que se produce la transición  $V_o^*$  y a  $V_i$  en el que se produce la transición  $V_i^*$ .

$$\begin{aligned} V_o^* &= V_{DD} - R_D I_D = V_{DD} - \frac{k R_D}{2} (V_i^* - V_T)^2 \\ V_o^* &= V_i^* - V_T \\ V_o^* &= \frac{-1 + \sqrt{1 + 2k R_D V_{DD}}}{k R_D} \end{aligned}$$

- 2 En la región lineal, calculo  $V_{OL}$  como  $V_o$  en el que  $V_i = V_{OH} = V_{DD}$ :

$$V_{OL} = \frac{1 + k R_D (V_{DD} - V_T)}{k R_D} - \frac{\sqrt{(1 + k R_D (V_{DD} - V_T))^2 - 2k R_D V_{DD}}}{k R_D}$$

- Podemos elegir el valor de  $V_{OL}$  seleccionando adecuadamente el valor de  $R_D$ .

# Características del inversor NMOS con resistencia como carga

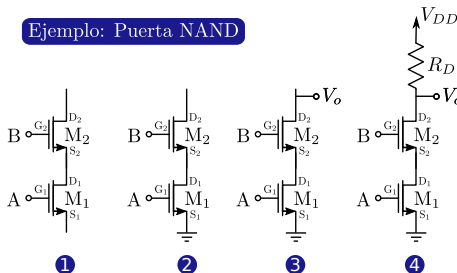
- $V_{OH}$  es el máximo posible  $\Rightarrow$  buen margen de ruido en estado alto.
- Eligiendo  $R_D$  grande puede conseguirse  $V_{OL}$  muy pequeño  $\Rightarrow$  buen margen de ruido en estado bajo.
- Con  $R_D$  grandes: se tienen potencias disipadas pequeñas pero causa problemas de integración.

# ¿Cómo construimos una puerta lógica con esta estructura?

Comenzamos escribiendo  $\overline{V_o}$  (pues la base de nuestros circuitos es un inversor) y usando el álgebra de Boole para simplificar la expresión resultante.

- 1 Creamos la red NMOS teniendo en cuenta que:
  - Las variables que se multipliquen alimentan transistores en serie.
  - Las variables que se sumen alimentan transistores en paralelo.
- 2 Colocamos la referencia del circuito en la fuente del transistor que se encuentre más abajo en la red.
- 3 Colocamos la salida en el drenador del transistor que esté más arriba en la red.
- 4 Conectamos la carga (la resistencia en este caso) y la alimentación a la salida.

## Ejemplo: Puerta NAND





# ¿Cómo construimos una puerta lógica con esta estructura?

## Algebra de Boole: Algunas reglas útiles.

Identidades OR	Identidades AND
$A + 0 = A$	$A \cdot 0 = 0$
$A + 1 = 1$	$A \cdot 1 = A$
$A + A = A$	$A \cdot A = A$
$A + \bar{A} = 1$	$A \cdot \bar{A} = 0$
$\overline{\bar{A}} = A$	
$A + B = B + A$	$A \cdot B = B \cdot A$
$A + (B + C) = (A + B) + C$	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$
$\overline{(A + B)} = \bar{A} \cdot \bar{B}$	$\overline{(A \cdot B)} = \bar{A} + \bar{B}$
$A + A \cdot B = A$	$A + \bar{A} \cdot B = A + B$

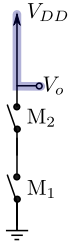
# ¿Cómo comprobamos el funcionamiento una puerta lógica con esta estructura?

- Dada una combinación de entradas, tratamos los transistores como interruptores cuyo funcionamiento basamos en el análisis presentado antes.
- Para los transistores NMOS:
  - ★ Si la entrada es un **1** lógico el interruptor está **cerrado**. NMOS en **Lineal**.
  - ★ Si la entrada es un **0** lógico el interruptor está **abierto**. NMOS en **Corte**.
- La resistencia de carga siempre se comporta como un interruptor cerrado, deja pasar la corriente.
- Si hay un camino desde la salida hasta tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

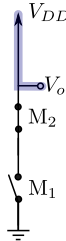
# ¿Cómo comprobamos el funcionamiento una puerta lógica con esta estructura?

## Ejemplo: Puerta NAND

A	B	$V_o$
0	0	1



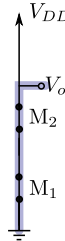
A	B	$V_o$
0	1	1



A	B	$V_o$
1	0	1

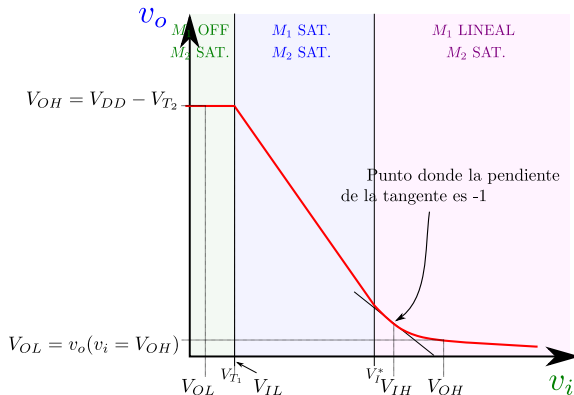


A	B	$V_o$
1	1	0

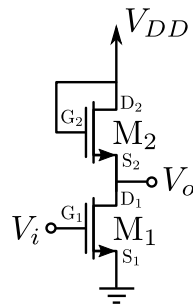


# El inversor NMOS con transistor NMOS como carga

## Característica de Transferencia



## Circuito



# El inversor NMOS con transistor NMOS como carga

## Ecuaciones Generales:

- $V_{DD} = V_{DS1} + V_{DS2}$
- Transistores en serie  $\Rightarrow I_{D1} = I_{D2}$

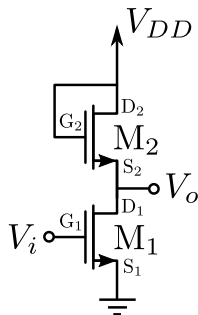
## Transistor $M_1$ :

- Funciona como inversor
- $V_{DS1} = V_o \Rightarrow V_{DS2} = V_{DD} - V_o$
- $V_{GS1} = V_i$

## Transistor $M_2$ :

- Actúa como carga
- $V_{GS2} = V_{DS2} \Rightarrow V_{DS2} > V_{GS2} - V_{T2}$
- Si  $M_2$  conduce, siempre lo hace en saturación:

$$I_{D2} = \frac{k_2}{2} (V_{GS2} - V_{T2})^2 \stackrel{V_{GS2}=V_{DS2}}{=} \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2$$



# El inversor NMOS con transistor como carga

**Analizamos el circuito** añadiendo a las ecuaciones generales las ecuaciones correspondientes a cada posible estado del transistor **M<sub>1</sub>**:

- 1 Si  $V_i < V_{T1} \Rightarrow \mathbf{M_1 \text{ OFF}} \Rightarrow I_{D1} = I_{D2} = 0 \Rightarrow I_{D2} = \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2 = 0$   
 $\Rightarrow V_o = V_{DD} - V_{T2} = V_{OH}$
- 2 Si  $V_i > V_{T1}$  (sólo un poco mayor)  $\Rightarrow \mathbf{M_1 \text{ ON (En Saturación)}}$   $\Rightarrow$

$$\begin{aligned} I_{D1} &= \frac{k_1}{2} (V_i - V_{T1})^2 \\ I_{D1} &= I_{D2} \\ \frac{k_1}{2} (V_i - V_{T1})^2 &= \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2 \end{aligned}$$

- 3 Si sigo aumentando  $V_i \Rightarrow V_o$  disminuye  $\Rightarrow \mathbf{M_1 \text{ pasa a Lineal}}$

$$\begin{aligned} I_{D1} &= \frac{k_1}{2} [2 (V_i - V_{T1}) V_o - V_o^2] \\ I_{D1} &= I_{D2} \\ \frac{k_1}{2} [2 (V_i - V_{T1}) V_o - V_o^2] &= \frac{k_2}{2} (V_{DD} - V_o - V_{T2})^2 \end{aligned}$$

# Características del inversor NMOS con transistor como carga

Si comparamos el inversor NMOS con la resistencia como carga y el inversor NMOS con el transistor como carga, éste último tiene como:

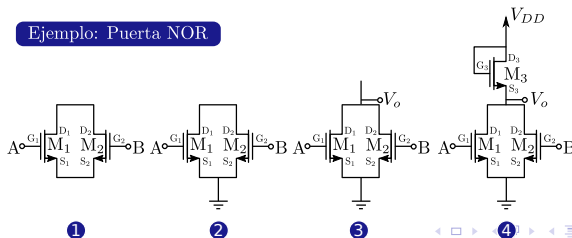
- Ventaja: ocupa menos área al ser los transistores de menor tamaño que las resistencias.
- Inconveniente:  $V_{OH}$  es menor.

# ¿Cómo construimos una puerta lógica con esta estructura?

Comenzamos escribiendo  $\overline{V_o}$  (pues la base de nuestros circuitos es un inversor) y usando el álgebra de Boole para simplificar la expresión resultante.

- 1 Creamos la red NMOS teniendo en cuenta que:
  - La base es un inversor  $\Rightarrow$  la función sintetizada a la salida estará invertida.
  - Se necesita un transistor NMOS por cada variable.
  - Las variables que se multipliquen alimentan transistores en serie.
  - Las variables que se sumen alimentan transistores en paralelo.
- 2 Colocamos la referencia del circuito en la fuente del transistor que se encuentre más abajo en la red.
- 3 Colocamos la salida en el drenador del transistor que esté más arriba en la red.
- 4 Conectamos la carga (otro NMOS en este caso) y la alimentación a la salida.

Ejemplo: Puerta NOR





# ¿Cómo comprobamos el funcionamiento una puerta lógica con esta estructura?

- Dada una combinación de entradas, tratamos los transistores como interruptores cuyo funcionamiento basamos en el análisis presentado antes.
- Para los transistores NMOS:
  - ★ Si la entrada es un **1** lógico el interruptor está **cerrado**. NMOS en **Lineal**.
  - ★ Si la entrada es un **0** lógico el interruptor está **abierto**. NMOS en **Corte**.
- El transistor NMOS de carga siempre se comporta como un interruptor cerrado.
- Si hay un camino desde la salida hasta tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

# ¿Cómo comprobamos el funcionamiento una puerta lógica con esta estructura?

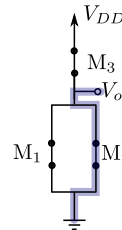
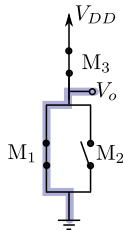
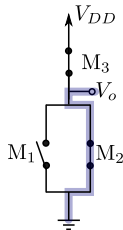
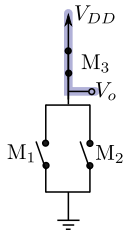
## Ejemplo: Puerta NOR

A	B	$V_o$
0	0	1

A	B	$V_o$
0	1	0

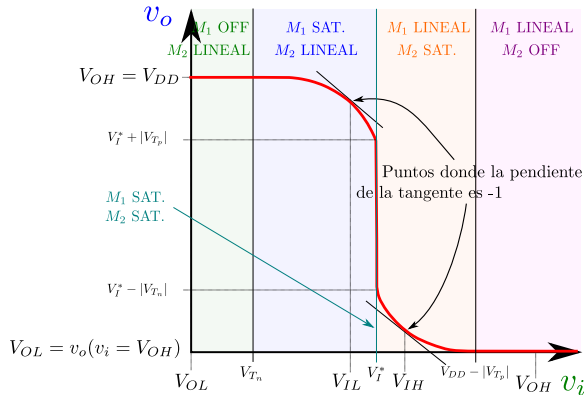
A	B	$V_o$
1	0	0

A	B	$V_o$
1	1	0

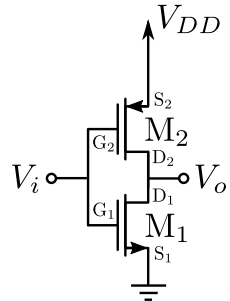


# El inversor NMOS con transistor PMOS como carga: el inversor CMOS

## Característica de Transferencia



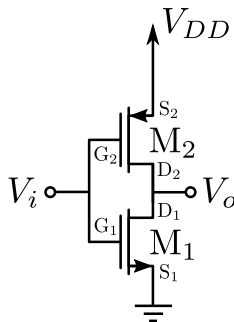
## Circuito



- Recordamos que el PMOS funciona como el NMOS usando  $|V_{GS}|$ ,  $|V_{DS}|$ ,  $|V_{Tp}|$ ,  $|I_D|$ .
- $V_{DD} = V_{DS_1} + V_{SD_2} \Rightarrow V_{DD} = V_{DS_1} - V_{DS_2}$
- Transistores en serie  $\Rightarrow I_{D_1} = |I_{D_2}|$

- Funciona como inversor
- $V_{DS1} = V_o \Rightarrow V_{DS2} = V_o - V_{DD}$
- $V_{GS1} = V_i$

- Actúa como carga
- $V_{GS_2} = V_i - V_{DD} \Rightarrow |V_{GS_2}| = V_{DD} - V_i$
- $V_{DS_2} = V_o - V_{DD} \Rightarrow |V_{DS_2}| = V_{DD} - V_o$



# Ecuaciones del NMOS en el inversor CMOS

- **Ecuaciones Generales** (analizamos el circuito):

$$V_{GS_1} = V_i$$

$$V_{DS_1} = V_o$$

- $M_1$  en **OFF** si  $V_{GS_1} < V_{Tn} \Rightarrow V_i < V_{Tn}$ .
- $M_1$  en **ON** si  $V_{GS_1} > V_{Tn} \Rightarrow V_i > V_{Tn}$ . El transistor puede estar en Lineal o en Saturación:

- **Lineal** si  $V_{DS_1} < V_{GS_1} - V_{Tn} \Rightarrow V_o < V_i - V_{Tn} \Rightarrow V_i > V_o + V_{Tn}$

$$I_{D_1} = \frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2]$$

- **Saturación** si  $V_{DS_1} > V_{GS_1} - V_{Tn} \Rightarrow V_o > V_i - V_{Tn} \Rightarrow V_i < V_o + V_{Tn}$

$$I_{D_1} = \frac{k_n}{2} (V_i - V_{Tn})^2$$

# Ecuaciones del PMOS en el inversor CMOS

- **Ecuaciones Generales** (analizamos el circuito):

$$V_{GS_2} = V_i - V_{DD} \Rightarrow |V_{GS_2}| = V_{DD} - V_i$$

$$V_{DS_2} = V_o - V_{DD} \Rightarrow |V_{DS_2}| = V_{DD} - V_o$$

- $M_2$  en **OFF** si  $|V_{GS_2}| < |V_{Tp}| \Rightarrow V_{DD} - V_i < |V_{Tp}| \Rightarrow V_i > V_{DD} - |V_{Tp}|$ .
- $M_2$  en **ON** si  $|V_{GS_2}| > |V_{Tp}| \Rightarrow V_i < V_{DD} - |V_{Tp}|$ . El transistor puede estar en Lineal o en Saturación:

- **Lineal** si  $|V_{DS_2}| < |V_{GS_2}| - |V_{Tp}| \Rightarrow V_{DD} - V_o < V_{DD} - V_i - |V_{Tp}| \Rightarrow V_i < V_o - |V_{Tp}|$

$$|I_{D_2}| = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

- **Saturación** si  $|V_{DS_2}| > |V_{GS_2}| - |V_{Tp}| \Rightarrow V_i > V_o + |V_{Tp}|$

$$|I_{D_2}| = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

# Análisis del inversor CMOS

## Región I

- En esta región  $V_i < V_{Tn} \Rightarrow M_1$  está **OFF**  $\Rightarrow I_{D1} = 0$ .
- Si  $I_{D1} = 0 \Rightarrow I_{D2} = 0$  porque están en serie.
- ¿En que modo se encuentra  $M_2$ ?
  - No está en corte porque su condición de corte ( $V_i > V_{DD} - |V_{Tp}|$ ) es incompatible con que  $V_i < V_{Tn}$ .
  - No está en Saturación porque no puede cumplirse que

$$|I_{D2}| = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2 = 0$$

para cualquier valor de  $V_i$  en esta región.

- Por tanto,  $M_2$  está en **Lineal** y:

$$|I_{D2}| = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2] = 0$$

se cumple sólo si  $V_o = V_{DD}$ .

# Análisis del inversor CMOS

## Región II

- Si  $V_i$  aumenta hasta  $V_i > V_{Tn} \Rightarrow M_1$  está en **Saturación**.
- $M_2$  sigue en **Lineal**.
- Usando que  $I_{D1} = |I_{D2}|$ :

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} [2 (V_{DD} - V_i - |V_{Tp}|) (V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

- Al despejar  $V_o$  en función de  $V_i$ , se obtiene una función decreciente. Esto es, si  $V_i$  aumenta,  $V_o$  disminuye.



## Región III

- Si  $V_i$  aumenta,  $M_1$  sigue en **Saturación**.
- $M_2$  pasa de Lineal a **Saturación**.
- Usando que  $I_{D1} = |I_{D2}|$ :

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

- Al resolver la ecuación anterior vemos que solo existe un valor de  $V_i (= V_i^*)$  para el que los dos transistores están saturados:

$$V_i^* = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{k_n}{k_p}}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

- CMOS simétrico si  $V_i^* = V_{DD}/2$  y ocurre cuando  $V_{Tn} = |V_{Tp}|$  y  $k_n = k_p$ .

# Análisis del inversor CMOS

## Región IV

- Si  $V_i > V_I^*$   $M_1$  pasa a **Lineal**.
- $M_2$  sigue en **Saturación**.
- Usando que  $I_{D1} = |I_{D2}|$ :

$$\frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2] = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

- Si despejamos  $V_o$  en función de  $V_i$ , obtenemos una función decreciente. Esto es, si aumentamos  $V_i$ ,  $V_o$  disminuye.
- $V_o$  va a disminuir hasta que  $M_2$  entra en Corte.

# Análisis del inversor CMOS

## Región V

- Si  $V_i > V_i^*$  sigue aumentando,  $M_1$  sigue en **Lineal**.
- Al aumentar  $V_i$ , baja  $V_o$  hasta que  $M_2$  entra en **Corte**  $\Rightarrow I_{D2} = 0$ .
- Usando que  $I_{D1} = |I_{D2}|$ :

$$I_{D1} = I_{D2} = 0$$

- Cuando  $M_2$  entra en Corte se cumple que

$$\frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2] = 0$$

que solo es cierta si  $V_o = 0$ .

# Características del inversor CMOS

- Con esta construcción se pretende que el consumo de potencia sea más reducido.
- La potencia estática (consumida cuando la salida es 0 o 1, no en las transiciones) es prácticamente nula gracias a que cuando el transistor NMOS conduce, el PMOS está en corte y viceversa.
- En esta configuración el número de transistores es el mayor porque por cada entrada se necesitan dos transistores: uno P y otro N.

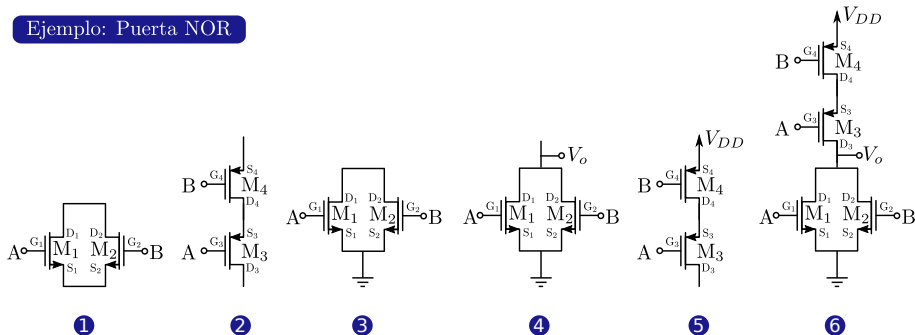
# ¿Cómo construimos una puerta lógica con CMOS?

Comenzamos escribiendo  $\overline{V_o}$  (pues la base de nuestros circuitos es un inversor) y usando el álgebra de Boole para simplificar la expresión resultante.

- 1 Creamos la red NMOS teniendo en cuenta que:
  - La base es un inversor  $\Rightarrow$  la función sintetizada a la salida estará invertida.
  - Las variables que se multipliquen alimentan transistores tipo N en serie.
  - Las variables que se sumen alimentan transistores tipo N en paralelo.
- 2 Creamos la red PMOS teniendo en cuenta que:
  - Las variables que se multipliquen alimentan transistores tipo P en paralelo.
  - Las variables que se sumen alimentan transistores tipo P en serie.
- 3 Colocamos la referencia del circuito en la fuente del transistor tipo N que se encuentre más abajo en la red.
- 4 Colocamos la salida en el drenador del transistor tipo N que esté más arriba en la red NMOS.
- 5 Colocamos la alimentación en la fuente del transistor tipo P que esté más arriba en la red PMOS.
- 6 Conectamos la carga (red PMOS) cortocircuitando la salida con el drenador de la red PMOS que se encuentre más abajo.

# ¿Cómo construimos una puerta lógica con CMOS?

## Ejemplo: Puerta NOR



# ¿Cómo comprobamos el funcionamiento una puerta lógica con CMOS?

- Dada una combinación de entradas, tratamos los transistores como interruptores cuyo funcionamiento basamos en el análisis presentado antes.
- Para los transistores NMOS:
  - ★ Si la entrada es un **1** lógico el interruptor está **cerrado**. NMOS en **Lineal**.
  - ★ Si la entrada es un **0** lógico el interruptor está **abierto**. NMOS en **Corte**.
- Para los transistores PMOS:
  - ★ Si la entrada es un **1** lógico el interruptor está **abierto**. PMOS en **Corte**.
  - ★ Si la entrada es un **0** lógico el interruptor está **cerrado**. PMOS en **Lineal**.
- Si hay un camino desde la salida hasta tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

# ¿Cómo comprobamos el funcionamiento una puerta lógica con CMOS?

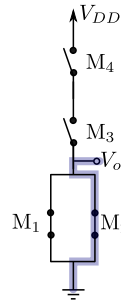
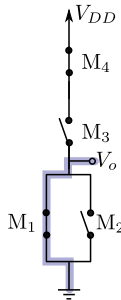
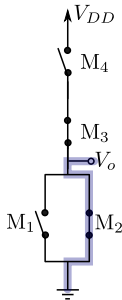
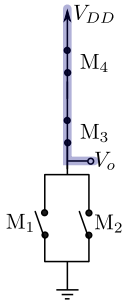
Ejemplo: Puerta NOR

A	B	$V_o$
0	0	1

A	B	$V_o$
0	1	0

A	B	$V_o$
1	0	0

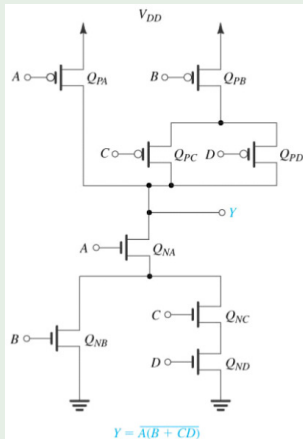
A	B	$V_o$
1	1	0





$$Y = \overline{A \cdot (B + C \cdot D)}$$

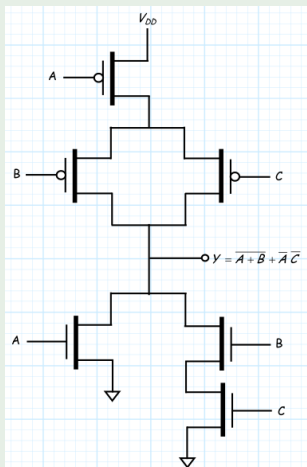
## Circuito



$$Y = \overline{A \cdot (B + C \cdot D)}$$

$$Y = \overline{A + B} + \overline{A} \cdot \overline{C}$$

## Circuito



$$Y = \overline{A + B} + \overline{A} \cdot \overline{C}$$

$$\overline{Y} = \overline{\overline{A + B} + \overline{A} \cdot \overline{C}}$$

$$\overline{Y} = \overline{\overline{A + B}} \cdot \overline{\overline{A} \cdot \overline{C}}$$

$$\overline{Y} = (A + B) \cdot (\overline{\overline{A}} + \overline{\overline{C}})$$

$$\overline{Y} = (A + B) \cdot (A + C)$$

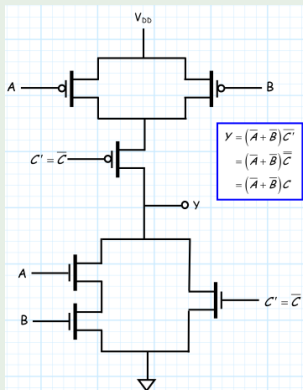
$$\overline{Y} = A \cdot A + A \cdot C + B \cdot A + B \cdot C$$

$$\overline{Y} = A \cdot (A + B + C) + B \cdot C$$

$$\overline{Y} = A + B \cdot C$$

$$Y = (\overline{A} + \overline{B}) \cdot C$$

## Circuito



$$Y = (\overline{A} + \overline{B}) \cdot C$$

$$\overline{Y} = \overline{(\overline{A} + \overline{B}) \cdot C}$$

$$\overline{Y} = \overline{(\overline{A} + \overline{B})} + \overline{C}$$

$$\overline{Y} = A \cdot B + \overline{C}$$