

Nombre:	
DNI:	Grupo:

Examen de Problemas (3,0 p)

1. Ensamblador (1 punto). Una posible implementación en C para la función

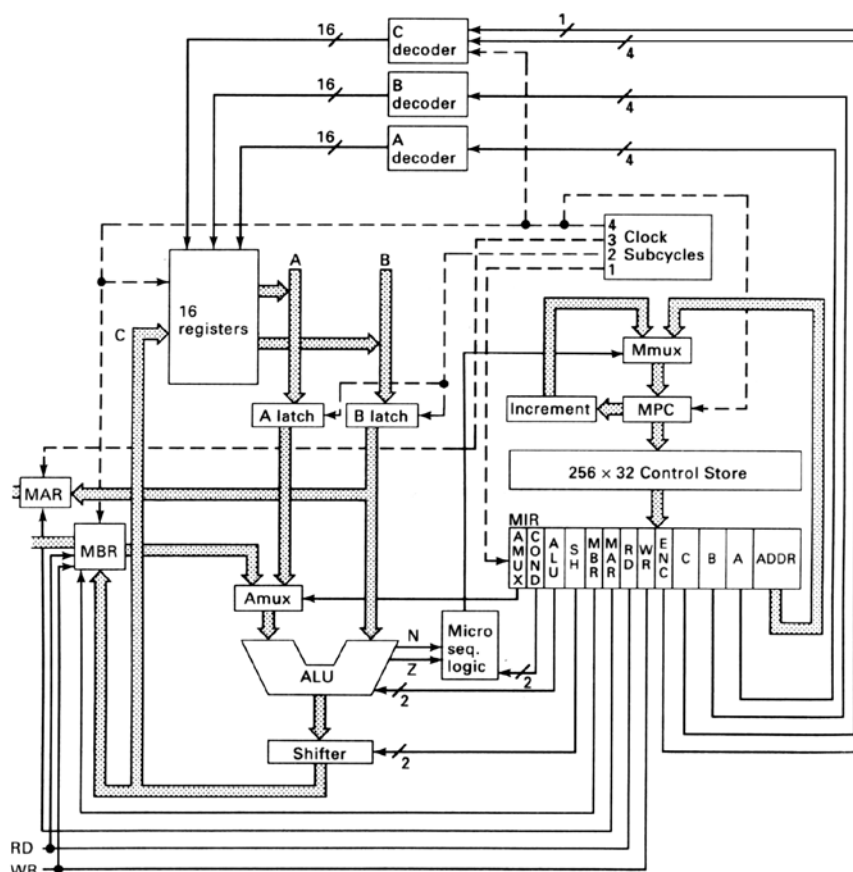
```
size_t mystrlen(const char *s);
```

que calcula la longitud de una cadena de caracteres apuntada por s, es esta:

```
#include <stddef.h>
size_t mystrlen(const char *s) {
    size_t len;
    for (len = 0; s[len] != 0; len++);
    return len;
}
```

Escriba dos soluciones en ensamblador, una para IA32 y otra para x86-64, para dicha función. El tipo `size_t` es equivalente a un entero sin signo de 32 bits y 64 bits, respectivamente.

2. Unidad de control (0.6 puntos). La microarquitectura de la siguiente figura cuenta al menos con estos registros de 32 bits:



- SP, que indica la dirección de memoria del tope de la pila.
- IR, que contiene la instrucción que se está ejecutando.
- +1, cuyo valor es +1
- -1, cuyo valor es -1

El registro MAR tiene 28 bits y está conectado a los 28 bits menos significativos del bus B.

Escriba el microcódigo (microinstrucciones) para implementar las siguientes instrucciones, usando pseudocódigo (sin detallar las señales de control):

- **pop dir**, que saca datos del tope de la pila y los almacena en la dirección de memoria dir (dir es un operando de 28 bits).
- **push dir**, que coloca los datos almacenados en la dirección de memoria dir (dir es un operando de 28 bits) en el tope de la pila.

3. Entrada/salida (0.4 puntos). Necesitamos conocer el impacto de la sobrecarga que supone el *polling* en una interfaz de ratón que debe ser sondeada 30 veces por segundo para asegurar que no se pierde ningún movimiento realizado por el usuario. Suponga que el número de ciclos que requiere cada operación de *polling*, incluidos el salto a la rutina de encuesta, el acceso al dispositivo y el retorno al programa de usuario, es 400 ciclos, y que el procesador trabaja con un reloj de 2 GHz. Determine la proporción (porcentaje) del tiempo de CPU que consume el *polling*.

4. Configuración de memoria (0.5 puntos). Diseñe y dibuje el esquema de interconexión de una memoria SRAM de 4K palabras x 8 bits de longitud de palabra, a partir de módulos de memoria de 2K x 1 bits y módulos combinacionales.

5. Memoria cache (0.5 puntos). El SiFive U54-MC Core Complex es una implementación multi núcleo de la arquitectura abierta RISC-V. Cada uno de los núcleos U54 tiene un espacio de direccionamiento virtual de 512 GiB, un espacio de direcciones físicas de 38 bits, una cache L1 de instrucciones de 32 KB y otra L1 de datos de 32 KB. Cada una de las caches es asociativa por conjuntos con 8 vías, con líneas de 64 B.

- (0.1) Indique la primera y la última direcciones virtuales en hexadecimal
- (0.1) Indique la primera y la última direcciones físicas en hexadecimal
- (0.3) Indique los nombres y tamaños de los campos en los que se divide una dirección de memoria física de memoria desde el punto de vista de una cache L1