

Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Ciência da Computação
INE5411 - Organização de Computadores I

Relatório Laboratório 7

Joshua Cruz do Amaral (24205457)
Julia Macedo de Castro (23250860)

Florianópolis
2025

1. Tabela da taxa de falhas (Miss Rate)

Placement Policy: DIRECT MAPPING

	8 blocks 4 words	8 blocks 8 words	16 blocks 8 words	16 blocks 16 words	16 blocks 32 words
<i>rows</i>	17,00%	12,00%	9,00%	4,00%	1,00%
<i>cols</i>	36,00%	33,00%	30,00%	4,00%	1,00%

Placement Policy: FULLY ASSOCIATIVE

	8 blocks 4 words	8 blocks 8 words	16 blocks 8 words	16 blocks 16 words	16 blocks 32 words
<i>rows</i>	12,00%	6,00%	6,00%	3,00%	1,00%
<i>cols</i>	30,00%	27,00%	6,00%	3,00%	1,00%

Placement Policy: N-WAY SET ASSOCIATIVE

	8 blocks 4 words	8 blocks 8 words	16 blocks 8 words	16 blocks 16 words	16 blocks 32 words
<i>rows</i>	17,00%	12,00%	9,00%	4,00%	1,00%
<i>cols</i>	36,00%	33,00%	30,00%	4,00%	1,00%

Imagens do Data Cache Simulator:

1. Rows: 8 blocks, 4 words, Direct Mapping

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping Number of blocks: 8

Block Replacement Policy: LRU Cache block size (words): 4

Set size (blocks): 1 Cache size (bytes): 128

Cache Performance

Memory Access Count: 1056 Cache Block Table (block 0 at top)

Cache Hit Count: 872

Cache Miss Count: 184

Cache Hit Rate: 83%

Legend: ☐ = empty ☒ = hit ☐ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS Reset Close

2. Cols: 8 blocks, 4 words, Direct Mapping

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping Number of blocks: 8

Block Replacement Policy: LRU Cache block size (words): 4

Set size (blocks): 1 Cache size (bytes): 128

Cache Performance

Memory Access Count: 1056 Cache Block Table (block 0 at top)

Cache Hit Count: 680

Cache Miss Count: 376

Cache Hit Rate: 64%

Legend: ☐ = empty ☒ = hit ☐ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS Reset Close

Análise geral:

Analisamos duas implementações, a que percorre a matriz 16x16 linha por linha (*rows*) e a que percorre coluna por coluna (*cols*). As taxas de miss de *rows* são menores que as taxas de *cols* em todas as configurações, pois os elementos da matriz em *rows* são armazenados em sequência por linha, logo os próximos elementos a serem lidos estão próximos na memória e são carregados no mesmo bloco de cache. Em *cols*, o próximo elemento a ser lido está na outra linha, então outro bloco de memória precisa ser carregado, aumentando o miss rate.

Comparação - tamanho do bloco (words):

Aumentando o tamanho dos blocos as taxas diminuem bastante, ambos chegando a 1% de miss rate com 32 words. De 4 para 8 words a diferença foi maior em *rows*, por causa da localidade espacial explicada anteriormente.

Comparação - número de blocos (blocks):

Aumentando o número de blocos temos uma redução da miss rate parecida nas duas implementações, visto que mais blocos podem armazenar mais partes da matriz ao mesmo tempo.

Comparação - Placement Policy:

Observa-se que os diferentes mapeamentos fazem mais diferença em caches menores, porém notamos no geral as seguintes especificidades de cada um:

- *Direct Mapping*: por ser simples e ter mapeamento direto da memória para o cache, possui miss rate maior por causa de conflitos entre endereços que mapeiam para o mesmo bloco.

- *Fully Associative*: possui miss rate menor, já que qualquer bloco pode armazenar qualquer endereço, porém é um dos mais custosos a se implementar por ter esta flexibilidade.

- *N-Way Set Associative*: tem um desempenho intermediário entre os três mapeamentos, visto que na prática é um mapeamento meio-termo dos outros dois. Funciona dividindo a cache em grupos e cada bloco da memória principal é mapeada para um dos grupos, onde nele ela pode variar de posição de acordo com a necessidade.