

MEMORIA TRABAJO FINAL

TECNOLOGIA

COMPUTADORES 2021/2022

Trabajo realizado por José María Fernández, Pablo Rayón Zapater y Fernando Pérez Ballesteros

TRABAJO BASE MAS AMPLIACION 1:

En este primer apartado hemos decidido implementar tanto el trabajo base como la ampliación número 1 ya que creemos que así se puede sintetizar todo de mejor manera.

COMPONENTES:

ROM: Componente que se encarga de guardar el dato de la contraseña, este dato es inalterable. Consta de tres puertos de entrada de un solo bit, 1 CLK que es la entrada del reloj, 2 RST que es la flag de reseteo, cuando esta se active se reseteara la salida de datos de la memoria y 3 Read que es la flag de lectura, esta flag indicara cuando la ROM deba sacar los datos por la salida D_OUT, puerto de salida de 8 bits; también consta de otra entrada Addr que indicará la posición de memoria que se debe sacar por el puerto D_OUT, en este caso solo nos interesa una posición por lo que solo consta de un bit.

Comparator: Circuito simple que recibe dos datos y los compara, en este caso recibirá por el puerto Exin la entrada de datos externa, la que el usuario debe introducir para poder comprobar la contraseña; recibirá otro dato por el puerto ROMin el dato almacenado en la ROM, y por ultimo comparará esos datos, en caso de que sean zzzz quiere decir que hemos recibido algún pulso de reset en algún momento por lo que la salida no ha de ser válida, en caso que sean iguales pero no zzzz mandará un pulso por la salida Checker indicando que hemos introducido bien la contraseña

-----Hasta aquí los componentes del trabajo Base-----

FSM: Es una máquina de estados que hemos implementado para que pueda llevar la cuenta de los errores introducidos en la máquina, también se encarga de gestionar las señales de control como el Check. Esta máquina cuenta con 6 estados, uno inicial para que los datos puedan fluir de la memoria rom al comparador, uno final que bloqueará la máquina hayamos acertado la contraseña o no, y el resto que son los estados de error, estos estados simplemente comprueban si el checker está activo y si lo está se encargan de activar la flag de lectura de la ROM y de pasarle el dato a comparar al circuito comparador, también verifican si el comparador ha enviado el pulso de confirmación, y si no lo ha hecho pasa al siguiente estado.

BancoMemorias: Es una agrupación de la ROM con el comparador, se ha elegido hacerlo así ya que en la ampliación dos se colocaran mas componentes dentro de este conjunto

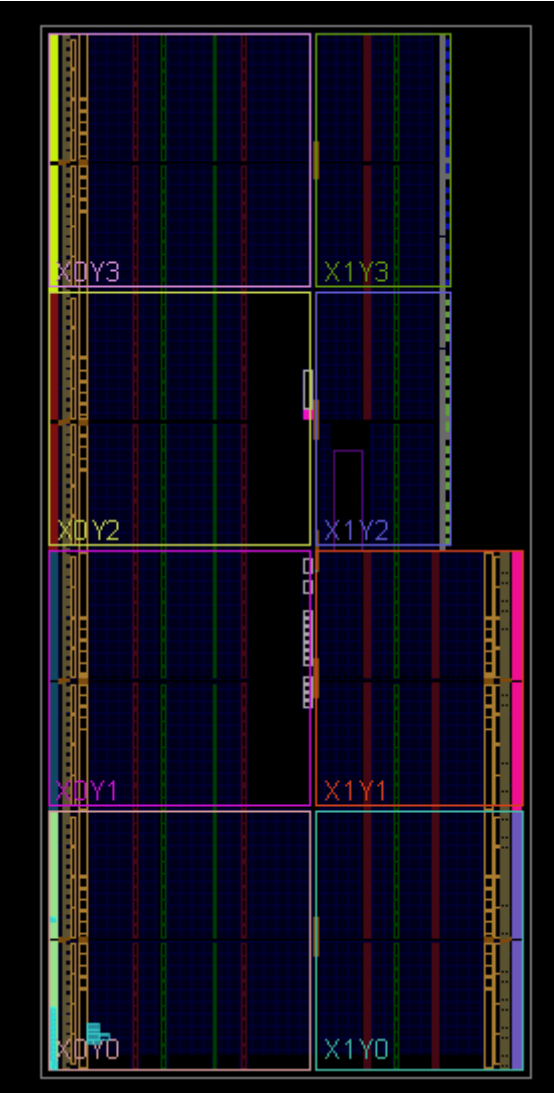
CompleteDesign: La instancia de todos los componentes y de las conexiones entre ellos

-----Simulation Source-----

Tb_Complete_Design: Hemos incluido un fichero testbench para que se pueda comprobar el correcto funcionamiento del sistema. Está dividido en varios process, cada uno controlando una señal; el primero se encarga de generar un reloj de 20 ns de periodo o 50MHz de frecuencia. El segundo process controla el Reset , el tercero de la señal checker para verificar la entrada de datos, y el último es el que controla la entrada de datos.

ANÁLISIS:

Aquí podemos observar la distribución de componentes empleados dentro de la FPGA simulada

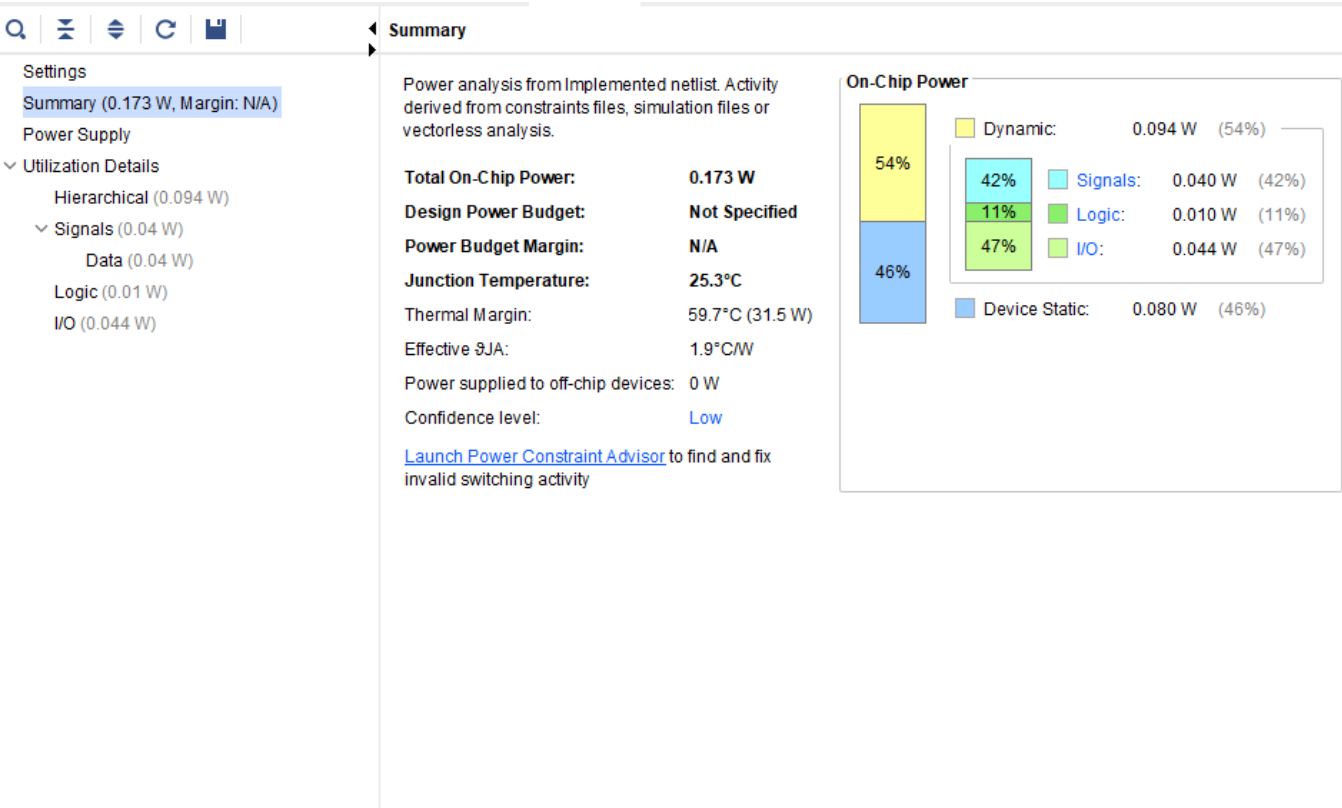


A continuación, se adjunta un resumen con los recursos empleados de la FPGA:

Name	^1	Slice LUTs (41000)	Slice Registers (82000)	Slice (10250)	LUT as Logic (41000)	Bonded IOB (300)	BUFGCTRL (32)
Complete_Design		21	21	9	21	13	1
Banco_Memorias (BancoMemorias)		4	3	4	4	0	0
MaquinEst (FSM)		17	16	9	17	0	0

Se observa como se estan empleando 21 tablas de busqueda en total, 13 Bloques de entrada/Salida y 21 Registros. De todos estos recursos la gran mayoría son consumidos por la máquina de estados (17 LuTs,16 Registros), por lo que es la parte mas pesada y costosa del diseño.

Por último, se ha realizado un análisis de consumo, todos estos datos se han extraído suponiendo una temperatura ambiente de 25 grados Celsius y una resistencia térmica efectiva de 1.883 C/W



Hierarchical

Utilization	Name	Signals (W)	Data (W)	Logic (W)	I/O (W)
0.094 W (54% of total)	Complete_Design				
0.09 W (52% of total)	Leaf Cells (20)				
0.004 W (2% of total)	MaquinEst (FSM)	<0.001	<0.001	0.004	<0.001
<0.001 W (<1% of total)	Banco_Memorias (BancoMemorias)	<0.001	<0.001	<0.001	<0.001

Se observa como el consumo estático y el consumo dinámico son bastante similares variando sólo en un 8%, siendo lo que mas consume a nivel global es los bloques de entrada/salida con un 47% del total seguido por la generación de señales con un 42%. El dispositivo sólo por el hecho de estar activado consume 0.080 W, que si le sumamos los 0.094 W que se llegan a consumir a plena utilización del circuito nos da un consumo total de 0.173 W, esta potencia consumida genera 0.3 grados Celsius extra en el circuito completo, por lo que es totalmente seguro ya que se calcula que podría aguantar unos máximos de 59.7 grados Celsius.

Por otro lado, se vuelve a observar como el componente que más consume es la Máquina de estados, ya que es la que mas señales maneja y mas entradas y salidas posee, a parte de ser el componente que más lógica maneja.

AMPLIACION 2:

Esta ampliación no es plenamente funcional ya que nos hemos encontrado con un problema a la hora de cuadrar los ciclos de reloj con el flujo de datos, más tarde se entrará en detalle

COMPONENTES:

Este diseño contiene los mismos componentes que la primera ampliación, añadiendo una modificación a la Máquina de estados e incorporando dos circuitos extra, estos son:

RAM: Memoria volátil con capacidad de sobreescritura, siempre comenzará vacía o con data despreciable, por lo que en una primera instancia se le cargará la data almacenada en la memoria ROM, luego por medio de flags de escritura y lectura se le indicará si hay que escribir o sacar data de esta memoria. Sus puertos son: 1 Clk, Rst: entradas de reloj y reset 2 Read y Write, flags de control, cuando se active Write se sobrescribirá la data existente con la palabra que se le proporcione por el puerto D_in, por otro lado, si se activa Read la data en el interior fluirá por el puerto de salida D_out.

Selector: Este componente se encarga de dejar pasar los datos que se encuentran en la ROM o los datos de entrada del usuario de camino a la RAM dependiendo de lo que el usuario decida, si el usuario pulsa la entrada W del diseño general esta activará la flag WOR del selector dejando fluir así la palabra introducida por el usuario a la RAM, haciendo así que la RAM guarde los datos externos como contraseña en su interior, por otro lado si no se activa esta flag, los datos que fluirán a la RAM son los contenidos inicialmente en la memoria ROM.

Los puertos de este componente son: 1 CLK, RST: puertos de entrada del reloj y reset 2 Rin, Exin : puertos de entrada de datos, por estos puertos entraran los datos sobre los que se decidirá que contenido fluye hacia la RAM, Rin siendo los datos almacenados en la ROM y Exin los datos introducidos por el usuario 3 OutRAM : Será el puerto que conectará con la entrada de datos de la RAM y contendrá la salida que se ha decidido que se guarde en la memoria volátil.

Por último, se analizarán los cambios implementados en la máquina de estados.

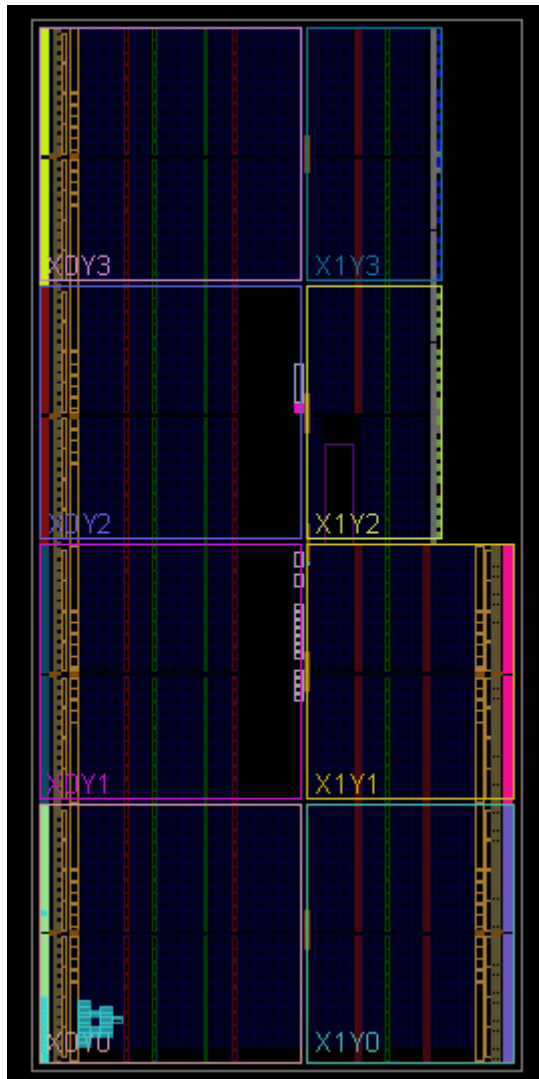
En primer lugar, se observan más señales de un bit de salida, estas son LectRAM y EscRAM, estas son muy similares a la vista previamente en la Ampliación 1, se encargan de activar las flags de control de la memoria RAM, la primera haciendo que fluya hacia el comparador el contenido que hay dentro de la memoria y la segunda indica a la RAM que debe sobrescribir su contenido con la data de la ROM o la externa. Estas señales modificarán su valor en cada estado dependiendo del input del usuario, e.g.: si el usuario pulsa la entrada W para cambiar la contraseña estas señales de control tomarían los siguientes valores : LectRom: 0, LectRam :0, EscRAM: 1. Los estados de la máquina poseen las mismas funciones que en el apartado anterior, con una excepción, el estado S0.

-----Explicación del error encontrado-----

En este estado S0 hemos visto que los datos fluyen de la ROM al selector, pero no a la RAM, por lo que se necesitaría repetir ese estado dos veces para así mantener las flags de escritura y lectura tal como las necesitamos, se ha intentado solucionar poniendo una variable integer que aumente hasta 2 veces antes de cambiar de estado haciendo así que el estado s0 se repita dos veces, pero no hemos conseguido controlar como aumenta esa variable por lo que el ciclo de carga de datos de la RAM se corrompe y no conseguimos cargarle inicialmente los datos de la ROM, como consecuencia hasta que no se le indique una sobreescritura de datos la RAM contiene una palabra desconocida/despreciable y no se puede comprobar la contraseña. Por el resto de los aspectos el sistema debería ser plenamente funcional, y la carga de datos y comparación de palabras involucrando una memoria con escritura debería funcionar correctamente.

ANÁLISIS:

Diagrama de distribución dentro de la FPGA simulada

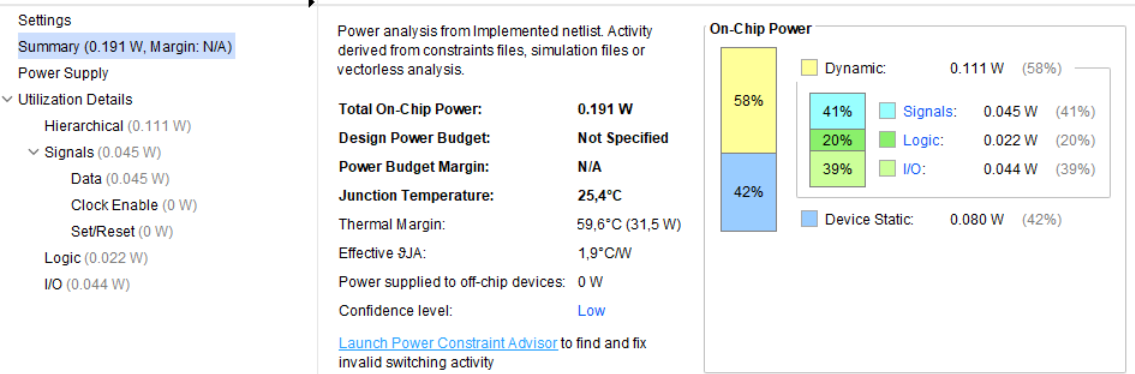


Utilización de recursos de la placa :

Name	Slice LUTs (41000)	Slice Registers (82000)	Slice (10250)	LUT as Logic (41000)	Bonded IOB (300)	BUFGCTRL (32)
Complete_Design	54	81	30	54	14	2
Banco_Memorias (BancoMemorias)	13	27	12	13	0	0
MaquinaEst (FSM)	40	50	25	40	0	0

Vuelve a darse que el componente que mas recursos consume es la Máquina de estados, ha subido considerablemente ya que ahora dispone de mas señales de entrada y salida.

Análisis de consumo:



Se han tomado los mismos parámetros que en el apartado anterior para calcular estos consumos, observamos como el consumo dinámico ha subido en un 4%. Y el consumo total 0.02 w representando una subida del 1.1%, esto afecta en la subida de 0.1 C en en el chip, aun así se mantiene muy por debajo del margen térmico de 59.5 C. Por otro lado han cambiado los factores de mayor consumo, superando la generación de señales al consumo de entrada/salida.

Q

≡

Hierarchical

Utilization	Name	Signals (W)	Data (W)	Logic (W)	I/O (W)
<div> <div></div> <div>0.111 W (58% of total)</div> </div>	Complete_Design				
<div> <div></div> <div>0.095 W (50% of total)</div> </div>	Leaf Cells (25)				
<div> <div></div> <div>0.015 W (8% of total)</div> </div>	MaquinaEst (FSM)	<0.001	<0.001	0.015	<0.001
<div> <div></div> <div>0.002 W (1% of total)</div> </div>	Banco_Memorias (BancoMemorias)	<0.001	<0.001	0.001	<0.001

Aquí en el consumo por componente se muestra la subida de potencia requerida en comparación al apartado anterior siendo de más del doble por componente.