

ФАКУЛТЕТ ИНЖЕЊЕРСКИХ НАУКА  
КРАГУЈЕВАЦ



ОСНОВЕ РАШУНАРСКЕ ТЕХНИКЕ 2

СЕМИНАРСКИ РАД

---

Импленетација вибрационог  
сензора

---

*Студенти:*

Ковачевић ЈОВАН  
Обрадовић ДАНИЛО

*Професор:*

др Александар ПЕУЛИЋ

12. јануар 2017.

# Садржај

<b>1</b>	<b>Увод</b>	<b>1</b>
<b>2</b>	<b>Архитектура уређаја</b>	<b>2</b>
2.1	Архитектура сензора . . . . .	3
2.2	Архитектура FPGA . . . . .	5
<b>3</b>	<b>Пројектни задатак</b>	<b>7</b>
<b>4</b>	<b>Реализација пројектног задатка</b>	<b>8</b>
<b>5</b>	<b>Закључак</b>	<b>9</b>
<b>6</b>	<b>Литература</b>	<b>10</b>
<b>7</b>	<b>Прилог кодови</b>	<b>11</b>
7.1	SPI конекција . . . . .	11
7.2	Код имплементационог UCF фајла . . . . .	13

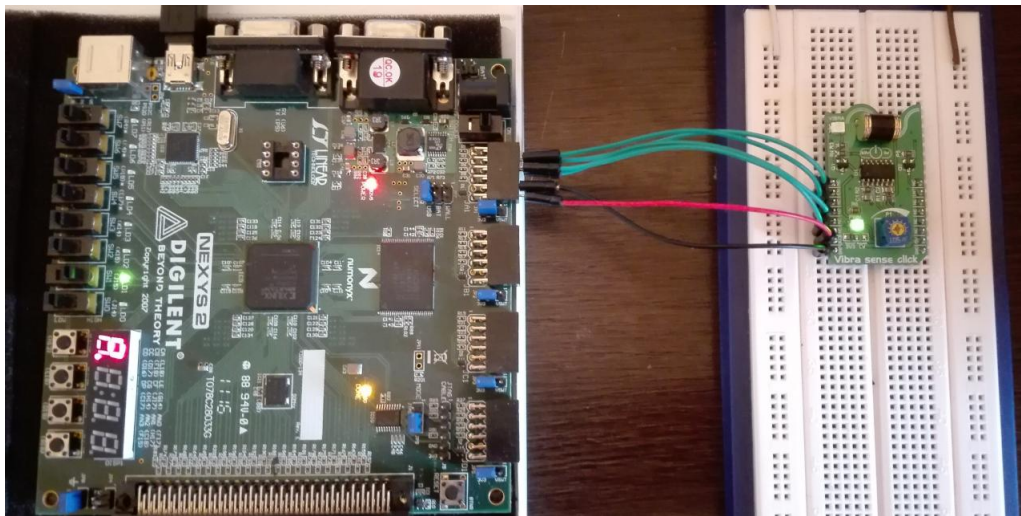
# 1 Увод

У овом раду биће описано како направити уређај за детектовање вибрација, коришћењем сензора Vibra-Sens Click и развојног система FPGA-Spartan-3E-S500. Сензор детектује вибрацију и аналогни сигнал претвара у дигитални који путем SPI конекције шаље FPGA модулу. Примена и употреба овог уређаја је широка. Уређај може бити коришћен: за праћење сеизмолошких промена

(активност вулкана, земљотреса, . . . ), у машинској индустрији, као део сигурносног система, итд. Међутим у овом раду, детаљно ће бити описана архитектура и примена оваквог уређаја у сигурносним система. Овакав уређај гарантује сигурност објеката и људи, у објектима као што су: гранични прелази, амбасаде, банке и остали објекти у којима је сигурносни систем од круцијалног значаја. Постављањем оваквог уређаја на улаз у просторије које бисмо желели да заштитимо, детектовала би се свака вибрација. Конкретно у случају заштитног система банке, овакав уређај би детектовао провалника, ако провалник успе да избегне остале системе заштите. Ови сензори би се налазили у поду или прагу, где би детектовали кораке провалника. Погодно је то што је сам сензор малих димензија (42mm X 25mm), па може да се сакрије, тако да не буде примећен. Дигитални сигнал из сензора, даље би могао да се искористи да пали аларм, пали диоде, затвара све просторије банке или обавештава чувара да је дошло до провале.

## 2 Архитектура уређаја

Уређај се састоји од Vibra-Sens Click сензора, прото-плоче и FPGA развојног система. Сензор се преко претходно заламљених пинова повезује на прото-плочу, затим се из прото-плоче даље повезује на FPGA, конкретно на Pmod улазе. Тако да није потребно доводити екстерни извор напона у виду напајања преко прото-плоче, јер на Pmod улазима већ постоје пинови за напон од 3.3V и GROUND пин, који испуњавају захтеве за функционисање SPI конекције. Наравно, сензор не мора да се повезује на прото-плочу, а разлог због ког смо се ми одлучили да преко ње повежемо компоненте система је едукативне природе. Једина лоша страна нашег пројекта је та што смо користили FPGA-Spartan-3E-S500 чије димензије, када бисмо сензор и FPGA спојили један близу другог, могу да представљају проблем. Међутим, такав аранжман компоненти није неопходан јер сензор и FPGA не морају да буду један близу другог. Рецимо, сензор можемо да ставимо испод врата, а FPGA у просторију у којој се налази чувар.



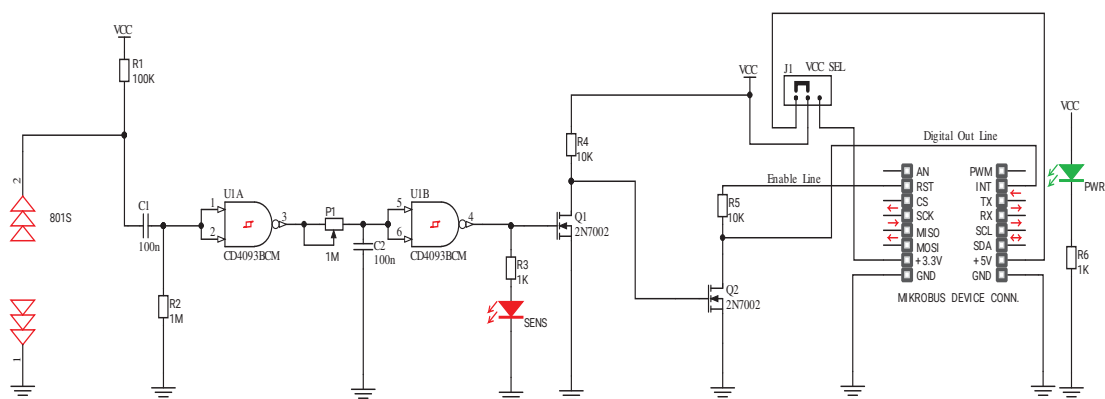
## 2.1 Архитектура сензора

Сензор Vibra-Sens Click је продукт MikroElektronike, једног од највећих дистрибутера електронских уређаја. Више информација о њиховим производима као и о овом сензору можете пронаћи на њиховом званичном сајту, где се такође можете сусрести са широким асортиманом производа по јако повољним ценама, као и додатним објашњењима о самом раду уређаја који су у понуди. Циљ сваког инжењера је да на најјефтинији и најефикаснији начин направи жељени уређај. То су управо и предности овог уређаја који се може конструисати по јако повољној цени, и чија је употреба веома једноставна и интуитивна. Сама архитектура сензора није компликована. На сензору се налазе шеснаест



Слика 1: Vibra Sense Click

пинова различите намене. Са једне стране су пинови којима се остварује SPI-конекција, а са друге RS-232 конекција, који заједно представљају дигитални output сензора. Када је реч о SPI-конекцији, имамо стандардне пинове за GROUND и напон од 3.3V, а ту су и пинови којима се реализује SPI-конекција. MOSI(master-output-slave-input), MISO(master-input-slave-output), SCK(serial clock), CS(slave select) и RST(Reset) пинови. RS-232 конекција ради на 5V. На сензору такође постоје пинови за GROUND и напон, као и SCL(serial clock), RX(Receiver), TX(Transmitter) и дигитални output INT који се може искористити да приказује прекиде. Сензор такође поседује и потенциометар са којим се може фино поде-



Слика 2: Схема сензора

сити праг вибрације, тако да сензор региструје и најмање потресе, SMD-jumper компоненту која омогућава несметан рад на 3,3V и на 5V. Поред потенциометра и пинова, на сензору се налази и диода која омогућава визуелни приказ вибрације, тојест упали се сваки пут када дође до вибрације. Кључна компонента сензора је јединица за регистровање вибрација. Она се састоји из цилиндричног кућишта у ком је смештена опруга намотана око металне игле. Када дође до вибрације опруга вибрира и долази у контакт са металном иглом па се тако активира прекидач који даје напон у колу. Напон који долази из јединице за регистровање вибрација улази у CD4093 компоненту чија се улога огледа у томе да врши фину обраду аналогног струјног сигнала, тојест амплитуде напона претвара у логичку нулу или јединицу.

## 2.2 Архитектура FPGA

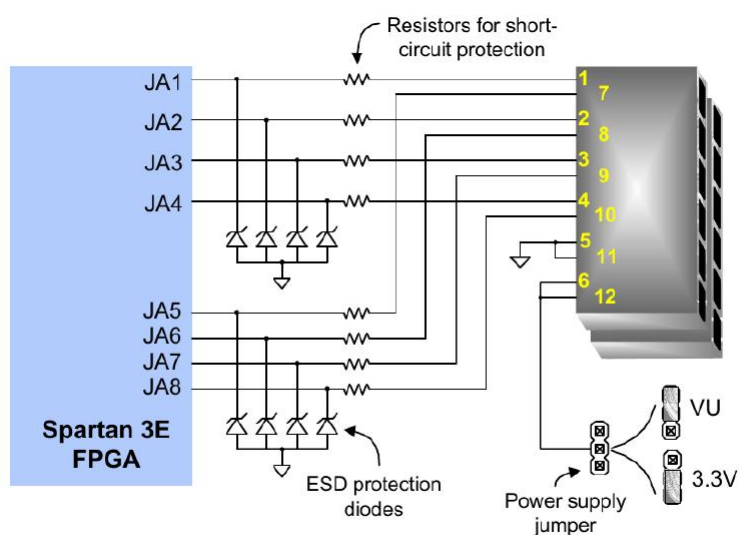
У овом пројекту коришћен је FPGA-Spartan-3E-S500. Веома једноставна реализација пројектних идеја коју FPGA омогућава, гарантује да ће пројекат бити успешан и да је за његову реализацију потребно само познавање Verilog-а или VHDL-а, као и елементарно знање дигиталне логике и електронике. Овај модел FPGA модула јако је погодан за разне апликације јер поседује доста потребних улаза, тако да је на њега могуће повезати велики број сензора, или било који други модул који има дигиталне излазе. Било би веома комплексно објашњавати архитектуру читавог FPGA интегрисаног кола, томе би могао да се посвети један рад или читава књига. Међутим овде се фокусирамо само на оне елементе архитектуре FPGA-Spartan-3E-S500 који су у овом пројекту коришћени, а то су Pmod пинови и LED диода, која указује да је дошло до вибрације. LED диоде представљају један од излаза који се могу пронаћи на овом FPGA интегрисаном колу. Диоде се пале када им FPGA на LED аноду



Слика 3: LED диоде на FPGA-Spartan-3E-S500

пошаље сигнал у виду логичке "1", што ће произвести струју од 3mA, а да не би дошло до оптерећења самог FPGA испред сваке аноде налази се отпорник од 390Ohm. Има укупно 10 диода, од тога девета показује да FPGA добија напон, десета индикује статус програмирања, а остале су на располагању кориснику за програмирање.

FPGA-Spartan-3E-S500 на себи има укупно четири Pmod конектора, а на сваком се налази по дванаест засебних улаза шест горе и шест доле. На сваком од ових конектора постоје пинови за напон и GROUND. Реч је о напону од 3.3V тако да се могу повезати разни сензори, микроконтролери и остали приступачни микроелектронски уређаји, за чији рад је неопходан напон од 3.3V. На свим улазним пиновима налази се и заштита од кратког споја као и ESD заштитне диоде. На ове се улазе може директно преко 12-пинског конектора повезати уређај, али уколико кориснику такав конектор није доступан, онда се конекција може извршити путем малих каблића. Такође, важно је напоменути да архитектура Pmod конектора не дозвољава струју изнад 200mA.



Слика 4: Схема Pmod конектора на FPGA-Spartan-3E-S500



### 3 Пројектни задатак

Циљ овог пројекта је, да на што једноставнији и јефтинији начин направимо уређај који ће се крајње једноставно користити, тојест од корисника не захтева никакво знање из области електронике. На кориснику је само да одабере локацију коју жели да заштити од провалника, на ту локацију постави сензор а диода на FPGA ће га упозоравати уколико је дошло до провале. Величина самог сензора погодна је да се сензор успешно сакрије, тако да га провалник не примети. FPGA не морамо само искористити да пали диоду. Сигнал који би палио диоду може се искористити за паљење аларма, закључавање просторија или позивање органа власти. То нам омогућава архитектура самог FPGA и модуларност Verilog-а. Овакви уређаји су од пресудног значаја за објекте као што су банке или трезори. Сензор би требало поставити испод улазних врата или испред сефова као и других критичних места у банкама, наравно водећи рачуна да се сензор што боље сакрије. Када би провалник нагазио на сензор или у близини сензора, наш систем заштите регистровао би вибрацију изазвану његовим корацима и тада би се рецимо огласио аларм. Пораст стопе криминала у последњих неколико година, а посебно на територији Сједињених Америчких Држава (чак 15 2013 години), нам говори да ће потражња за оваквим системима заштите расти. Земље Европе у 2015 години суочавају се са проблемом мигрантске кризе, која све више ескалира тако да се јавља све већа потреба за заштитом граничних прелаза од илегалних упада избеглица. Постављањем оваквог уређаја на критичним местима по самој граници, где није могуће поставити неке друге заштитне системе, решио би се проблем заштите граничних прелаза. У данашњем свету препуном различитих опасности у сваком домаћинству требало би да постоји овакав уређај. Он би служио да се домаћинство заштити од провалника када чланови домаћинства нису код куће, а желели би да њихово домаћинство буде заштићено. Све ове чињенице указују на то да ће потреба за оваквим системом заштите расти, тако да би компанија која се одлучи да свој капитал уложи у производњу оваквог система, остварила велику зараду.

## 4 Реализација пројектног задатка

За реализацију овог пројекта користили смо: прото-плочу, Vibra-Sens Click сензор, FPGA-Spartan-3E-S500 интегрисано коло. Прото плочу смо користили да би смо на њу повезали сензор. Међутим у реалној имплементацији то није потребно, јер се сензор може директно повезати на FPGA. Наш циљ је био да што јасније покажемо како се остварује конекција између компоненти, па смо се зато одлучили да користимо прото-плочу у нашем пројекту. Из протоплоче извели смо жице са сваког потребног пина за остваривање SPI конекције и те жице повезали на Pmod конекторе на FPGA-Spartan-3E-S500 интегрисаном колу. Што се тиче програмирања унутрашње логике самог система, користили смо Verilog који омогућава модуларно програмирање компоненти система, а софтвер у ком смо писали пројекат је Xilinx-ISE-14.7. Сиријска конекција SPI ради по принципу MASTER-SLAVE комуникације, тако што постоји уређај у ком се обрађују и претварају подаци и из ког се ти подаци даље на друге уређаје шаљу и SLAVE који те податке прима. У нашем случају MASTER уређај је сензор, а SLAVE уређај је FPGA. Из Verilog кода јасно се види да, када до вибрације дође, тојест када сензор пошаље неку дигиталну вредност FPGA модулу преко MOSI сигнала тај сигнал је могуће представити на диоди што би изазвало њено паљење услед фибрације, или га користити за неке друге логичке операције.

## 5 Закључак

Дакле овакав уређај веома је користан у системима заштите, његова цена је врло повољна, његове димензије су мале и његова имплементација у системима заштите је једноставна. Управо из ових разлога ми смо се одлучили да користимо овај сензор. Очигледна је била и потреба за прављење једног оваквог система заштите, што смо успели да закључимо посматрајући потребе модерног друштва, из чињеница које су нам свакодневно биле доступне.

## 6 Литература

1. "Verilog HDL, A guide to Digital Design and Synthesis", Samir Palnitkar, 1996
2. "FPGA Prototyping by VHDL examples, Xilinx Spartan-3", Pong P. Chu, 2008
3. "Computer Organization and Architecture Designing for Performance, Ninth Edition", William Stallings, 2012
4. <http://www.mikroe.com/>
5. <http://fpga4fun.com/>

## 7 Прилог кодови

### 7.1 SPI конекција

```
module spi_slave(  
    input clk,  
    input rst,  
    input ss,  
    input mosi,  
    output miso,  
    input sck,  
    output done,  
    input [7:0] input_1,  
    output [7:0] dout  
);  
  
reg mosi_d, mosi_q;  
reg ss_d, ss_q;  
reg sck_d, sck_q;  
reg sck_old_d, sck_old_q;  
reg [7:0] data_d, data_q;  
reg done_d, done_q;  
reg [2:0] bit_ct_d, bit_ct_q;  
reg [7:0] dout_d, dout_q;  
reg miso_d, miso_q;  
  
assign miso = miso_q;  
assign done = done_q;  
assign dout = dout_q;  
  
always @(*) begin  
    ss_d = ss;  
    mosi_d = mosi;  
    miso_d = miso_q;  
    sck_d = sck;  
    sck_old_d = sck_q;  
    data_d = data_q;  
    done_d = 1'b0;  
    bit_ct_d = bit_ct_q;  
    dout_d = dout_q;
```

```

        if (ss_q) begin // Ако је slave select 1 (неактивна)
            bit_ct_d = 3'b0; // ресетуј bit counter
            data_d = input_1; // прочитај data
            miso_d = data_q[7]; // излаз MSB
        end else begin // Ако није slave select 1 (активна)
            if (!sck_old_q && sck_q) begin // на падајућој ивици
                data_d = {data_q[6:0], mosi_q}; // прочитај data in и шифруј
                bit_ct_d = bit_ct_q + 1'b1; // инкрементуј bit counter
                if (bit_ct_q == 3'b111) begin // Ако смо на последњем биту
                    dout_d = {data_q[6:0], mosi_q}; // output је бајт
                    done_d = 1'b1; // постави transfer done flag
                    data_d = input_1; // прочитај нови бајт
                end
            end else if (sck_old_q && !sck_q) begin // падајућа ивица
                miso_d = data_q[7]; // излаз MSB
            end
        end
    end
end

always @(posedge clk) begin
    if (rst) begin
        done_q <= 1'b0;
        bit_ct_q <= 3'b0;
        dout_q <= 8'b0;
        miso_q <= 1'b1;
    end else begin
        done_q <= done_d;
        bit_ct_q <= bit_ct_d;
        dout_q <= dout_d;
        miso_q <= miso_d;
    end

    sck_q <= sck_d;
    mosi_q <= mosi_d;
    ss_q <= ss_d;
    data_q <= data_d;
    sck_old_q <= sck_old_d;

end

endmodule

```

## 7.2 Код имплементационог UCF фајла

```
NET "clk" LOC = B8;\ \ Коришћен CLK са FPGA са тактом од 80MHz
NET "rst" LOC = L15;\ \ RST излаз из сензора повезан на L15 улаз
    Pmod конектора на FPGA
NET "ss" LOC = K12;\ \ SS излаз из сензора повезан на K12 улаз
    Pmod конектора на FPGA
NET "mosi" LOC = L17;\ \ mosi излаз из сензора повезан на L17 улаз
    Pmod конектора на FPGA
NET "sck" LOC = K13;\ \ sck излаз из сензора повезан на K13 улаз
    Pmod конектора на FPGA
NET "miso" LOC = J15;\ \ miso излаз из сензора повезан на J15 улаз
    Pmod конектора на FPGA
NET "done" LOC = J14;\ \ done излаз из сензора повезан на J14 улаз
    Pmod конектора на FPGA
```